集積回路設計
6. ダイナミック論理回路

一色 剛
工学院情報通信系
isshiki@ict.e.titech.ac.jp

6. ダイナミック論理回路

■ CMOSダイナミック論理回路

- ダイナミック論理の動作原理
- ドミノ論理回路

■ 順序回路構成

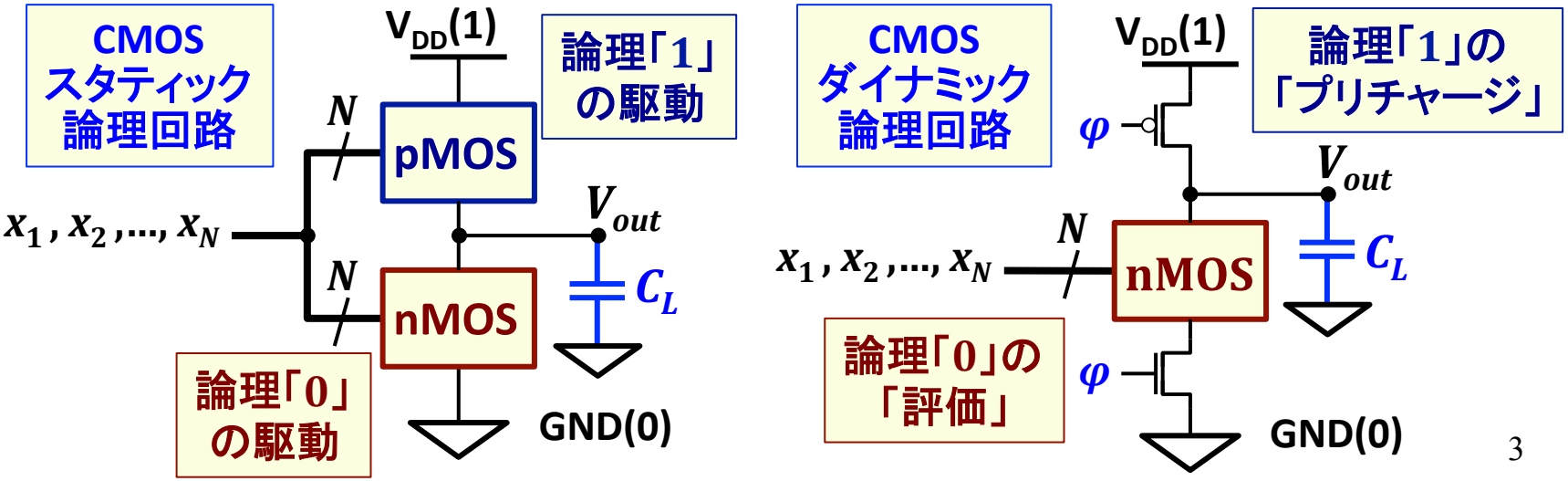
- 単相論理、2相論理
- 伝送ゲート、ダイナミックラッチ、クロックドインバータ

■ 共有バス結合・マルチプレクサ（MUX）

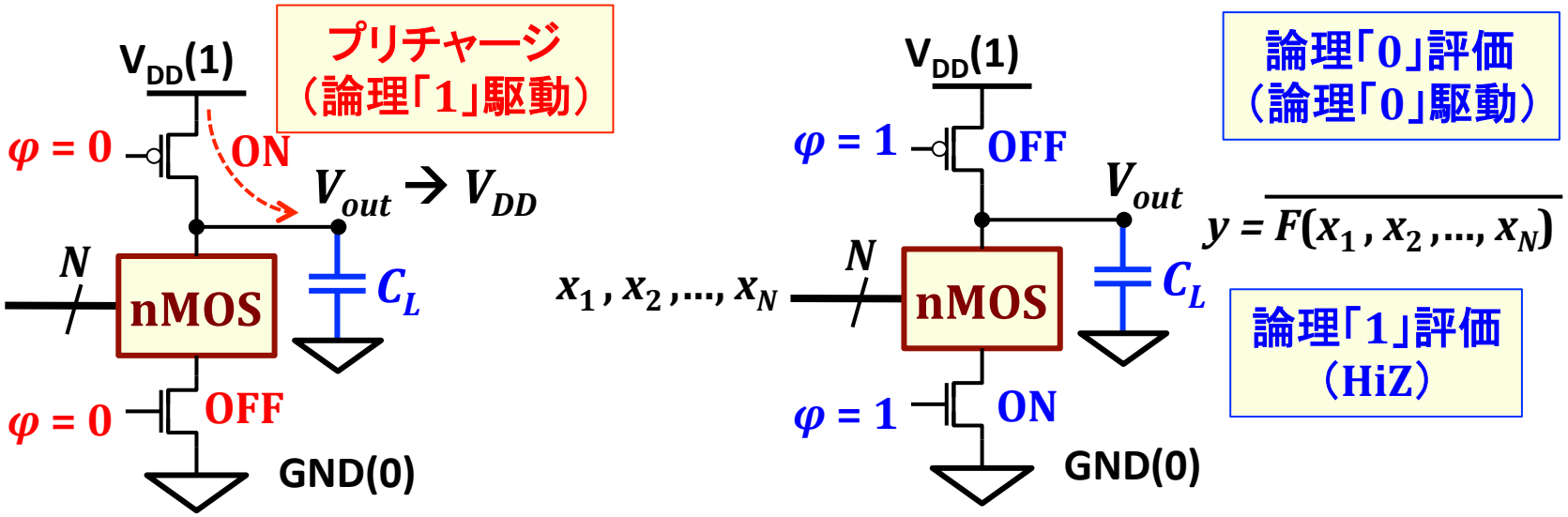
- 多段MUXの論理遅延

スタティック論理回路とダイナミック論理回路

- **スタティック論理回路**：pMOSブロック（論理「1」の駆動）とnMOSブロック（論理「0」の駆動）が相補的に動作
  - 出力V_{out}は常にV_{DD}またはGNDと導通
- **ダイナミック論理回路**：pMOSトランジスタによる「プリチャージ」とnMOSブロックによる論理関数の「評価」
  - 論理「1」のV_{out}出力は、V_{DD}からの駆動ではなく出力負荷容量の電荷に頼る（V_{out}はハイインピーダンス状態）



ダイナミック論理回路の動作原理

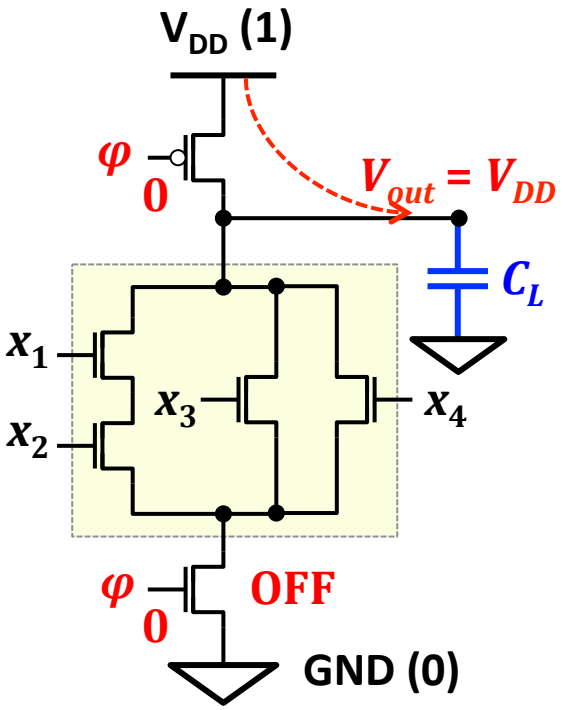


- φ：クロック信号
- プリチャージ期間（$\varphi = 0$）：
  - $V_{out} \rightarrow V_{DD}$（$C_L$を充電）
- 評価期間（$\varphi = 1$）：
  - $F(x_1, x_2, ..., x_N) = 1$：nMOSブロックは導通 → $V_{out} = 0$
  - $F(x_1, x_2, ..., x_N) = 0$：nMOSブロックは絶縁 → V_{out}はHiZ
    （C_Lに充電された電荷により $V_{out} = V_{DD}$ を保持）

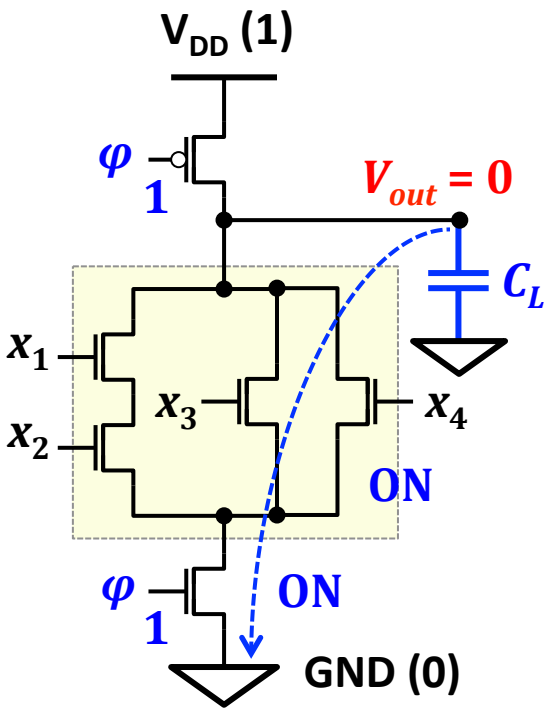
HiZ（ハイインピーダンス）：
V_{DD}やGNDと電流経路がない状態

ダイナミック論理回路の動作例

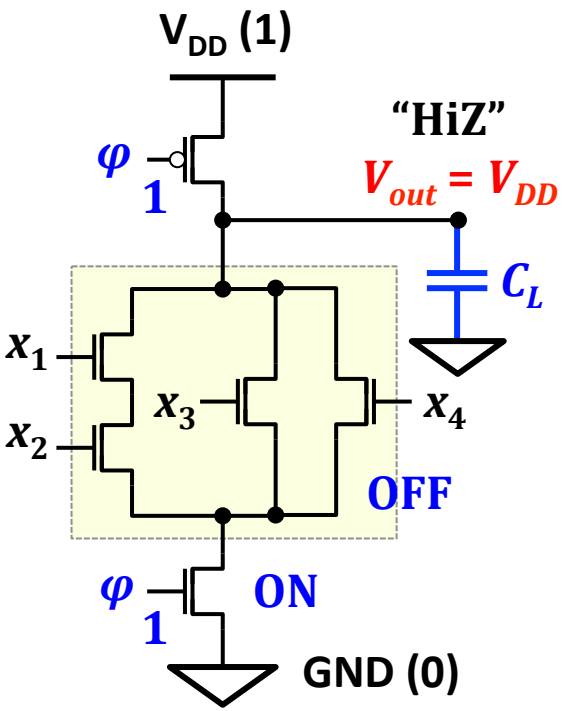
$$y = \overline{x_1 \cdot x_2 + x_3 + x_4}$$



プリチャージ期間：
論理「1」駆動



評価期間：
$x_1 \cdot x_2 + x_3 + x_4 = 1$
論理「0」駆動



評価期間：
$x_1 \cdot x_2 + x_3 + x_4 = 0$
HiZ

出力遷移：0 → 1 (1 → 1)

出力遷移：1 → 0 (1 → 1)

ダイナミック論理回路の特長と課題

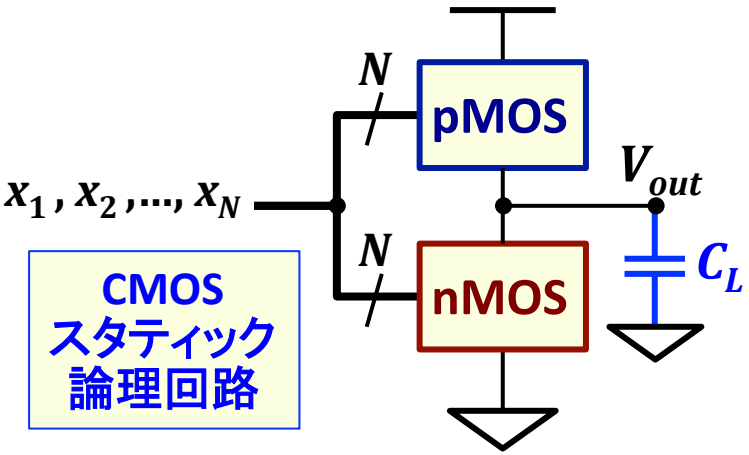
■ **特長：**

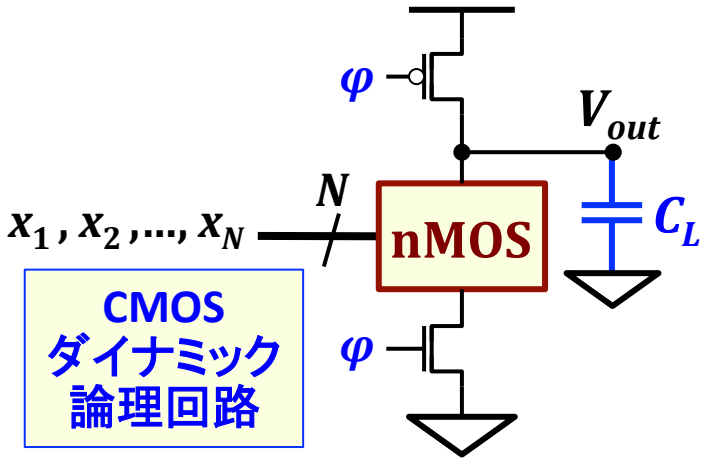
- ❖ トランジスタ数が約半分 → 小面積
- ❖ ゲート負荷容量も半減のため、RC時定数も半減 → 高速動作

■ **課題：**

負荷容量は半減するが、スイッチング確率はスタティック回路よりも増加する → 消費電力が減るとは限らない

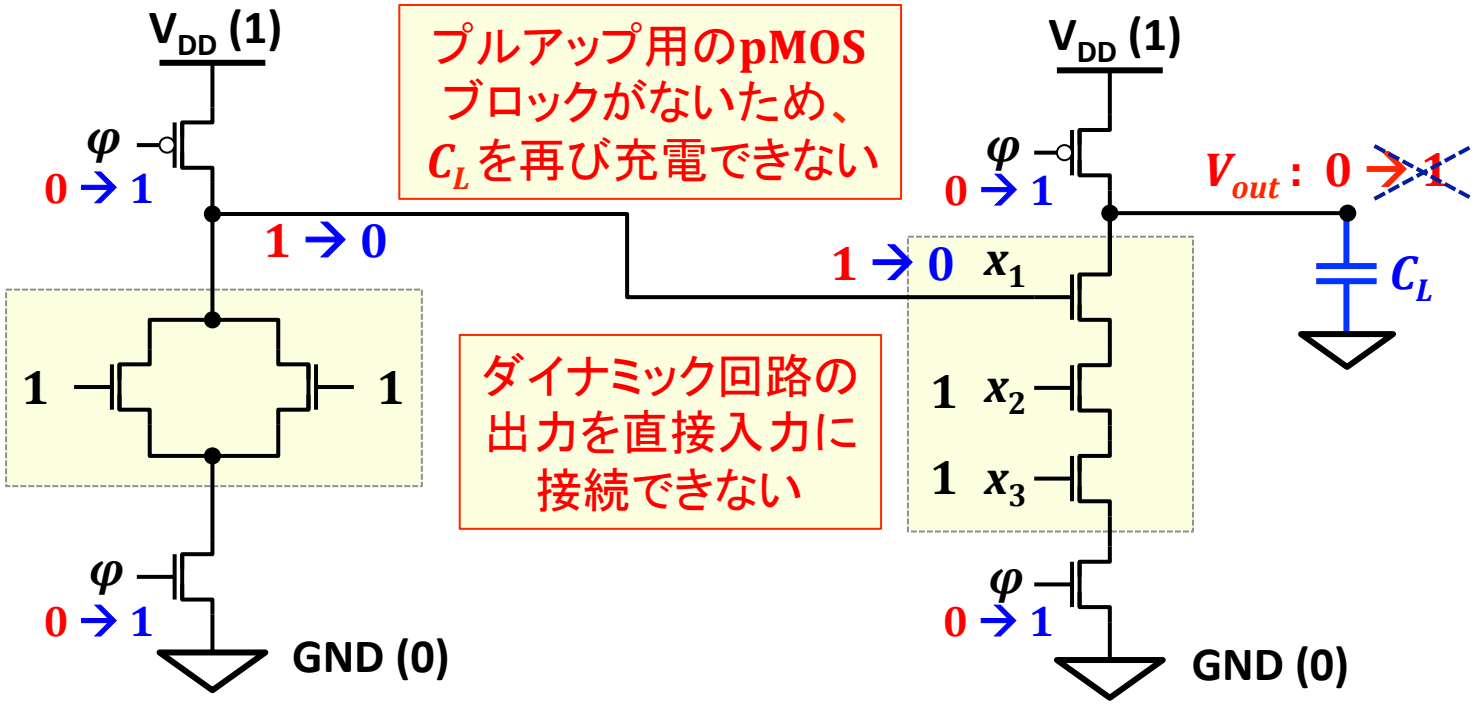
- ❖ ダイナミック論理回路の直列接続が出来ない
- ❖ 動作周波数の「下限値」がある → 低いクロック周波数で誤動作
- ❖ 設計が複雑 → スタティック回路に比べ設計自動化が難しい





ダイナミック論理回路の信号遷移

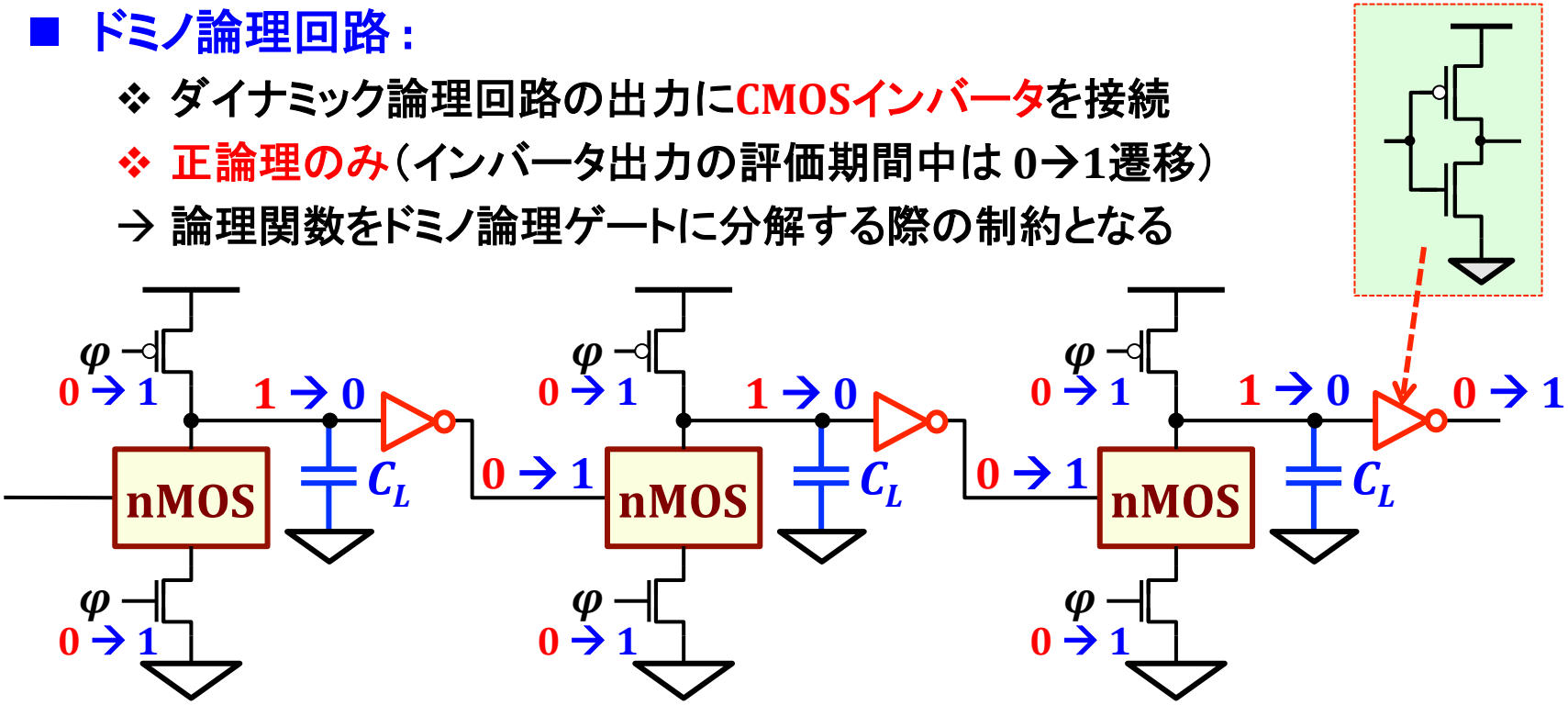
- 例：$y = \overline{x_1 \cdot x_2 \cdot x_3}$
- プリチャージ期間（$\varphi = 0$）：$V_{out} = 1\ (V_{DD})$
- 評価期間（$\varphi = 1$）：評価開始時に $x_1 = x_2 = x_3 = 1$とする
  - ❖ x_1：1 → 0の遷移をした時、V_{out}：0 → 1の遷移ができない
  - ❖ 評価期間中の入力信号の 1 → 0 遷移は禁止



ドミノ論理回路

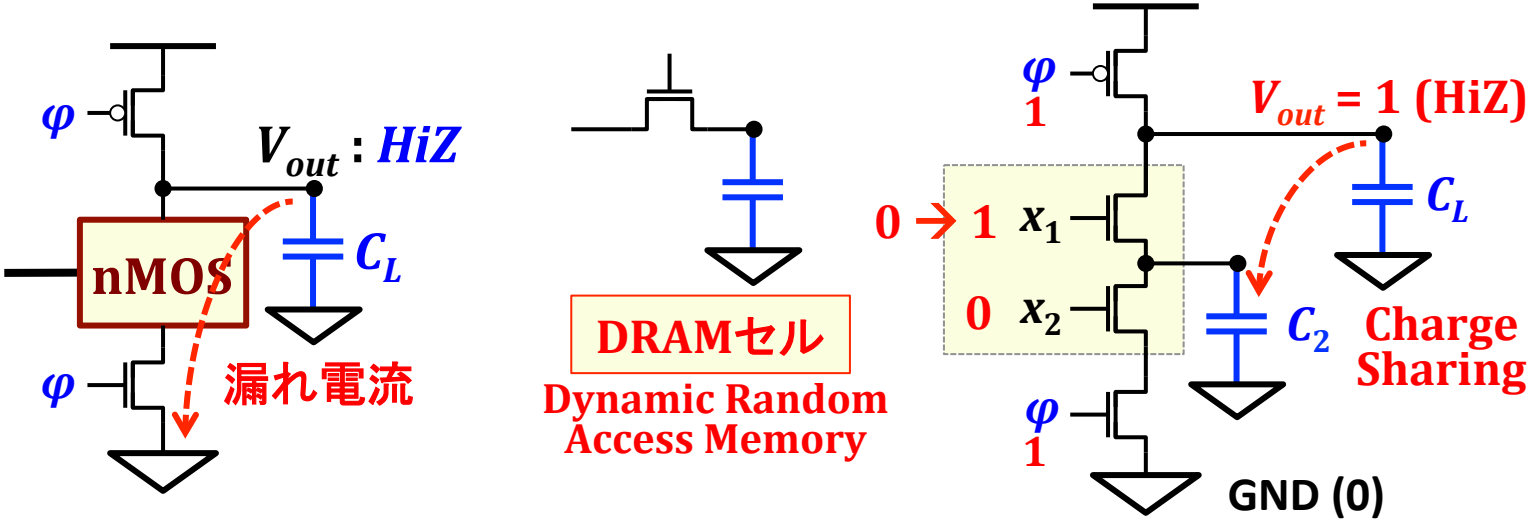
- **ダイナミック論理回路の評価期間の問題**
  - 評価期間の出力遷移 : 1 → 0 (または 1 のまま)
  - 評価期間の入力の禁止遷移 : 1 → 0 (出力のプルアップができない)
- **ドミノ論理回路 :**
  - ダイナミック論理回路の出力にCMOSインバータを接続
  - 正論理のみ(インバータ出力の評価期間中は 0→1遷移)

  → 論理関数をドミノ論理ゲートに分解する際の制約となる

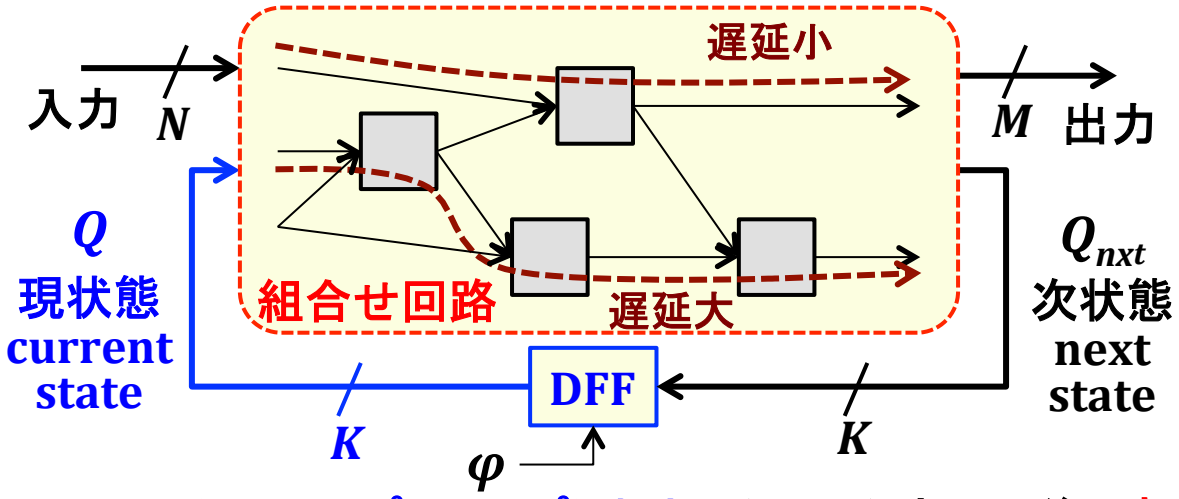


ダイナミック論理回路のその他の課題

- **低いクロック周波数で誤動作**
  - V_{out} が HiZ 時に、nMOSブロックが完全な絶縁状態にはならず、微小な漏れ電流のため C_L の電荷が時間とともに失われる
  - DRAMでも同じ現象 → 定期的なリフレッシュが必要
- **設計が複雑**
  - 論理関数を分解するときの制約：正論理（ドミノ論理）
  - チャージ共有問題：出力がHiZ時に、nMOSドレイン容量に負荷容量の電荷が分散することで出力電位が低下
  - フルカスタム設計が主流 → 論理合成など設計自動化が困難

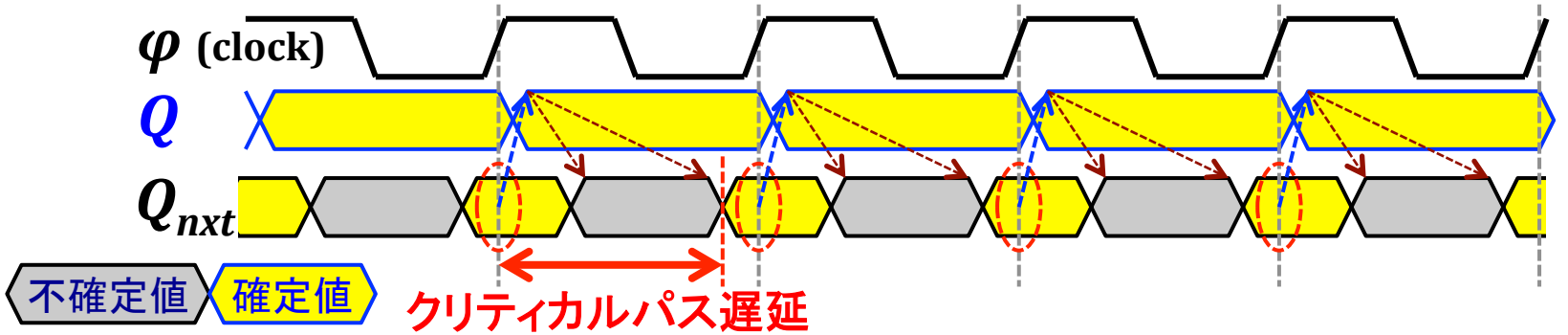


順序回路構成（単相クロック方式）

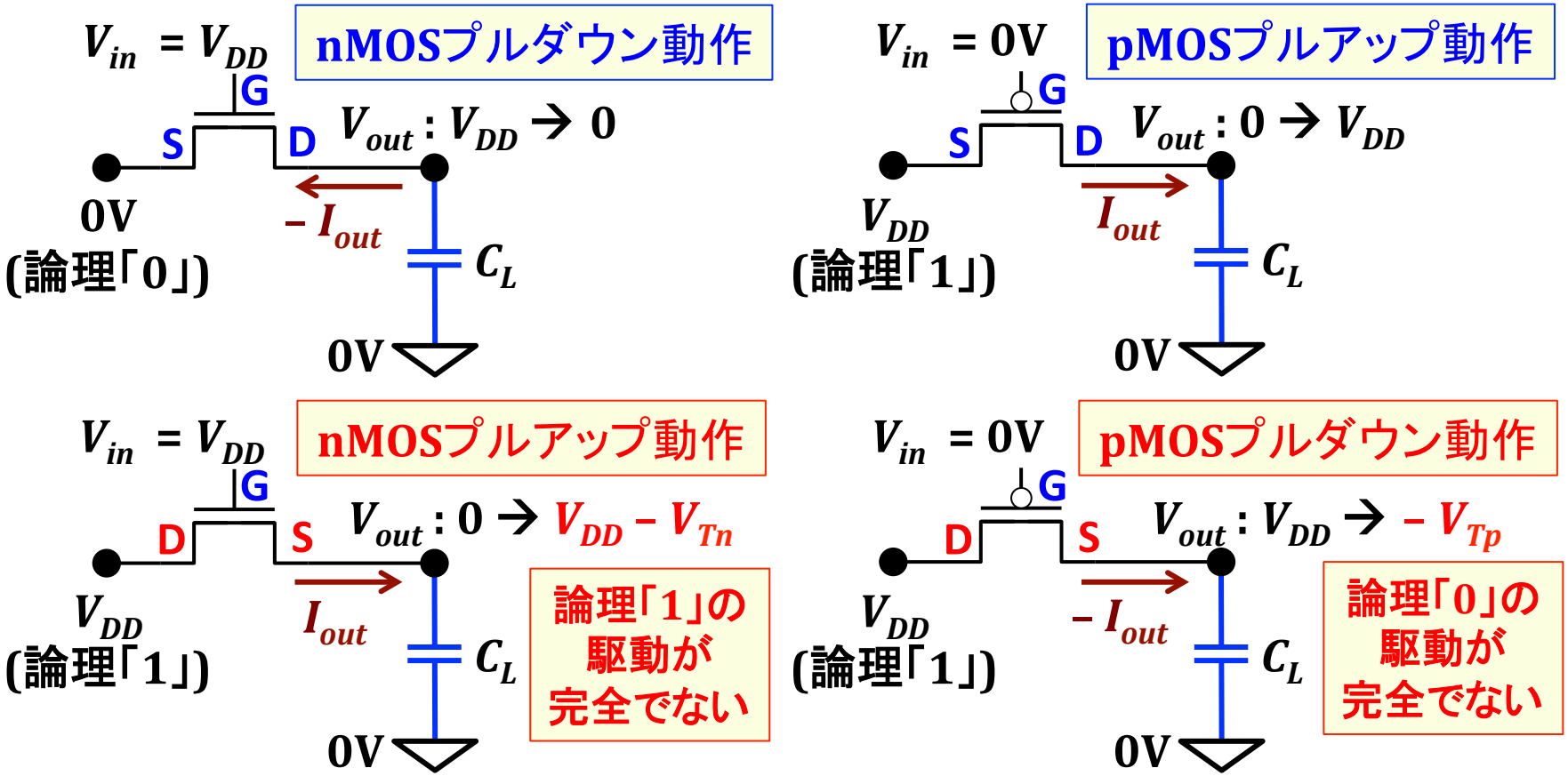


単相クロック方式：
最も一般的な順序回路構成 → 設計自動化技術が成熟

- DFF（Dフリップフロップ）出力：クロック立上り後、安定した値を保持
- パス遅延：信号伝搬経路上のゲート遅延の総和 → 組合せ回路の出力が安定するまで時間が掛かる
- 最大動作周波数：最大パス遅延（クリティカルパス遅延）で決まる



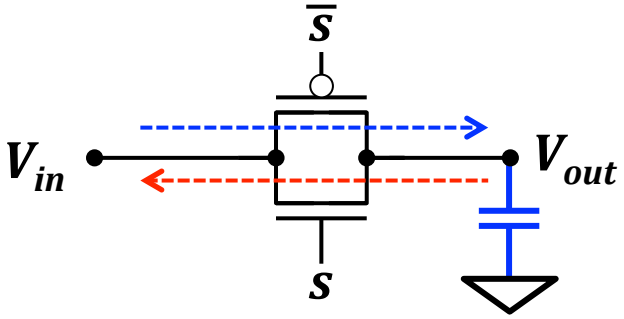
MOSトランジスタの論理の転送（復習）



CMOS : nMOSは論理「0」を駆動し、pMOSは論理「1」を駆動する論理構造

CMOS伝送ゲートとダイナミックラッチ

■ CMOS伝送ゲート (Transmission Gate)



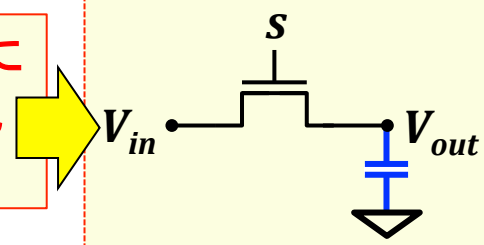
pMOSゲートに $\overline{s}$ を接続：pMOS/nMOSのスイッチング条件を揃える

s：伝送制御信号（$s = 0$：絶縁、$s = 1$：導通）

V_{in}：0 → 1 遷移（pMOSプルアップ動作）

V_{in}：1 → 0 遷移（nMOSプルダウン動作）

面積削減のためにnMOSだけで実現する場合も多い



■ CMOS伝送ゲートの用途

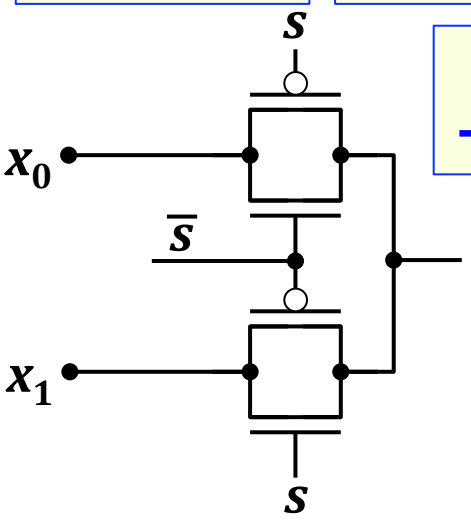
- ❖ 構造可変な配線スイッチ：FPGA内部で使用
- ❖ パストランジスタ論理：小面積・省電力な論理回路構造
- ❖ メモリスイッチ：情報を容量に電荷として記憶する

→ ダイナミックラッチ

パストランジスタ論理

■ パストランジスタ論理：伝送ゲートによって少ないトランジスタ数で論理関数を実現

2入力MUX　4 Tr　Tr：トランジスタ数



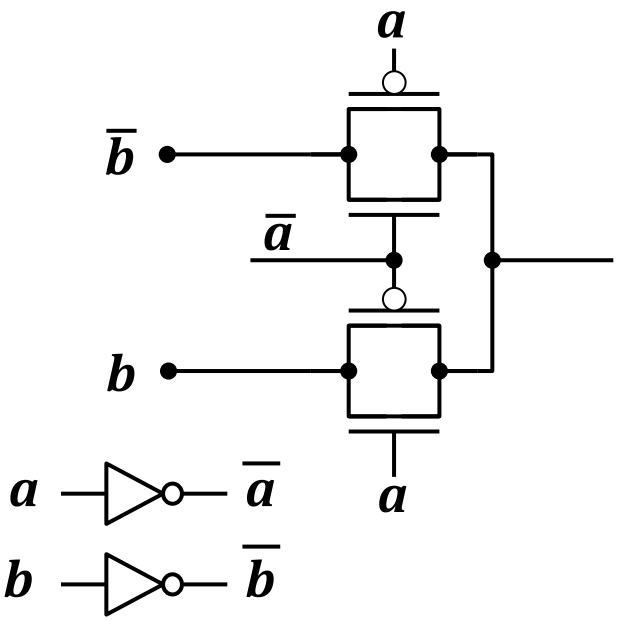
スタティック論理回路
→ 8~12Tr必要（後述）

$y = (x_0 \cdot \overline{s} + x_1 \cdot s)$

$s = 0 \rightarrow V_{out} = x_0$

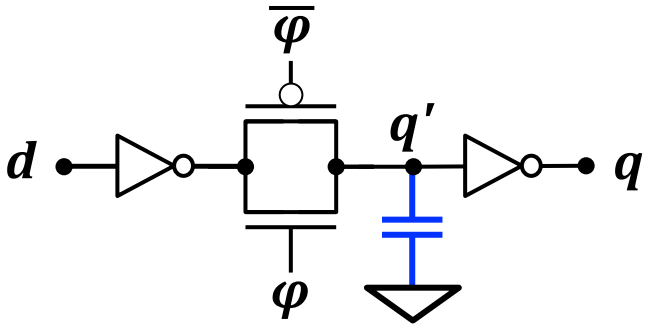
$s = 1 \rightarrow V_{out} = x_1$

$y = a \oplus b = (\overline{a} \cdot b + a \cdot \overline{b})$



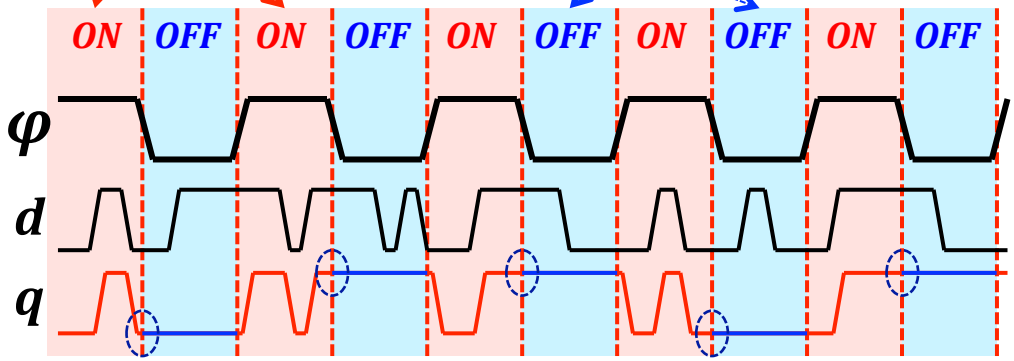
ダイナミックラッチとクロックドインバータ

■ ダイナミックラッチ

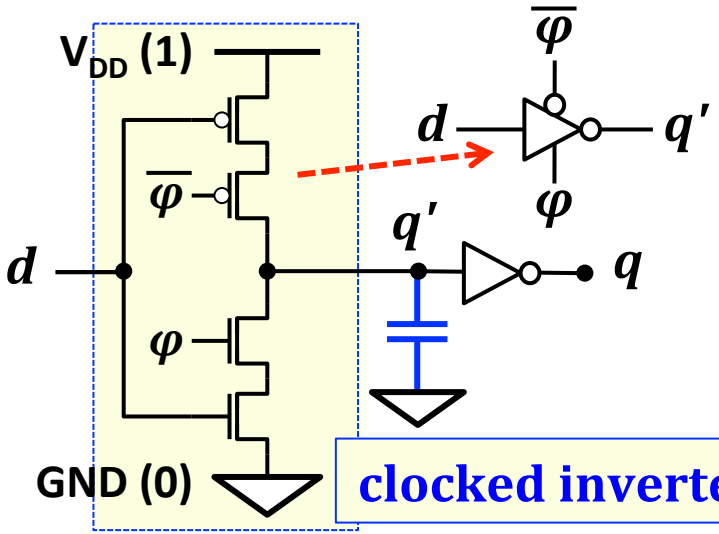


$\varphi = 1 : q = \overline{q'} = d$（書込み）

$\varphi = 0 : q' = HiZ \rightarrow q$の値を保持



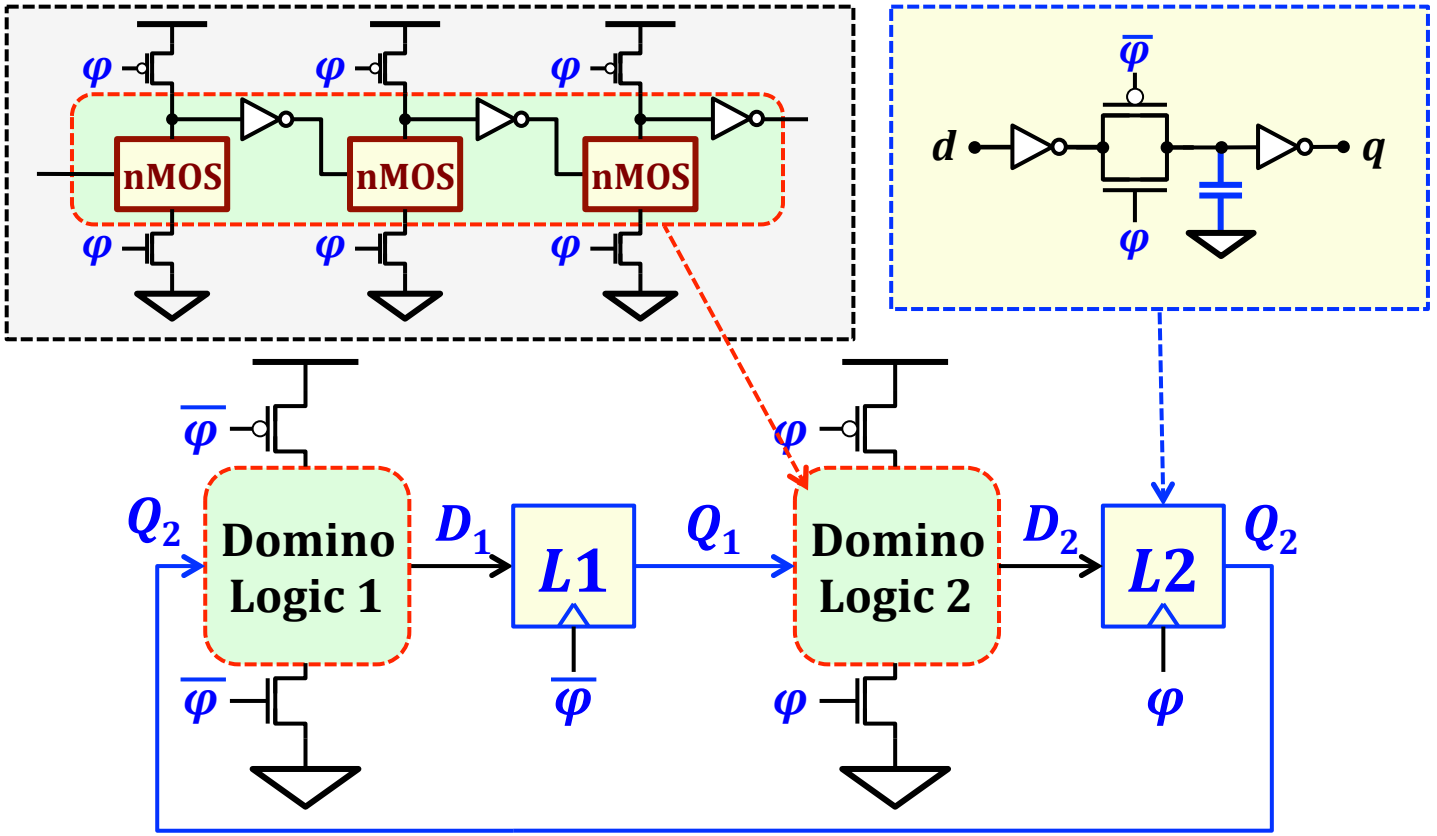
■ クロックドインバータ



clocked inverter

❖ 低いクロック周波数で誤動作
→ ダイナミック論理回路と同じ原因
（漏れ電流による電荷の消失）

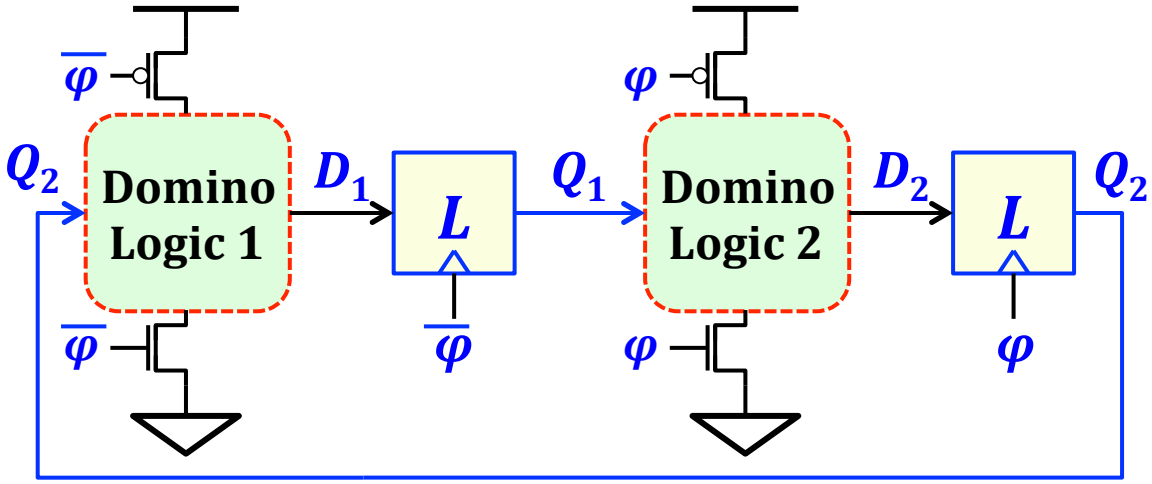
順序回路構成（2相クロック方式）



φ	Domino 1	Latch 1
1	プリチャージ	保持
0	評価	書込

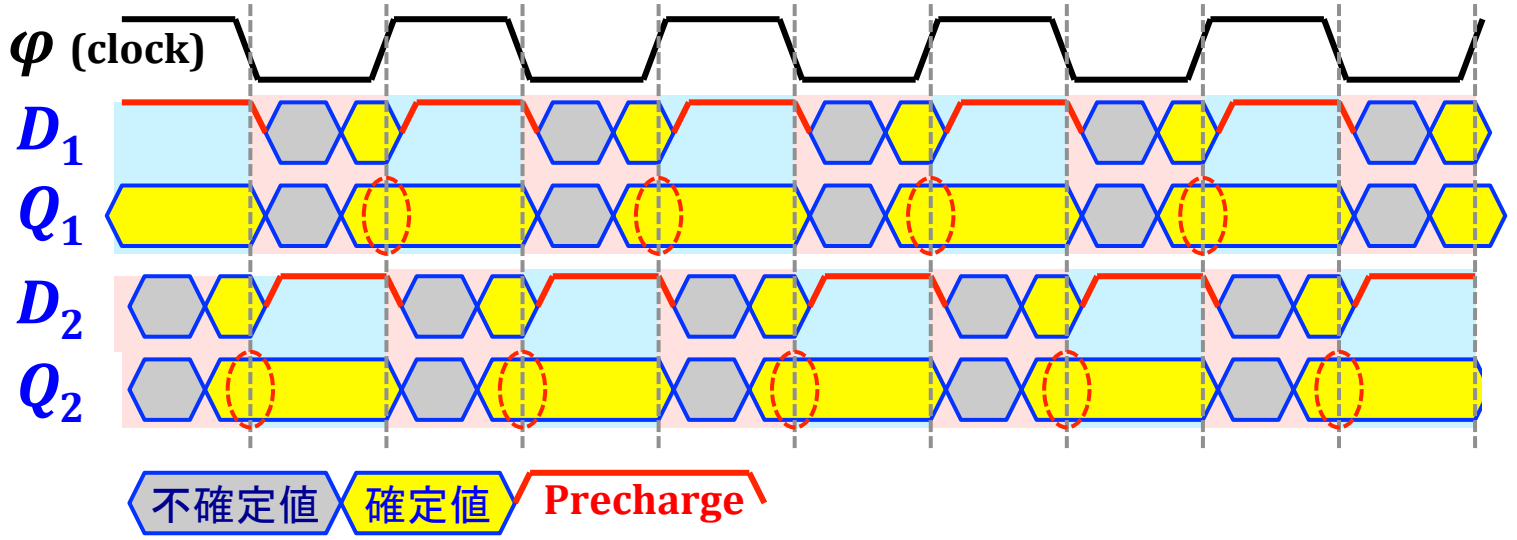
φ	Domino 2	Latch 2
0	プリチャージ	保持
1	評価	書込

順序回路構成（2相クロック方式）

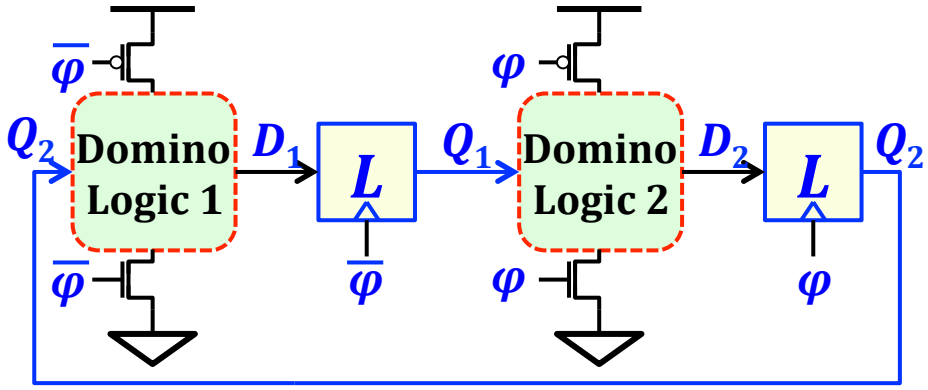


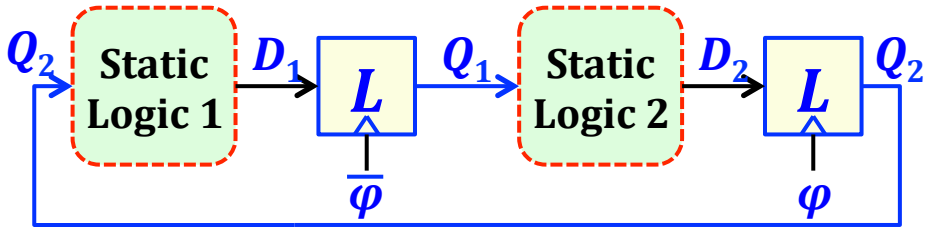
φ	Domino 1	Latch 1
1	プリチャージ	保持
0	評価	書込

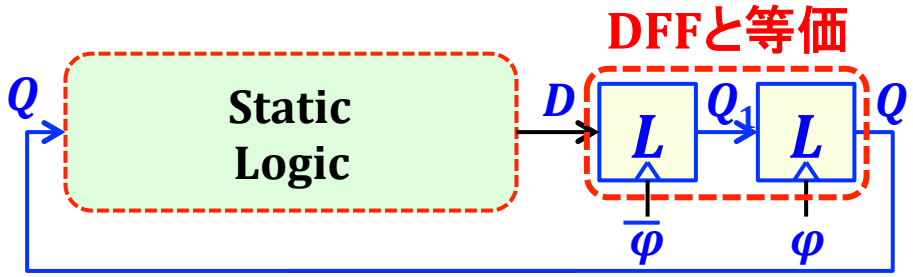
φ	Domino 2	Latch 2
0	プリチャージ	保持
1	評価	書込



クロック方式の比較



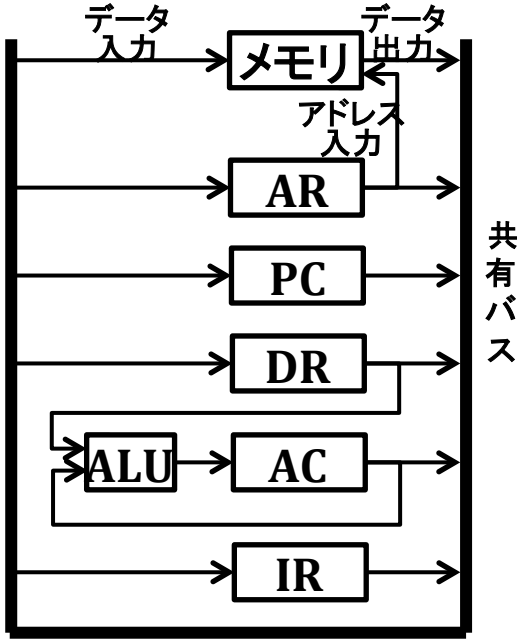


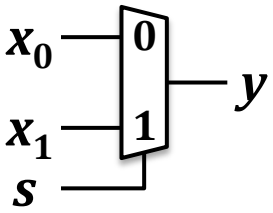


- **ダイナミック論理回路：**
  - プリチャージ期間のクロック半周期が必要 → 2相クロック方式
- **スタティック論理回路：**
  - 2つのクロック方式を柔軟に選択可能
- **単相クロック方式：**
  - 設計が簡単、設計自動化技術が成熟
- **2相クロック方式：**
  - ピーク電流が分散されるため電源ノイズが低い
  - 設計が複雑（組合せ回路の分割）

共有バス結合とマルチプレクサ

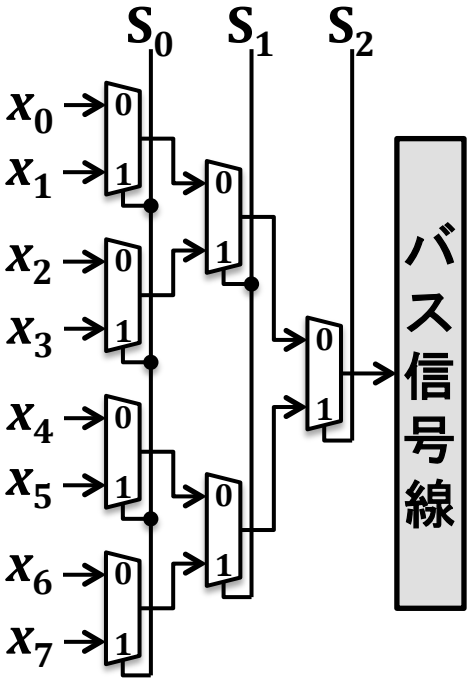
- **共有バス：複数の信号を共通の信号線で伝送**
  - マイクロプロセッサ：レジスタ、メモリとの接続
  - 大容量メモリ：複数のメモリのデータ線を共有
- **マルチプレクサ（MUX）：複数の入力信号から選択・出力**
  - 2入力マルチプレクサ：$y = x_0 \cdot \overline{s} + x_1 + s$





$$y = \begin{cases} x_0 & (s = 0) \\ x_1 & (s = 1) \end{cases}$$

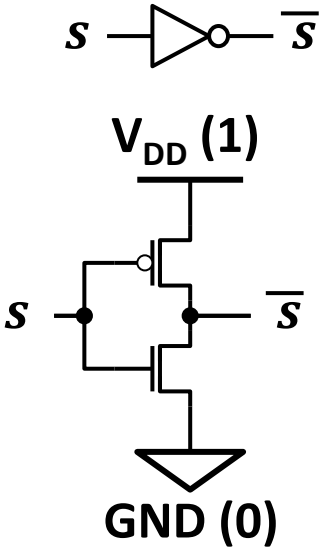
8入力MUX = 2入力MUX＊7

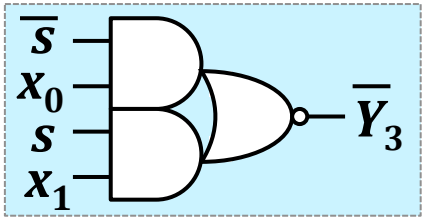


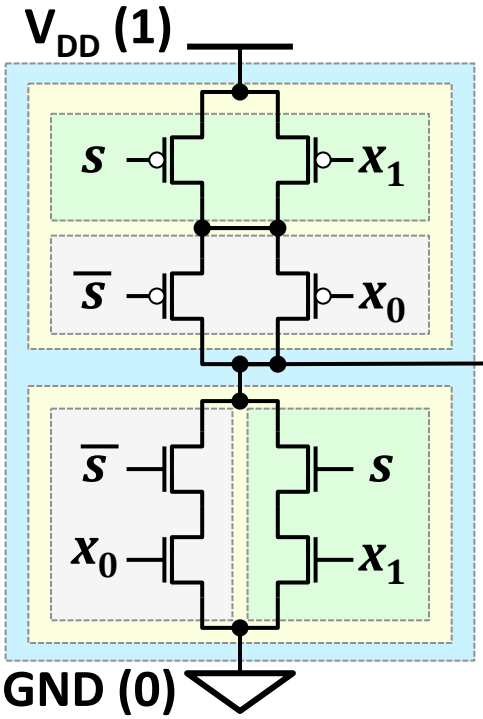
$S_2 S_1 S_0$	出力
000	x_0
001	x_1
010	x_2
011	x_3
100	x_4
101	x_5
110	x_6
111	x_7

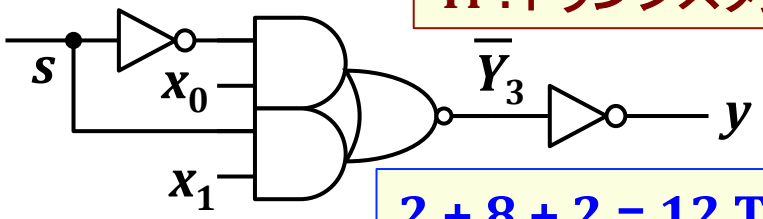
2入力MUXのCMOSスタティック回路

（例2）$y = (x_0 \cdot \overline{s} + x_1 \cdot s)$





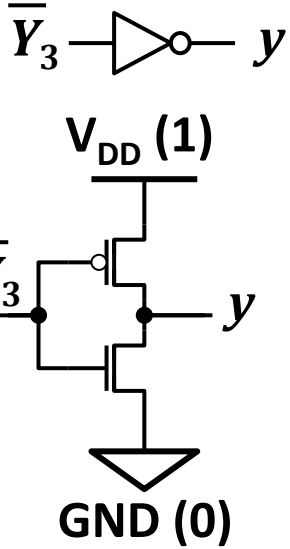




Tr : トランジスタ数

2 + 8 + 2 = 12 Tr

8入力MUX = 12 * 7 = 84 Tr



$\overline{Y_1} = \overline{s} + \overline{x_0}$

$\overline{Y_2} = \overline{s} + \overline{x_1}$

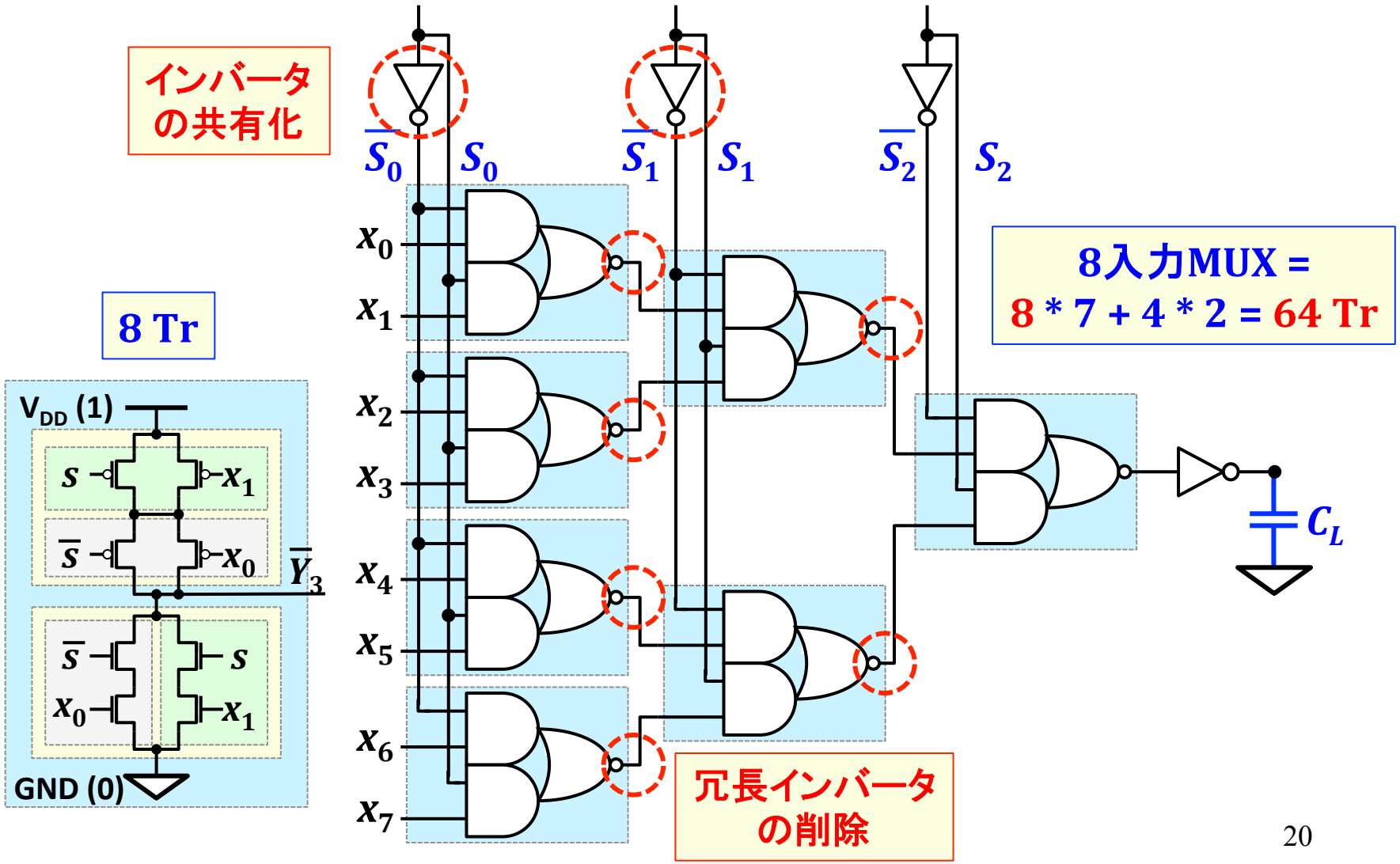
$\overline{Y_3} = \overline{Y_1} \cdot \overline{Y_2}$

$Y_1 = \overline{s} \cdot x_0$

$Y_2 = s \cdot x_1$

$Y_3 = Y_1 + Y_2$

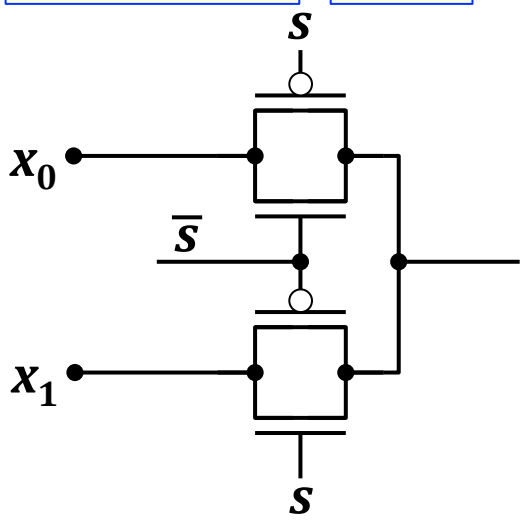
8入力MUXのCMOSスタティック回路



8入力MUXのCMOS伝送ゲート回路

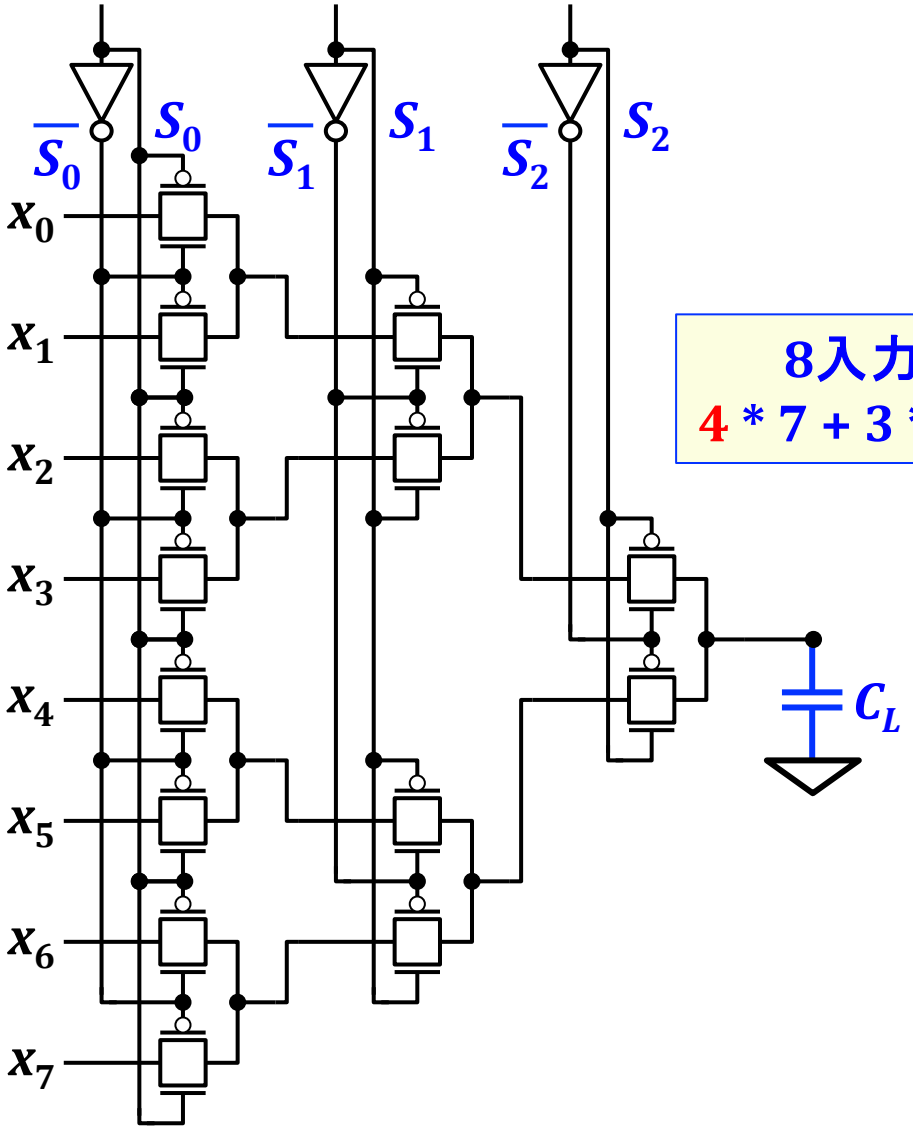
2入力MUX

4 Tr



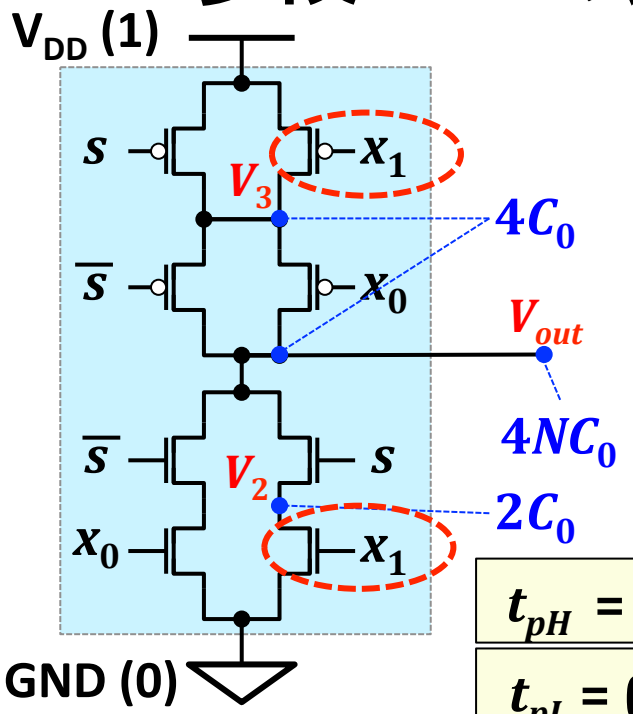
$s = 0 \rightarrow V_{out} = x_0$

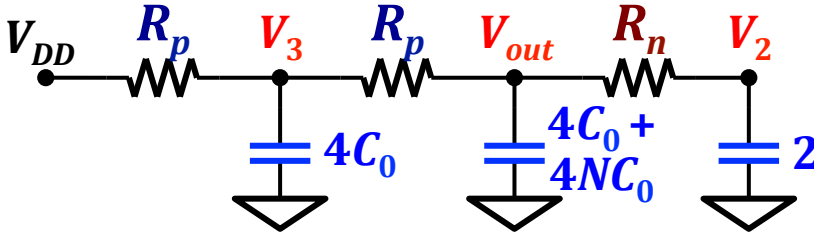
$s = 1 \rightarrow V_{out} = x_1$



8入力MUX =
4 * 7 + 3 * 2 = 34 Tr

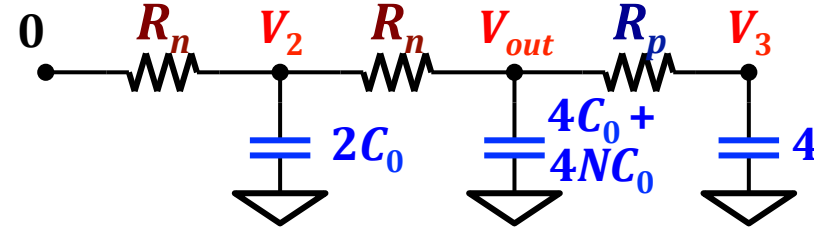
多段MUXの遅延解析（スタティック回路）





プルアップRC

t_{pH}



プルダウンRC

t_{pL}

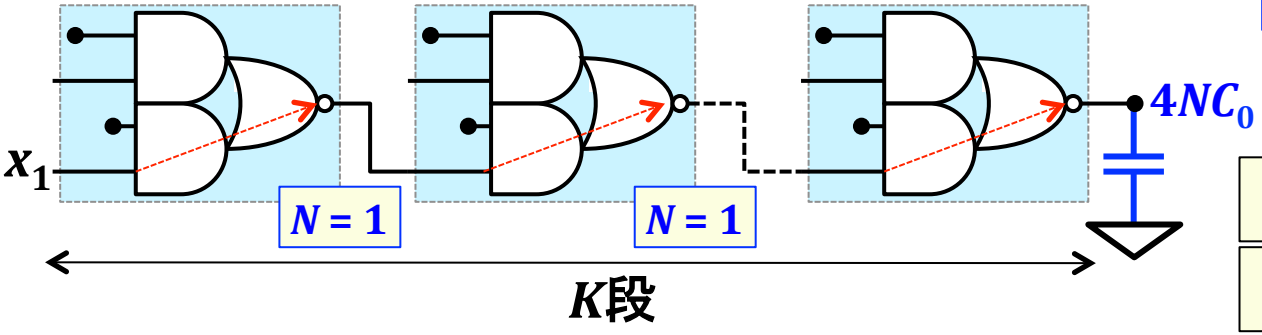
$$t_{pH} = (16R_p + 2R_n)C_0 + 8N \cdot R_pC_0$$

$$t_{pL} = (4R_p + 10R_n)C_0 + 8N \cdot R_nC_0$$

C_0：ソース・ドレイン容量
$2C_0$：ゲート容量 (Tr 1個当り)

$C_L \fallingdotseq 4NC_0$ (N：INV個数)

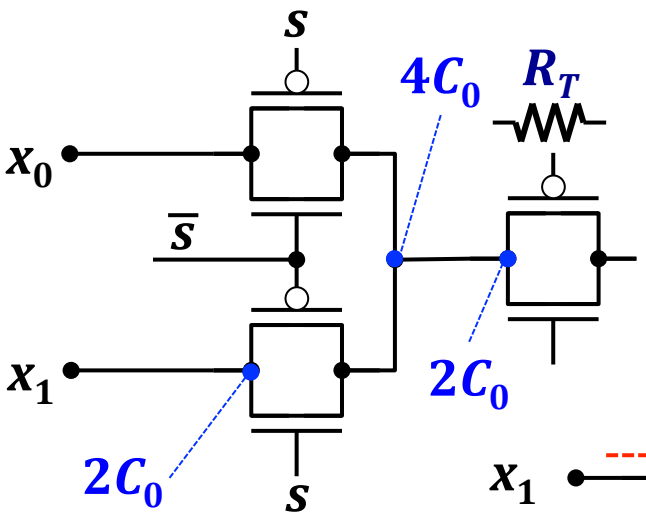
$R_p \fallingdotseq R_n \fallingdotseq R_0$ とする



$$t_{pH} = (26K + 8N - 1)R_0C_0$$

$$t_{pL} = (22K + 8N - 1)R_0C_0$$

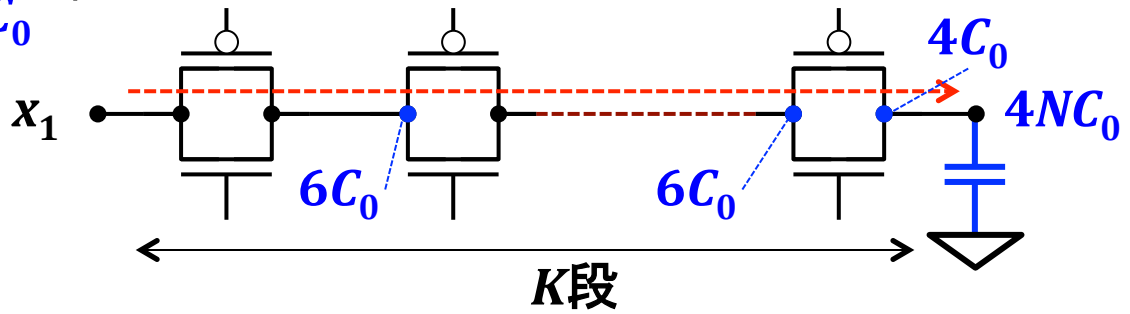
多段MUXの遅延解析（伝送ゲート）



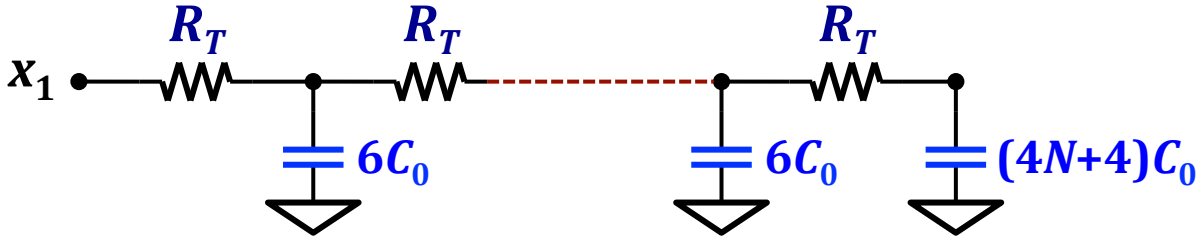
C_0：ソース・ドレイン容量
$2C_0$：ゲート容量 (Tr 1個当り)

$C_L \fallingdotseq 4NC_0$ (N：INV個数)

$R_p \fallingdotseq R_n \fallingdotseq R_0$ ⇒ $R_T \fallingdotseq 0.5R_0$

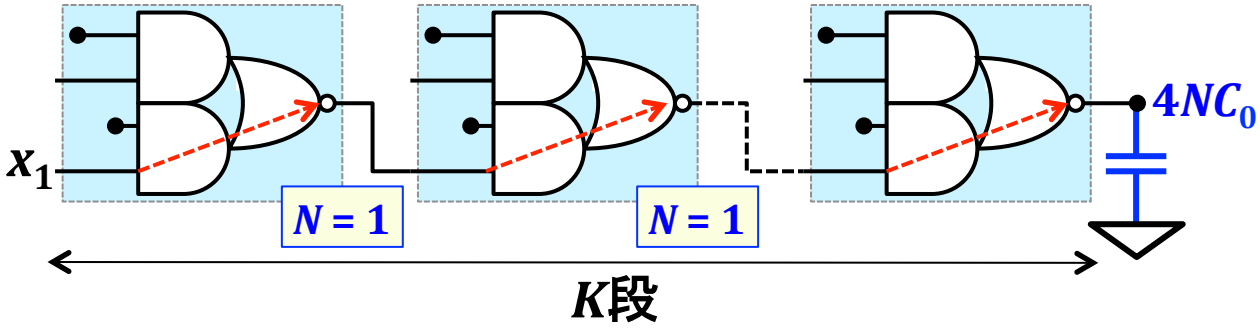


$$t_{pH} = t_{pL} = K(3K + 1 + 4N) \cdot 0.5R_0C_0$$



多段MUXの遅延解析（比較）

スタティック回路によるMUX



C_0：ソース･ドレイン容量
$2C_0$：ゲート容量 (Tr 1個当り)

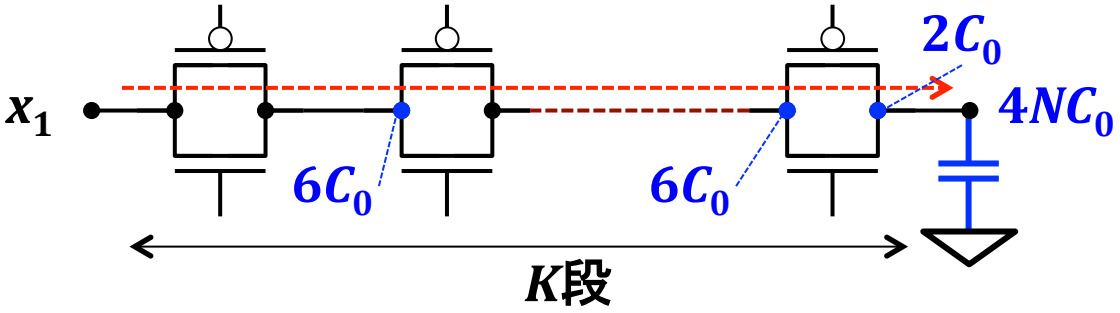
$C_L \fallingdotseq 4NC_0$ (N：INV個数)

$R_T \fallingdotseq 0.5R_0$　　$R_p \fallingdotseq R_n \fallingdotseq R_0$

$$t_{pH} = (26K + 8N - 1)R_0C_0$$

$$t_{pL} = (22K + 8N - 1)R_0C_0$$

伝送ゲートによるMUX



$$t_{pH} = t_{pL} = K(3K + 1 + 4N) \cdot 0.5R_0C_0$$

- スタティック回路の遅延：
  - 段数Kとファンアウト数Nに比例
- 伝送ゲートの遅延：
  - 段数Kの増加に伴い遅延が顕著に増加する（K^2 と $N \cdot K$ に比例）

まとめ

- **CMOSダイナミック論理回路**
  - 動作原理：pMOSプリチャージ、nMOSブロック評価動作
  - 論理「1」出力：出力負荷容量の電荷に頼る → 漏れ電流により電荷消失（低いクロック周波数で誤動作）
  - ドミノ論理回路：ダイナミック論理回路 + CMOSインバータ
- **順序回路構造**
  - 単相論理、2相論理
  - 伝送ゲート、ダイナミックラッチ、クロックドインバータ
- **共有バス結合・マルチプレクサ（MUX）**
  - スタティック型MUX回路：MUX段数に比例した論理遅延
  - パストランジスタ型MUX回路：MUX段数の2乗に比例した論理遅延