

集積回路設計

1. VLSI設計の流れ

一色 剛

工学院情報通信系

isshiki@ict.e.titech.ac.jp

講義の目的

■ 集積回路技術

- 集積回路素子(半導体、絶縁体、トランジスタ、配線)
 - 集積回路製造工程(プロセス)
 - MOSTランジスタの動作原理、動作特性
- 論理回路を「物理的に実現する」技術を理解
- 集積回路技術の今後の課題に関する技術背景を理解

■ 集積回路設計手法

- 組合せ回路・順序回路のCMOS回路構成
 - レイアウト設計(デザインルール、回路素子の配置・配線)
 - テスト設計(故障診断、テストベクトル)
 - CADツール環境(論理合成ツール、レイアウトツール)
- 集積回路の物理制約を考慮した論理回路設計手法を理解

集積回路 : Integrated Circuits

■ 集積回路素子

- 受動素子(passive elements) :
 - ❖ 抵抗(R)、コンデンサ(容量 : C)、インダクタ(コイル : L)
- 能動素子(active elements) :
 - ❖ トランジスタ、ダイオード

■ 集積回路を実現する材料

- シリコン基板(ウェーハ) : 回路の土台(単結晶シリコン)
- 不純物半導体(n 型・ p 型) : シリコン基板上に形成する
- 伝導体 : ポリシリコン(多結晶シリコン)、金属
- 絶縁体 : シリコン酸化膜

集積回路の分類 (1)

■ アナログ回路

- 機能：信号増幅、変調、フィルタ、電力制御、クロック発振、アナログ・デジタル変換、信号伝送
- 物理的な「連続信号」を電流・電圧として処理
- 回路構造と素子値（トランジスタサイズ、抵抗値、容量）で回路の機能と動作特性が決まる
- 素子値のばらつきや「寄生素子」（意図しない副次的回路素子）が回路機能・動作特性に大きく影響
- 高度な設計ノウハウが必要、設計自動化が難しい

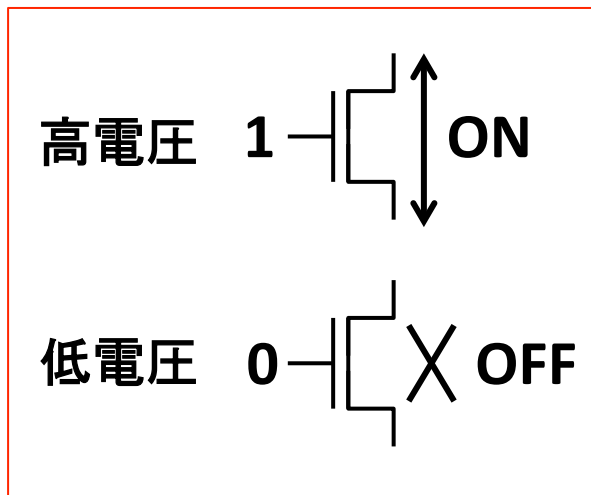
集積回路の分類 (2)

■ デジタル回路

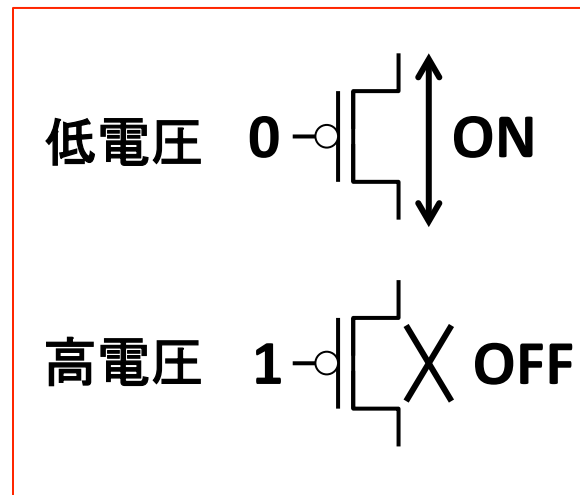
- 機能：情報処理、状態制御
- 論理的な「離散信号」を2値信号の組として処理
- 回路構造 → 回路の機能が決まる
- 素子値(トランジスタサイズ、抵抗値、容量) → 回路の動作速度(信号伝搬遅延)が決まる
- 素子値のばらつきや「寄生素子」は回路機能に「直接」影響しない(速度低下によって指定の周波数で動作しなくなることはある)
- 設計自体は比較的「簡単」→ モジュール化しやすい、設計自動化しやすい

CMOSTランジスタと論理回路 (1)

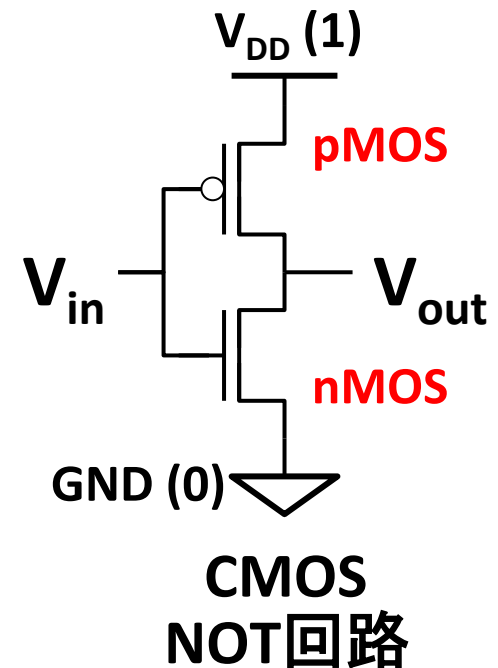
■ MOSTランジスタのスイッチング動作



nMOSTランジスタ



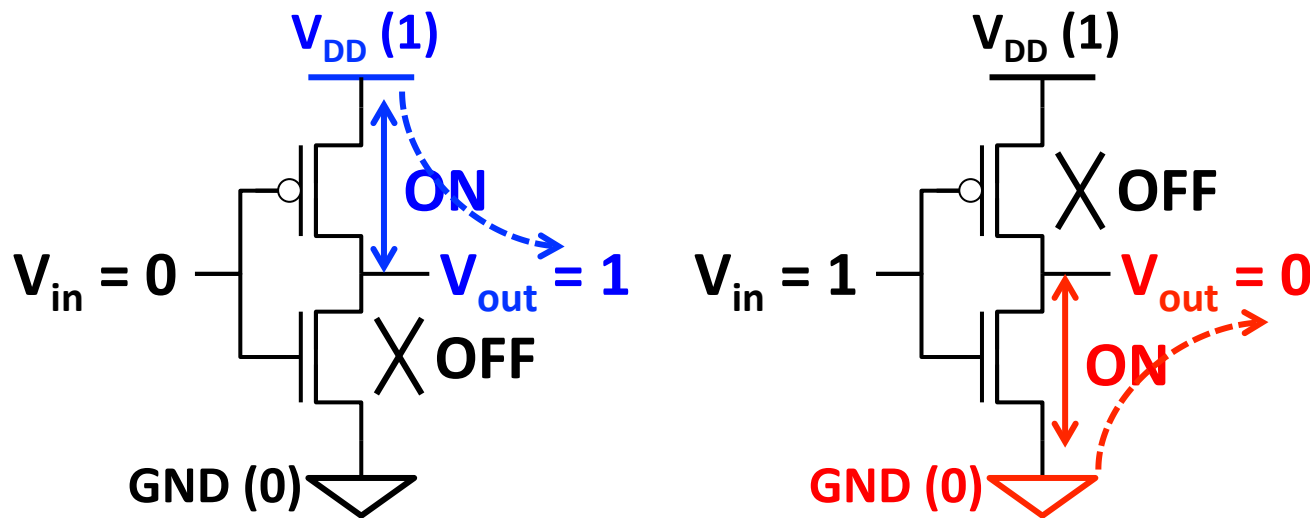
pMOSTランジスタ



- CMOS = Complementary Metal Oxide Semiconductor
- スイッチング条件がnMOSとpMOSで反対
- 両方のトランジスタを組合せて任意の論理回路が実現可能

CMOSトランジスタと論理回路 (2)

■ CMOS NOT回路(インバータ)の論理動作



論理動作は単純だが、動作速度や消費電力はどのように決まるか？

微細化が進むと何が問題になるのか？

V_{in} (入力)	nMOS	pMOS	V_{out} (出力)
GND (0)	OFF	ON	$V_{DD} (1)$
$V_{DD} (1)$	ON	OFF	GND (0)

集積度の向上

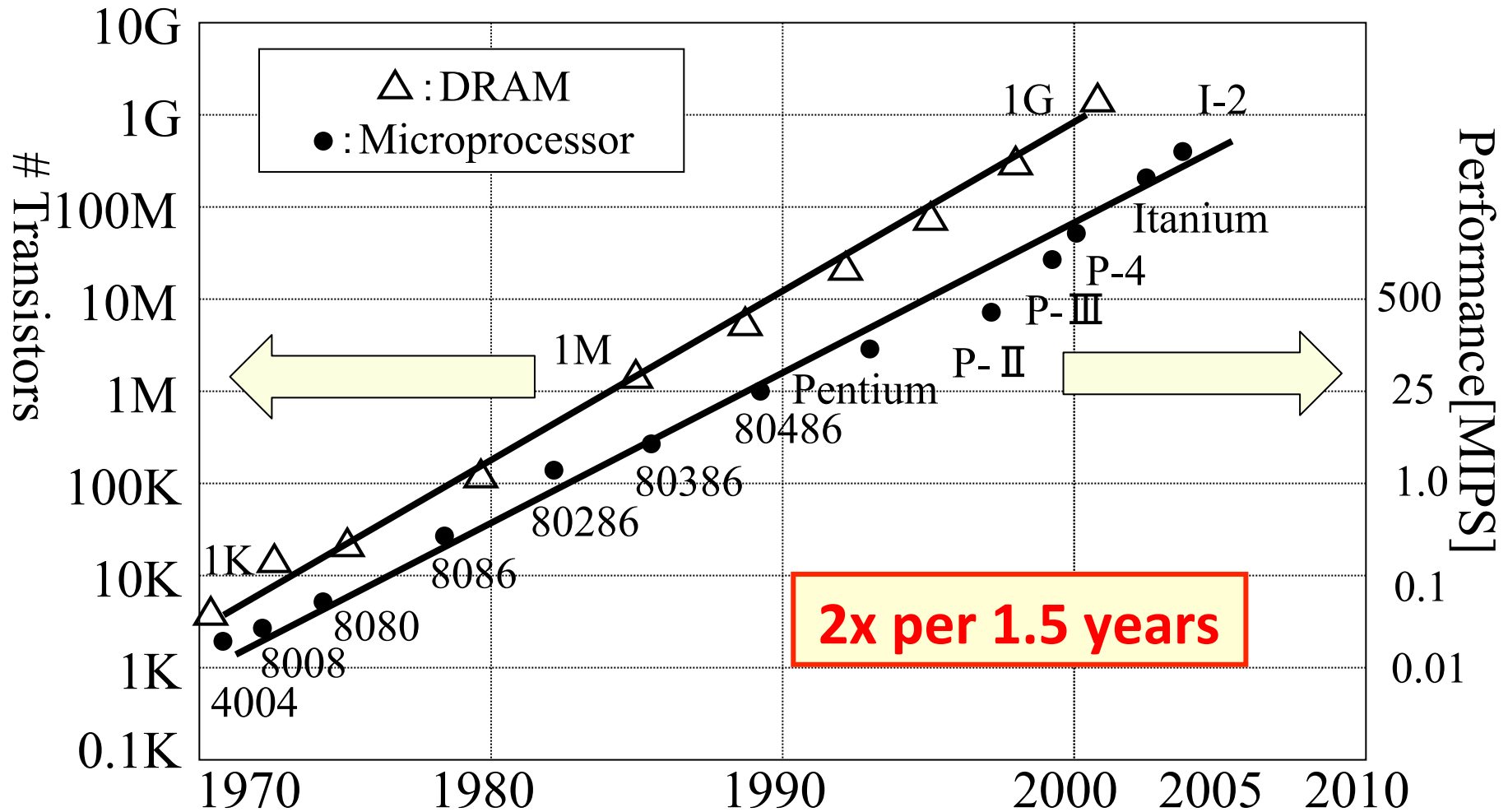
■ 集積度による分類(トランジスタ数で)

- 小規模 (SSI : small scale IC) : ～100個
- 中規模 (MSI : medium scale IC) : 100～1000個
- 大規模 (LSI : large scale IC) : 1000個～100,000個
- 超大規模 (VLSI : very large scale IC) : 100,000個～
- 1980年後半から集積度分類は形骸化
→ 今では全て「VLSI」と呼ぶ

■ 「ムーアの法則」

- 1.5～2年でトランジスタ密度が2倍に増加する
- Intelプロセッサ例 : 1982年 (13万個) → 1999 (950万個)

Moore's Law



Source: <http://www.intel.com/technology/silicon/mooreslaw/>

Intel マイクロプロセッサの集積度

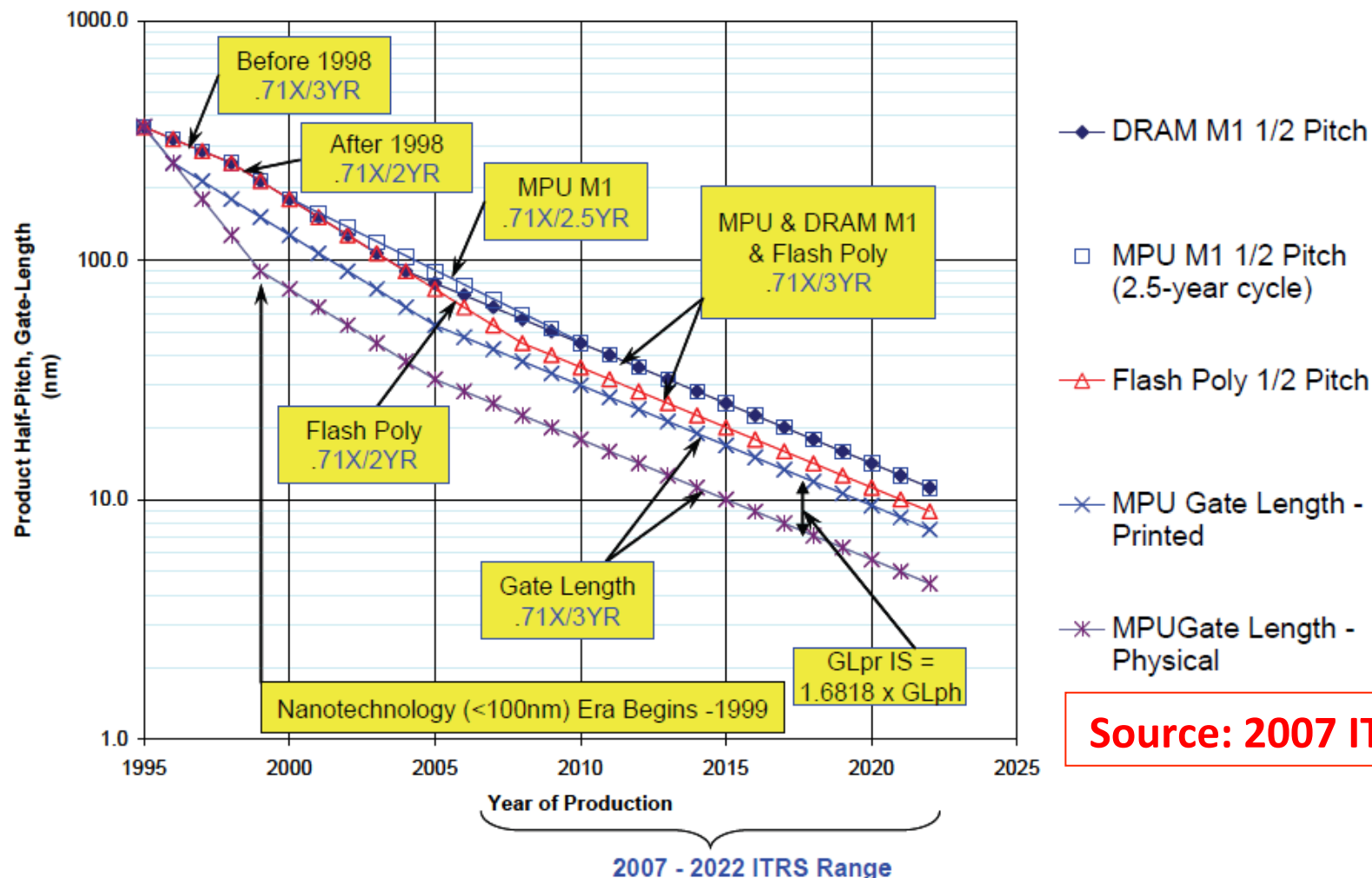
年	型名	ワード長	クロック周波数	トランジスタ数
1978	8086	16-bits	～ 10MHz	29,000
1982	80286	16-bits	～ 25MHz	134,000
1985	80386	32-bits	～ 40MHz	275,000
1989	80486	32-bits	～ 150MHz	1.2M
1993	Pentium	32-bits	～ 233MHz	3.1M ～ 4.5M
1995	Pentium-Pro	32-bits	～ 200MHz	5.5M
1997	Pentium II	32-bits	～ 450MHz	7.5M
1999	Pentium III	32-bits	0.4G ～ 1.4GHz	9.5M ～ 21M
2000	Pentium 4	32/64-bits	1.3G ～ 3.8GHz	42M ～ 184M
2003	Pentium M	32-bits	0.9G ～ 2.6GHz	140M
2006	Core 2	64-bits	1.0G ～ 3.3GHz	169M ～ 411M
2008	Core i7	64-bits	～ 3.2GHz	731M

M : 10^6
G : 10^9

クロック
周波数は
10年以上
停滞

半導体微細化技術の進歩

● 配線間隔、ゲート長



Source: 2007 ITRS

集積化の効果

■ 小型化

- より大規模な回路をより少ない面積に搭載

■ 省電力化・高速化

- 容量(キャパシタンス)削減、電源電圧削減

■ 製造コスト削減

- 微細加工技術による大量生産方式

■ 信頼性向上

- 部品数削減による故障頻度低減

■ 多機能化・応用分野の新規開拓

- スマートフォン、ゲーム機、Internet-of-Things、他

組み込みシステムとSystem-on-Chip

■ 組み込みシステム

- 特定の用途に特化した計算機システム
- 構成要素：プロセッサ、メモリ、入出力インターフェース、専用処理回路(カスタムハードウェア)、ソフトウェア

■ System-on-Chip (SoC)

- システムの構成部品のほとんどを1チップに集積



Qualcomm Snapdragon 810 → Androidスマホ
チップ面積の67%がカスタムHWで占める
(GPS, Display, Modem, USB, Camera ISP,
audio/video codec)

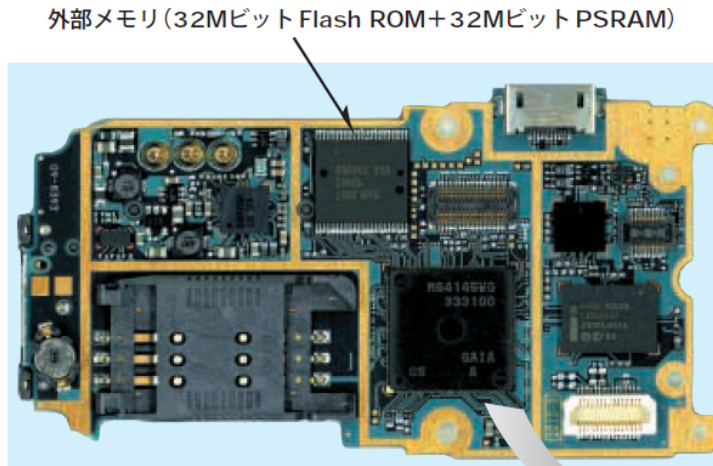
<http://www.tomshardware.com/reviews/snapdragon-810-benchmarks,4053-2.html>

Cellphone SoC (2004年)

- **W-CDMA baseband modem LSI (Mitsubishi)**
 - CPU + 2 DSPs + AFE(antenna front-end) + HW accelerator
 - 0.15 μ m, 112mm²



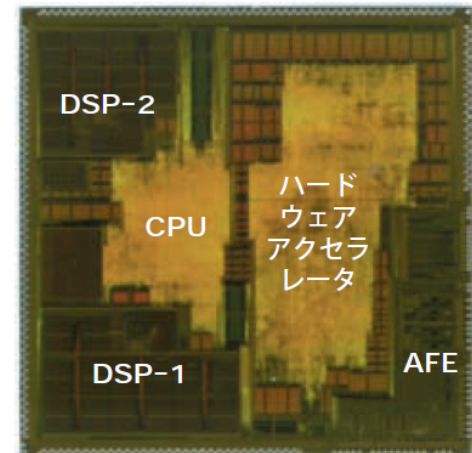
D900i
(2004)



外部メモリ (32Mビット Flash ROM + 32Mビット PSRAM)

携帯電話基板に実装したベースバンド
変復調 LSI と外部メモリ

ROM : Read Only Memory
PSRAM : Pseudo Static Random Access Memory



ベースバンド変復調 LSI

- 0.15 μ m 低リーク半導体プロセス
- チップサイズ 10.6mm $\times$ 10.6mm

Source: <http://www.mitsubishielectric.co.jp/giho/0502/0502106.pdf>

Sony Playstation SoCs

- **Sony Playstation 1 (1994)**

- CPU: MIPS R3000A (33.8MHz)
- GPU: 150M polygons/sec

- **Sony Playstation 2 (2000)**

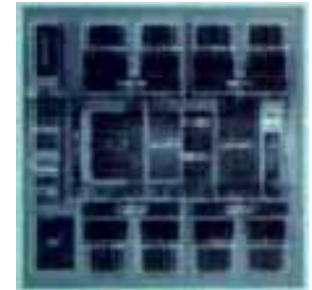
- CPU: Emotion Engine (294.9MHz)
 - FPU+2 vector-FPUs: (6.2 GOPS)
 - 6600M geometry calculations
- GPU: (147.4MHz)
 - 7700M polygons/sec

- **Sony Playstation 3 (2006)**

- CPU: Cell Engine (3.2GHz)
 - Power-PC (64-bit) + 8 SPEs
 - 280 GFLOPS
- GPU: 550MHz
 - 1.8 TFLOPS



EE: 240mm², 25W
@0.25um (1999)

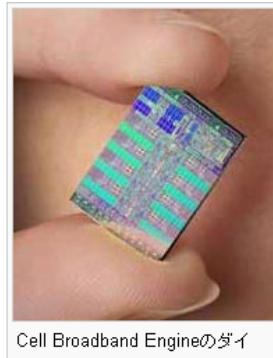


GS: 279mm², 9W
@0.25um (1999)



Chip area: 1/6
Power: 1/4

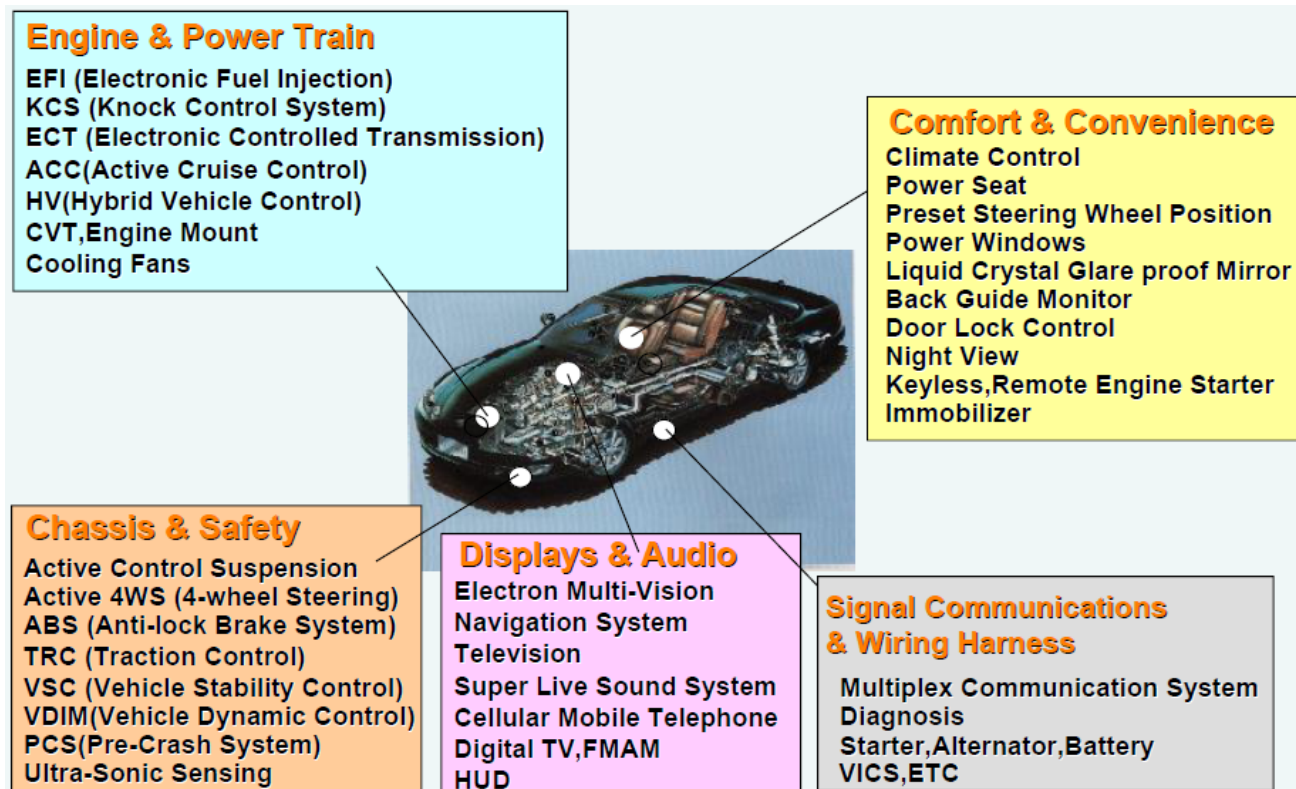
EE+GS: 86mm², 8.5W
@90nm (2004)



Source: <http://pc.watch.impress.co.jp/docs/2003/0604/kaigai01.htm>
Source: Wikipedia

Automotive Electronic Control Systems

- 70 – 80 ECUs (Electronic Control Units)
- < 2M lines of software codes



Source: www.dvlsi.jst.go.jp/topics/071201ws/pdf/02presen.pdf

ディジタル集積回路の設計の流れ

■ システム設計

- ・ 製品企画、システム仕様(必要な機能・特性の定義)

■ 機能設計

- ・ 機能の構造化(階層化)と各ブロックの機能定義(CPU命令セット、HW構成、入出力、状態遷移、他)

■ 論理設計

- ・ 各機能ブロックの論理動作・論理構造の定義

■ 回路設計

- ・ 各論理構造の回路素子(トランジスタ、他)設計

■ レイアウト設計

- ・ 各回路素子の形状・位置・素子間の配線形状の定義

講義
対象

VLSIの設計方式 (1)

■ フルカスタム方式

- 論理設計、回路設計、レイアウト設計を全て手動設計
- 回路面積・動作速度・消費電力を最適化できる
- 開発コスト(設計コスト)は高いが、量産効果による製品単価の大幅削減が可能(汎用CPU、メモリ)
- アナログ回路は通常フルカスタム方式で設計される

■ スタンドードセル方式

- 論理設計、回路設計、レイアウト設計を全て自動化
- 論理セル：数十～数百種のレイアウト済み設計物
- 集積度・性能はフルカスタムに劣るが、開発コストを大幅削減可能

VLSIの設計方式 (2)

■ ゲートアレイ方式

- トランジスタをアレイ状に配置したウェーハを予め製造
- 回路構造を決定する配線層をウェーハに追加する
- トランジスタ形成層の製造を異なる製品で共通化 → 製造コスト削減
- 集積度・性能はスタンダードセルに比べて劣る

■ FPGA (Field Programmable Gate Array)

- 小規模の論理関数がプログラム可能な論理セル (configurable logic block) とプログラム可能な配線層を多数搭載した製造済み半導体チップ
- 集積度・性能はスタンダードセル・ゲートアレイより劣るが、製造コストがかからないため、少量多品種生産に向いている

集積回路技術の課題

■ 微細化加工技術の物理的限界点が近づいている

- 既にクロック周波数は10年間停滞、消費電力・発熱が問題
- 物理的限界点：原子レベルの素子サイズに近づきつつある

■ 製造技術開発コストの高騰

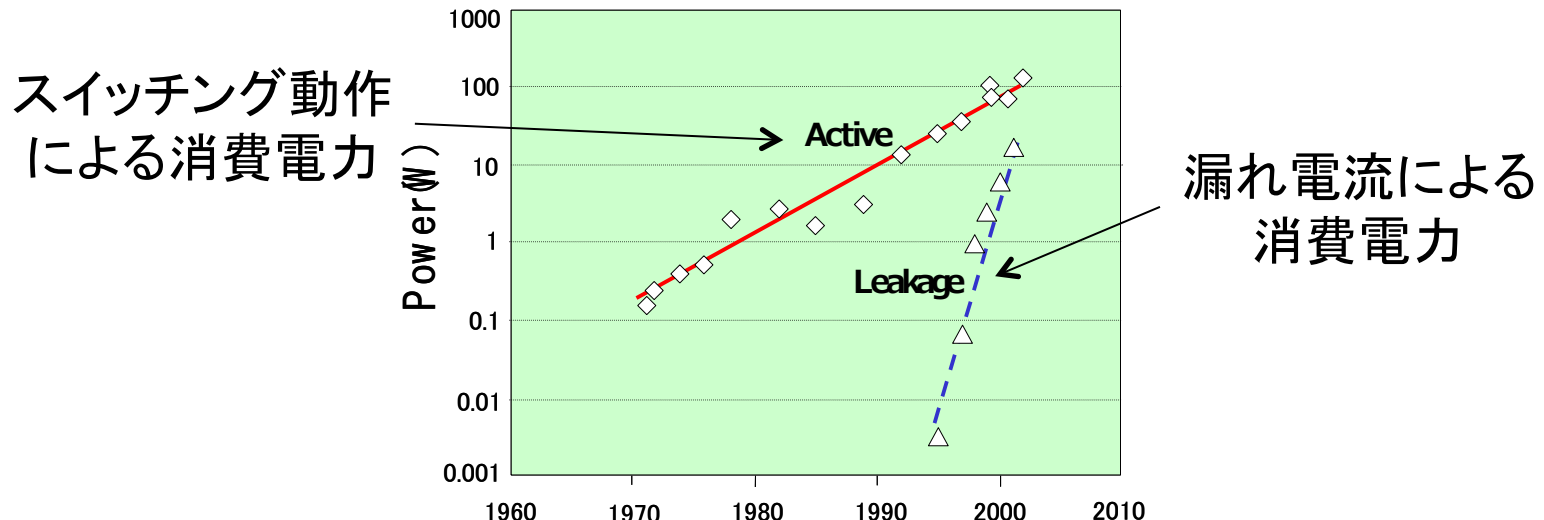
- 半導体製造装置・設備への投資が高騰し、限られた数社だけが最先端プロセスの半導体製造を行っている

■ 回路の大規模化

- 数億トランジスタのSystem-on-Chipの開発には膨大な設計コストと製造初期コスト(マスク製造費用)がかかる

集積回路の微細化と消費電力

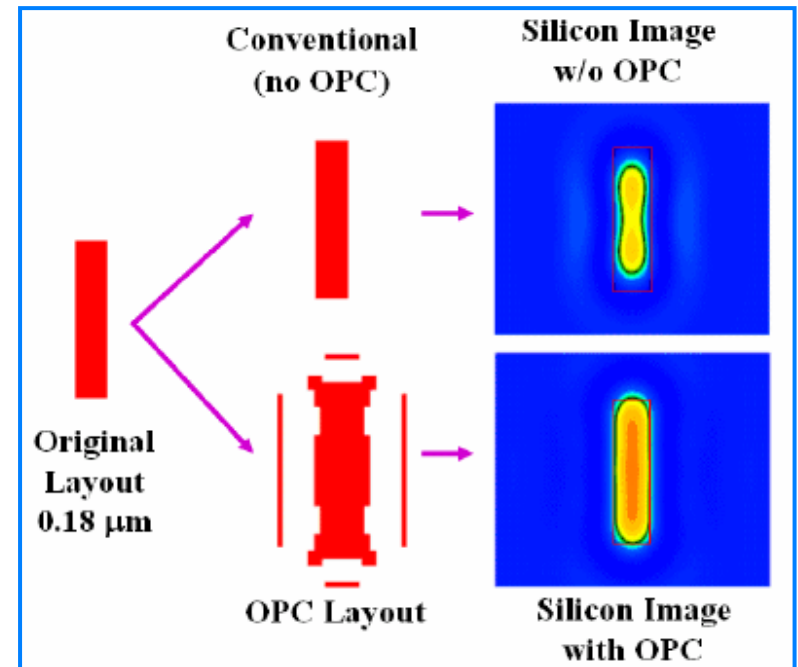
- ゲート長90nm以上 : スイッチング電力が支配的
 - クロック周波数に比例 → 論理設計の工夫で省電力化が可能
- ゲート長90nm以下 : 漏れ電流が顕著化
 - 漏れ電流によって消費電力が増加 → 電源電圧の低下や絶縁膜の薄さに起因(完全に「オフ」にならない)
 - 論理設計以外での工夫が必要(複数の電源電圧、電圧・周波数の動的制御など)、設計が大幅に複雑化する



Source: Moore, G.E, "No exponential is forever: but "Forever" can be delayed!", ISSCC2003

半導体製造の歩留り問題

- Design-for-Manufacturability
(歩留り改善のための設計論)
 - マスク合成: OPC (optical proximity correction)
 - リソグラフィ: 193nm 波長 → 回路素子の寸法(～16nm)が波長よりも遥かに小さい
 - 露光の回折現象を補正したマスキレイアウト合成
 - 製造ばらつきを考慮したレイアウト設計、論理設計
 - 信号干渉・ノイズ対策



Source: Huang, "Optical Proximity Correction (OPC)-Friendly Maze Routing", DAC' 04

半導体微細化の限界

- 過去の微細化限界説

- 1980: 250nm (ゲート酸化膜トンネル現象)
- 1990: 100nm (露光波の半波長の素子寸法)
- 2000: 10nm (電子の波長)

→ 3nm CMOSトランジスタが報告される (2008)

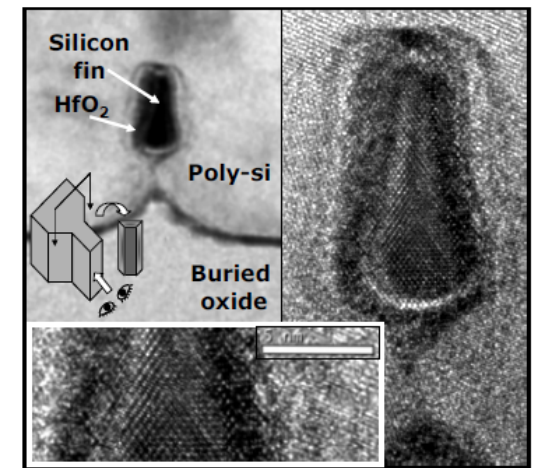
→ 7nm CMOSの量産向け開発も始まっている

- ITRS 予測 (ゲート長 : 2007年当初)

- 2007: 25nm
- 2010: 18nm
- 2015: 10nm ← 現状の最先端は16nm
- 2020: 5.6nm

- 最終的な物理限界

- 0.3nm: 原子の距離



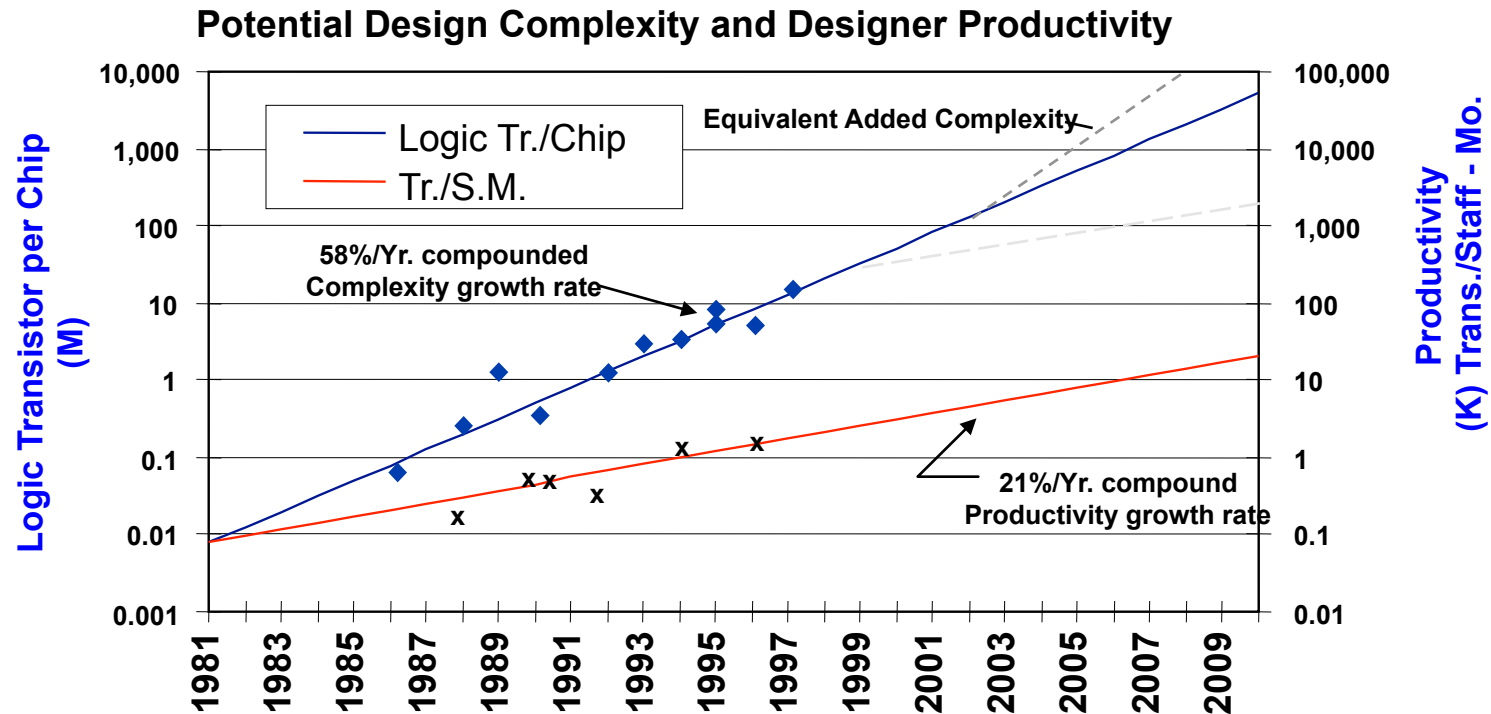
(A) 3nm CMOS

Source: Choi, "Silicon Nanowire Device for Logic Switch and Non-Volatile Memory Applications" (2008)

集積回路の大規模化と設計生産性

- トランジスタ数: 毎年58%増加
- 設計生産性: 毎年21%増加

設計生産性ギャップ
はどんどん開いていく



Source: SEMATECH

まとめ

■ 集積回路技術

- ムーアの法則 : 1.5~2年でトランジスタ密度が2倍に増加
- 集積化の効果 : 小型化、高速化、省電力化、高信頼化、多機能化 (System-on-Chip)
- CMOSトランジスタによる論理回路実現

■ 集積回路設計手法

- 設計の流れ : システム設計、機能設計、論理設計、回路設計、レイアウト設計
- 設計方式 : フルカスタム、スタンダードセル、ゲートアレイ、FPGA

■ 集積回路技術の課題

- 微細化の限界 (リソグラフィ、製造ばらつき)、消費電力
- 設備投資の高騰、設計生産性の低下