

P4,5 : 訂正あり

集積回路設計

理解度確認問題(第1回～第7回)

一色 剛

工学院情報通信系

isshiki@ict.e.titech.ac.jp

1. VLSI設計の流れ

1. アナログ集積回路とデジタル集積回路の特徴を説明せよ。講義資料P4～P5
2. CMOSインバータ回路を示し、その論理動作を、nMOS・pMOSTランジスタのゲート電極の電圧とスイッチング動作の関係に基づき説明せよ。講義資料P6～P7
3. 回路集積化の効果を説明せよ。講義資料P12
4. デジタル集積回路の5つの設計工程とそれらの概要を説明せよ。講義資料P17
5. VLSIの設計方式であるフルカスタム方式、スタンダードセル方式、ゲートアレイ方式、FPGAのそれぞれの特徴を述べよ。講義資料P18～P19
6. 集積回路技術の課題を述べよ。講義資料P20～P24

1. VLSI設計の流れ

1. 講義資料P4～P5:【アナログ】物理的な「連続信号」を電流・電圧として処理、回路構造と素子値で回路の機能と動作特性が決まる、素子値のばつきや寄生素子が回路機能・動作特性に大きく影響、高度な設計ノウハウが必要、設計自動化が難しい
【デジタル】論理的な「離散信号」を2値信号の組として処理、回路構造で回路の機能が決まり、素子値で回路の動作速度(信号伝搬遅延)が決まる、素子値のばらつきや寄生素子は回路機能に「直接」影響しない、設計自体は比較的簡単で、モジュール化しやすく、設計自動化しやすい
2. 講義資料P6～P7: 省略
3. 講義資料P12: 小型化、省電力化・高速化(容量削減、電源電圧削減)、製造コスト削減(量産)、信頼性向上(部品数削減)、多機能化・応用分野の新規開拓
4. 講義資料P17:【システム設計】: 製品企画、システム仕様、【機能設計】: 機能の構造化と各ブロックの機能定義
【論理設計】: 機能ブロックの論理動作・論理構造の定義、【回路設計】: 各論理構造の回路素子設計
【レイアウト設計】: 各回路素子の形状・位置・素子間の配線形状の定義
5. 講義資料P18～P19 :
【フルカスタム】: 手動による論理設計・回路設計・レイアウト設計、回路面積・動作速度・消費電力を最適化可能、開発コストは高い、量産効果による製品単価の大幅削減が可能、アナログ回路はフルカスタム
【スタンダードセル】: 論理設計・回路設計・レイアウト設計を全て自動化、数十～数百種のレイアウト済み論理セル、開発コストを大幅削減可能
【ゲートアレイ】: トランジスタをアレイ状に配置したウェーハを予め製造、回路構造を決定する配線層をウェーハに追加、トランジスタ形成層の製造を異なる製品で共通化することで製造コスト削減、集積度・性能はスタンダードセルに比べて劣る
【FPGA】: プログラム可能論理セルとプログラム可能配線層を多数搭載した製造済み半導体チップ、集積度・性能はスタンダードセル・ゲートアレイより劣るが、製造コストがかからないため、少量多品種生産向き
6. 講義資料P20～P24: 微細化加工技術の物理的限界点が近づきつつある、製造技術開発コストの高騰、回路の大規模化による設計コストと製造初期コストの高騰

2. MOSプロセスとトランジスタ

1. 半導体の材料としてのシリコン、n型半導体、p型半導体の特徴を述べよ。: 講義資料P3～P4
2. pn接合ダイオードにおいて、接合面に形成される「空乏層」について説明し、空乏層が形成される理由を説明せよ。また、逆方向バイアスと順方向バイアスでの電流の有無とその理由を説明せよ。講義資料P5～P6
3. MOS構造とこれらを形成する材料を説明せよ。: 講義資料P8
4. nMOSTランジスタの基板電位の値と、基板電位に対する3端子の電圧(V_{GB} , V_{SB} , V_{DB})の範囲を示せ。また、ソース・ドレイン間が導通する条件を示し、導通状態ではゲート電極直下のp型基板でどのような変化が起こるか説明せよ。pMOSTランジスタについても同様に答えよ。: 講義資料P9～10
5. CMOSインバータのレイアウトを図示せよ。: 講義資料P14
6. MOS製造におけるリソグラフィ工程を説明せよ。また、酸化膜の形成工程を説明せよ(2種類)。また、~~nMOS~~pMOSTランジスタの基板(nウェル)、ゲート電極、絶縁酸化膜、ソース・ドレイン電極の製造の順番と製造方法を示せ。: 講義資料P17～P18、P21～P23

訂正

2. MOSプロセスとトランジスタ

1. 講義資料P3～P4:【シリコン】4価元素(ケイ素: Si)、4個の価電子が他の4個のSi原子と共有結合してシリコン結晶を作る、結合力は弱く、室温程度の熱エネルギーで原子の束縛力を振り切って結晶内を移動する(自由電子)、温度が上昇すると電気抵抗が低下する
【n型半導体】5価元素(ヒ素: As、リン: P、他)をSi結晶に混入させ、1個が自由電子となる、ドナー不純物(電子を供給)
【p型半導体】3価元素(ホウ素: B、ガリウム: Ga、他)をSi結晶に混入させ、電子1個が不足し、電子を受け入れる「正孔」(ホール)ができる、アクセプタ不純物
2. 講義資料P5～P6:【空乏層】接合面における自由電子の濃度勾配により、n領域の自由電子がp領域に入り込み(拡散電流)、自由電子もホールもない領域が形成される
【逆方向バイアス】: 外部電源の電位差を打ち消すように空乏層が広がるので電流が流れない、
【順方向バイアス】: 電界により自由電子がn領域からp領域に流入し、ホールを埋め続けるので空乏層が消滅し電流が流れる
3. 講義資料P8:【シリコン基板(バルク)】単結晶シリコン(低濃度不純物)、【絶縁体】シリコン酸化膜(SiO_2)、【ゲート(G)電極】メタル、ポリシリコン(多結晶シリコン)、【ソース(S)・ドレイン(D)電極】高濃度不純物(基板と反対の不純物)
4. 講義資料P9～10:【nMOS】 $V_B = 0, V_{GB}, V_{SB}, V_{DB} \geq 0$, 導通条件: $V_{GB} > V_{Tn}$ 、ゲート直下のp型基板に誘起された電子によってn型チャネルが形成される【pMOS】 $V_B = V_{DD}, V_{GB}, V_{SB}, V_{DB} \leq 0$, 導通条件: $V_{GB} < V_{Tp}$ 、ゲート直下のn型基板に誘起されたホールによってp型チャネルが形成される
5. 講義資料P14: 省略
6. 講義資料P17～P18、P21～P23:【リソグラフィ】マスク生成(回路パターンをガラス乾板上に形成)、レジスト塗布(紫外線を当てると溶剤の溶解度が上がる材料をウェーハ全体に塗る)、露光(マスクを介した紫外線照射)、現像(紫外線が照射した領域のレジストを除去)、エッチング(レジストが除去された領域の堆積物を化学反応により除去)からなる回路パターン形成工程
【酸化膜形成工程】熱処理(ゲート酸化膜)、化学蒸着(CVD)
【nMOSpMOSTランジスタの形成】nウェル(イオン注入)→絶縁酸化膜(熱酸化)→ゲート電極(CVD)→ソース・ドレイン電極(イオン注入+アニーリング)

訂正

3. MOSTランジスタの動作

1. 寄生抵抗の値は、長さ L と幅 W にそれぞれどのように依存するか。また、寄生容量の値は、何に依存するか。:講義資料P5
2. nMOSTランジスタのゲート直下のバルク表面の誘起電子の電荷密度は $Q(x) = -C_{OX}(V_{GB} - V_{Tn} - V(x))$, $V(0) = V_{SB}$, $V(L) = V_{DB}$ で与えられ (L :ゲート長)、 $V_{DB} = V_{SB}$ のときは $Q(x) = -C_{OX}(V_{GB} - V_{Tn} - V_{SB})$ である。 $V_{GB} - V_{Tn} > V_{SB}$ の時の $Q(x)$ の範囲とnMOSTランジスタの状態を説明せよ。:講義資料P11~P12
3. nMOSTランジスタにおいて $V_{GB} - V_{Tn} > V_{SB}$ のとき、ドレイン・ソース間の電流 I_{DS} は、 $I_{DS} dx = \mu_n W C_{OX} (V_{GB} - V_{Tn} - V(x)) dV(x)$ で与えられ、両辺を定積分することにより I_{DS} が求まる。 $\int (V_{GB} - V_{Tn} - V(x)) dV(x)$ を計算し、左辺 dx の積分範囲を示せ。また、 V_{DB} と V_{SB} の間にはどのような関係があるか。:講義資料P13~P14
4. $V_{GB} - V_{Tn} \geq V_{DB}$ と $V_{GB} - V_{Tn} < V_{DB}$ で前記右辺 $dV(x)$ の積分範囲を示し、これらの積分範囲が異なる理由を述べよ。また、これらの範囲の定積分を計算し、線形領域と飽和領域の電流式を導出せよ。:講義資料P14~P15
5. nMOSTランジスタの飽和領域の電流式が $I_{DS} = 1/2 \cdot \beta_n (V_{GS} - V_{Tn})^2$ で与えられるとき、利得係数 β_n はnMOSTランジスタのレイアウト寸法にどのように依存するか。:講義資料P16
6. nMOSTランジスタとpMOSTランジスタについて、カットオフ領域、線形領域、飽和領域の動作範囲を V_{GS} , V_{DS} , V_{Tn} , V_{Tp} を用いて示せ。:講義資料P20
7. CMOSインバータの入力と出力を V_{in} , V_{out} としたとき、nMOSとpMOSそれぞれの V_{GS} , V_{DS} を示せ。また、 V_{in} が0から V_{DD} まで変化したとき、nMOSとpMOSがそれぞれの動作領域にあるか5つの異なる状態を示せ。また、nMOSとpMOSが共に飽和領域あるときの入力電圧 $V_{in} = V_{INV}$ を示せ。:講義資料P21~P24

3. MOSTランジスタの動作

1. 講義資料P5: 寄生抵抗は、長さLに比例し幅Wに反比例。寄生容量は電極の面積Sに比例し電極の距離Dに反比例。
2. 講義資料P11～P12: $Q(x) < 0$ となり、誘起電子がゲート直下のバルク表面に発生し、チャネルが形成されるので導通状態になる。
3. 講義資料P13～P14: $\int (V_{GB} - V_{Tn} - V(x)) dV(x) = (V_{GB} - V_{Tn})V(x) - 1/2 \cdot V(x)^2 + C$ 、左辺積分範囲 $(x) : [0, L]$ 、 $V_{DB} \geq V_{SB}$ (nMOSではドレインの電位はソースの電位より高い)
4. 講義資料P14～P15: $[V_{GB} - V_{Tn} \geq V_{DB}] V(0) = V_{SB}, V(L) = V_{DB}$ なので $dV(x)$ の積分範囲は $[V_{SB}, V_{DB}]$ となる。
 $[V_{GB} - V_{Tn} < V_{DB}]$ ドレイン付近の誘起電子密度が 0 になり、バルク表面電位 $V(x)$ は V_{DB} まで上がり $V_{GB} - V_{Tn}$ で頭打ちとなるため、 $dV(x)$ の積分範囲は $[V_{SB}, V_{GB} - V_{Tn}]$ となる。電流式の導出はP14～P15参照。
5. 講義資料P16: $\beta_n = \mu_n C_{OX} W/L$ 、幅Wに比例し長さLに反比例。
6. 講義資料P20:

【nMOS】カットオフ領域 ($V_{GS} - V_{Tn} \leq 0$)、線形領域 ($0 < V_{DS} \leq V_{GS} - V_{Tn}$)、飽和領域 ($0 < V_{GS} - V_{Tn} < V_{DS}$)

【pMOS】カットオフ領域 ($V_{GS} - V_{Tp} \geq 0$)、線形領域 ($V_{GS} - V_{Tp} \leq V_{DS} < 0$)、飽和領域 ($V_{DS} < V_{GS} - V_{Tp} < 0$)

7. 講義資料P21～P24: 【nMOS】 $V_{GS} = V_{in}, V_{DS} = V_{out}$ 【pMOS】 $V_{GS} = V_{in} - V_{DD}, V_{DS} = V_{out} - V_{DD}$

【 $0 \leq V_{in} \leq V_{Tn}$ 】 nMOS: カットオフ領域、pMOS: 線形領域

【 $V_{Tn} < V_{in} < V_{INV}$ 】 nMOS: 飽和領域、pMOS: 線形領域

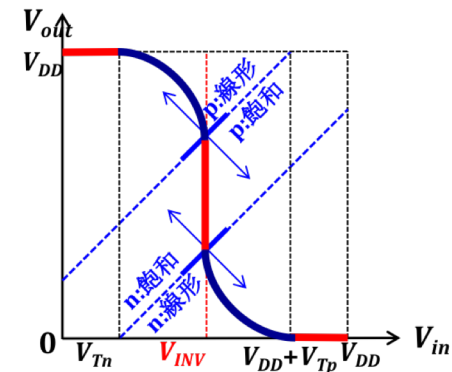
【 $V_{in} = V_{INV}$ 】 nMOS: 飽和領域、pMOS: 飽和領域、 $I_{DS} = 1/2 \cdot \beta_n (V_{in} - V_{Tn})^2 = 1/2 \cdot \beta_p (V_{in} - V_{DD} - V_{Tp})^2$

(nMOSとpMOSの飽和電流が等しい)

$$V_{in} = V_{INV} = \frac{V_{DD} + V_{Tp} + \sqrt{\beta_n / \beta_p} \cdot V_{Tn}}{1 + \sqrt{\beta_n / \beta_p}}$$

【 $V_{INV} < V_{in} < V_{DD} + V_{Tp}$ 】 nMOS: 線形領域、pMOS: 飽和領域、

【 $V_{DD} + V_{Tp} \leq V_{in} \leq V_{DD}$ 】 nMOS: 線形領域、pMOS: カットオフ領域



4. CMOSインバータのスイッチング特性

1. MOSゲート容量(単位面積当り)を C_{OX} 、ゲート長を L 、ゲート幅を W としたときのMOSゲート容量 C_{GB} を求めよ。また、零バイアス時のpn接合容量(単位面積当り)を C_{dep0} 、ドレイン長を P 、ドレイン幅を W としたときのMOSTドレイン容量 C_{DB} を求めよ。:講義資料P4～P7
2. CMOSインバータの出力 V_{out} に接続するnMOSゲート容量とpMOSゲート容量をそれぞれ C_{Gn} 、 C_{Gp} とし、CMOSインバータのnMOSドレイン容量とpMOSドレイン容量をそれぞれ C_{DBn} 、 C_{DBp} としたとき、CMOSインバータの出力負荷容量 C_L を求めよ。:講義資料P8～P9
3. RC等価回路によるnMOSTランジスタのプルダウン動作は、出力負荷容量 C_L が $V_{out}=V_{DD}$ に充電された状態からnMOSTランジスタの等価抵抗 R_n によって $V_{out}=0[V]$ に放電する際の、電流 $I_{out}(t)$ と $V_{out}(t)$ に関する方程式 $-I_{out}(t) = C_L \cdot dV_{out}(t)/dt$ と $V_{out}(t) = I_{out}(t) R_n$ の解から解析できる。これら2つの方程式から $V_{out}(t)$ に関する微分方程式を導出し、 $V_{out}(t)$ を時間 t に関する式で表せ。また、RC等価回路によるpMOSTランジスタのプルアップ動作の解析についても同様に示せ。:講義資料P11～P12
4. nMOS直流特性に基づくnMOSTランジスタのプルダウン動作は、出力負荷容量 C_L が $V_{out}=V_{DD}$ に充電された状態から、 $V_{GS} = V_{in} = V_{DD}$ 、 $V_{DS} = V_{out}$ としたときのnMOSTランジスタによって $V_{out}=0[V]$ に放電する際の方程式 $-I_{out}(t) = C_L \cdot dV_{out}(t)/dt$ とnMOSの各動作領域の電流式の解から解析できる。 V_{out} が $V_{DD} \rightarrow 0[V]$ に変化するとき、nMOSの動作領域はどのように変わるか、 V_{out} の範囲と共に答えよ。また、 $V_{out}=V_{DD}$ の時からnMOSの動作領域が切り替わる時間 t_s を求めよ。:講義資料P13～P14
5. nMOSTランジスタのオン抵抗 R_{ONn} は、 $V_{GS} = V_{DD}$ 、 $V_{DS} = 0[V]$ のときの線形領域における等価抵抗であり、飽和抵抗 R_{SATn} は、 $V_{GS} = V_{DS} = V_{DD}$ のときの飽和領域における等価抵抗である。 R_{ONn} と R_{SATn} をそれぞれ求めよ。同様に、pMOSTランジスタのオン抵抗 R_{ONp} と飽和抵抗 R_{SATp} をそれぞれ求めよ。:講義資料P16
6. CMOSインバータの消費エネルギーは、出力負荷容量 C_L を $V_{out}=0[V] \rightarrow V_{DD}$ に充電するときに電源が供給するエネルギー E_{in} と等しく、 E_{in} は C_L に蓄えられるエネルギー E_C とpMOSが消費するエネルギー E_p の和である($E_{in} = E_C + E_p$)。また、 E_C は、 C_L が $V_{out}=V_{DD} \rightarrow 0[V]$ に放電する際にnMOSが消費するエネルギー E_n と等しい($E_C = E_n$)。電源が供給するエネルギー E_{in} を C_L に蓄えられるエネルギー E_C を求めよ。また、1秒当りのスイッチング回数(周波数)を f としたときの消費電力 P (1秒当りに消費される平均エネルギー)を求めよ。:講義資料P20～P21

4. CMOSインバータのスイッチング特性

1. 講義資料P4～P7: $C_{GB} = C_{OX} \cdot W \cdot L$, $C_{DB} = C_{dep0} \cdot W \cdot P + C_{dep0} \cdot D \cdot (2W + 2P)$
2. 講義資料P8～P9: $C_L = C_{DBn} + C_{DBp} + C_{Gn} + C_{Gp}$
3. 講義資料P11～P12: 【nMOSプルダウン動作】 $V_{out}(t) = -R_n C_L \cdot dV_{out}(t)/dt \rightarrow V_{out}(t) = V_{DD} \exp\left(-\frac{t}{R_n C_L}\right)$
 【pMOSプルアップ動作】 $V_{DD} - V_{out}(t) = R_p C_L \cdot dV_{out}(t)/dt \rightarrow V_{out}(t) = V_{DD} \left(1 - \exp\left(-\frac{t}{R_p C_L}\right)\right)$
4. 講義資料P13～P14: V_{out} が $V_{DD} \sim V_{DD} - V_{Tn}$ の間は飽和領域であり、 $V_{out} < V_{DD} - V_{Tn}$ では線形領域である。飽和電流は、 $I_{out}(t) = \frac{\beta_n}{2} (V_{DD} - V_{Tn})^2$ であり t に依らず一定値である。

$$I_{out}(t) = -C_L \cdot dV_{out}(t)/dt \rightarrow V_{out} = V_{DD} - \frac{\beta_n}{2C_L} (V_{DD} - V_{Tn})^2 t$$

$$\rightarrow V_{out} = V_{DD} - V_{Tn} \text{となる時刻 } t_s \text{ は } t_s = \frac{2C_L V_{Tn}}{\beta_n (V_{DD} - V_{Tn})^2}$$
5. 講義資料P16: $R_{ONn} = \frac{1}{\beta_n (V_{DD} - V_{Tn})}$, $R_{SATn} = \frac{2V_{DD}}{\beta_n (V_{DD} - V_{Tn})^2} = R_{ONn} \frac{2}{1 - V_{Tn}/V_{DD}}$
 $R_{ONp} = \frac{1}{\beta_p (V_{DD} + V_{Tp})}$, $R_{SATp} = \frac{2V_{DD}}{\beta_p (V_{DD} + V_{Tp})^2} = R_{ONp} \frac{2}{1 + V_{Tp}/V_{DD}}$
6. 講義資料P20～P21:

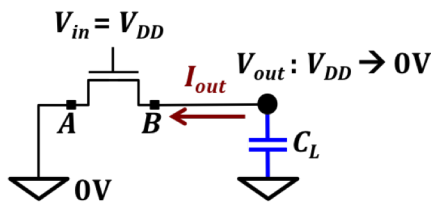
$$E_{in} = \int_0^\infty V_{DD} (-I_{Dsp}) dt, -I_{Dsp} = C_L \frac{dV_{out}(t)}{dt}$$

$$\rightarrow E_{in} = C_L V_{DD} \int_0^\infty \frac{dV_{out}(t)}{dt} dt = C_L V_{DD} \int_0^{V_{DD}} dV_{out}(t) = C_L V_{DD}^2$$

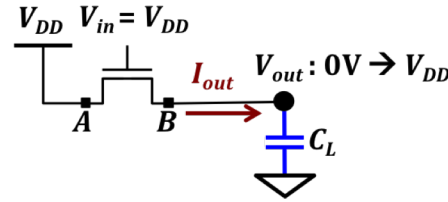
$$E_C = \int_0^\infty V_{out} (-I_{Dsp}) dt = C_L \int_0^\infty V_{out}(t) \frac{dV_{out}(t)}{dt} dt = C_L \int_0^{V_{DD}} V_{out}(t) dV_{out}(t) = \frac{C_L V_{DD}^2}{2}$$

$$P = E_{in} \cdot f = C_L V_{DD}^2 f$$

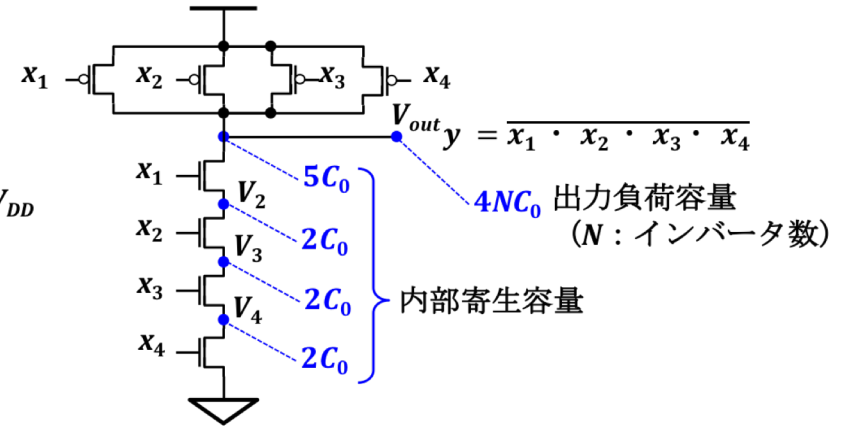
5.スタティク論理回路



(1) 論理「0」の駆動



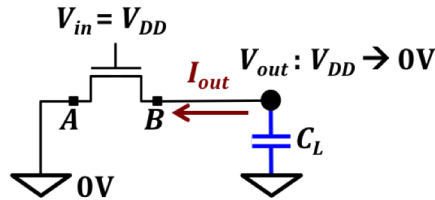
(2) 論理「1」の駆動



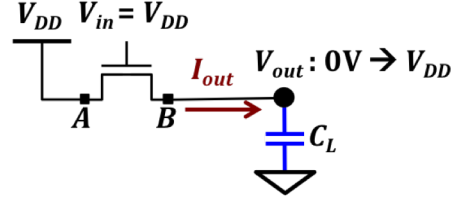
(3) 4入力NANDスタティク論理回路

- 図(1)は、nMOSTランジスタによって容量 C_L を $V_{DD} \rightarrow 0[V]$ に放電する回路を示し、図(2)は、nMOSTランジスタによって容量 C_L を $0[V] \rightarrow V_{DD}$ に充電する回路を示す。それぞれの回路について、nMOSのドレイン端子とソース端子はA点、B点のいずれか答えよ。また、nMOSの動作領域と V_{out} の範囲との関係を示せ。：講義資料P3～P4
- 以下の論理関数を実現するスタティク論理回路を示せ。：講義資料P8～P11
 - $y = \frac{x_1 \cdot x_2 + x_3 \cdot x_4}{x_1 \cdot x_2 + x_3 \cdot x_4 + 1}$
 - $y = \frac{x_1 + x_2 + x_3 \cdot x_4}{x_1 + x_2 + x_3 \cdot x_4 + 1}$
 - $y = \frac{x_1 + x_2 \cdot x_3 \cdot x_4}{x_1 + x_2 \cdot x_3 \cdot x_4 + 1}$
- 図(3)は4入力NANDスタティク論理回路を示す。ここで出力 y には $4NC_0$ の出力負荷容量が接続し、スタティク論理回路の内部寄生容量(nMOS・pMOSTランジスタのドレイン容量やソース容量)は、図(3)に示す通りであるとする。また、nMOS・pMOSTランジスタの等価抵抗をそれぞれ R_n と R_p とする。このとき、各入力(x_1, x_2, x_3, x_4)からの出力に対するプルアップ遅延 t_{pH} とプルダウン遅延 t_{pL} をそれぞれ求めよ。：講義資料P15～P23

5.スタティック論理回路



(1) 論理「0」の駆動



(2) 論理「1」の駆動

1. 講義資料P3～P4: nMOSでは、電位が高い方がドレイン端子、低い方がソース端子

(1) ドレイン端子: B点、ソース端子: A点、 $V_{DD} \geq V_{out} \geq V_{DD} - V_{Th}$ (飽和領域)、 $V_{DD} - V_{Th} > V_{out} \geq 0[V]$ (線形領域)

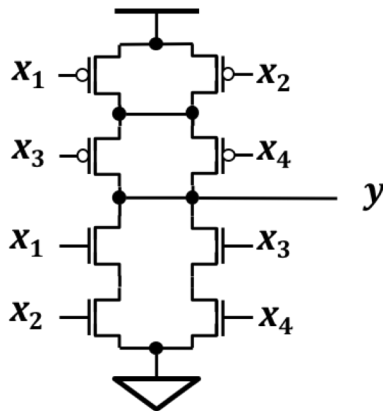
(2) ドレイン端子: A点、ソース端子: B点、 $0[V] \leq V_{out} \leq V_{DD} - V_{Th}$ (飽和領域)、 $V_{GS} = V_{DS} = V_{DD} - V_{out} \rightarrow V_{GS} - V_{Th} \leq V_{DS}$ なので、nMOSは常に飽和領域であり、 $V_{out} = V_{DD} - V_{Th}$ まで電位が上昇した時点で、 $V_{GS} - V_{Th} = 0$ となり、nMOSはカットオフ状態になるので、 V_{out} はこれ以上上昇しない。

2. 講義資料P8～P11:

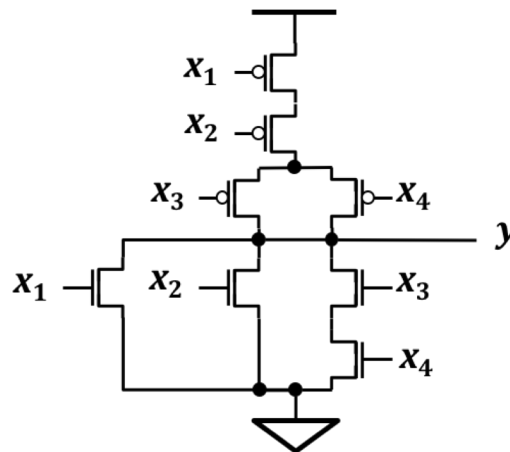
a. $y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}$

b. $y = \overline{x_1 + x_2 + x_3 \cdot x_4}$

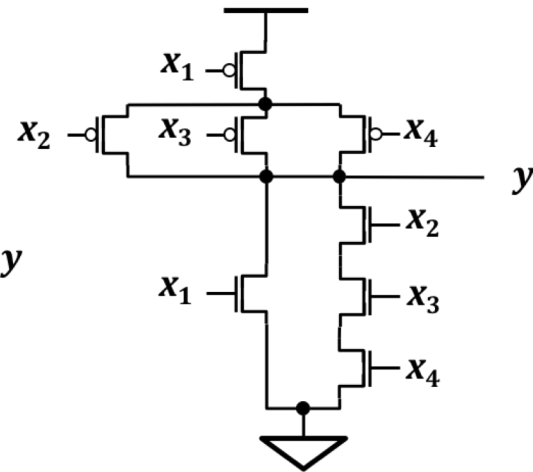
c. $y = \overline{x_1 + x_2 \cdot x_3 \cdot x_4}$



$$y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}$$



$$y = \overline{x_1 + x_2 + x_3 \cdot x_4}$$

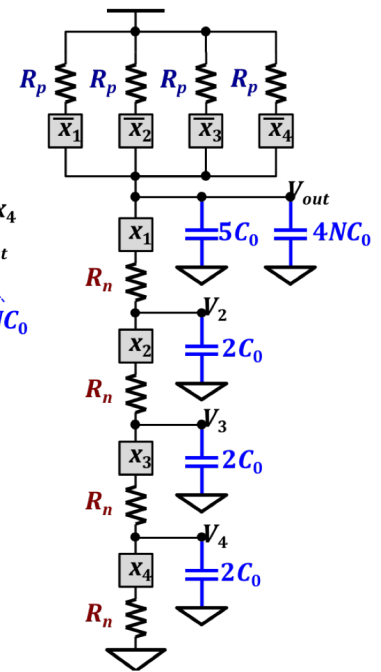
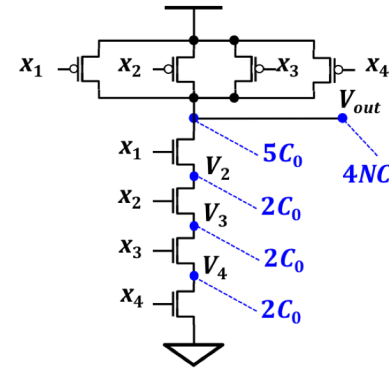


$$y = \overline{x_1 + x_2 \cdot x_3 \cdot x_4}$$

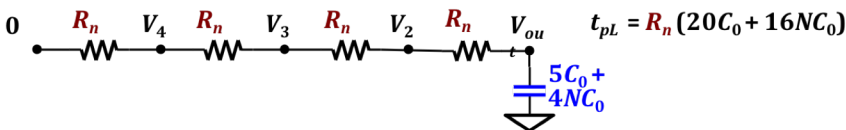
5.スタティック論理回路

3. 講義資料P15～P23

入力遷移	出力遷移	遅延
$x_1: 1 \rightarrow 0$	$0 \rightarrow 1$	$t_{pH} = R_p(5C_0 + 4NC_0)$
$x_1: 0 \rightarrow 1$	$1 \rightarrow 0$	$t_{pL} = R_n(20C_0 + 16NC_0)$
$x_2: 1 \rightarrow 0$	$0 \rightarrow 1$	$t_{pH} = R_p(7C_0 + 4NC_0) + 2R_nC_0$
$x_2: 0 \rightarrow 1$	$1 \rightarrow 0$	$t_{pL} = R_n(26C_0 + 16NC_0)$
$x_3: 1 \rightarrow 0$	$0 \rightarrow 1$	$t_{pH} = R_p(9C_0 + 4NC_0) + 6R_nC_0$
$x_3: 0 \rightarrow 1$	$1 \rightarrow 0$	$t_{pL} = R_n(30C_0 + 16NC_0)$
$x_4: 1 \rightarrow 0$	$0 \rightarrow 1$	$t_{pH} = R_p(11C_0 + 4NC_0) + 12R_nC_0$
$x_4: 0 \rightarrow 1$	$1 \rightarrow 0$	$t_{pL} = R_n(32C_0 + 16NC_0)$



$$t_{pH} = R_p(5C_0 + 4NC_0)$$

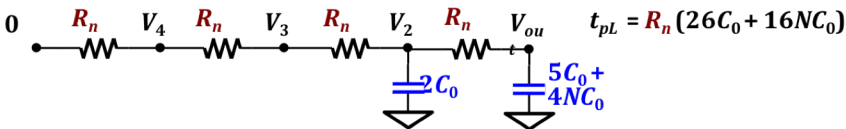


$$t_{pL} = R_n(20C_0 + 16NC_0)$$

x_1 の遷移による出力遅延 ($x_2 = x_3 = x_4 = 1$)

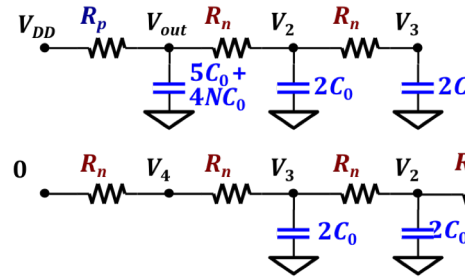


$$t_{pH} = R_p(7C_0 + 4NC_0) + 2R_nC_0$$

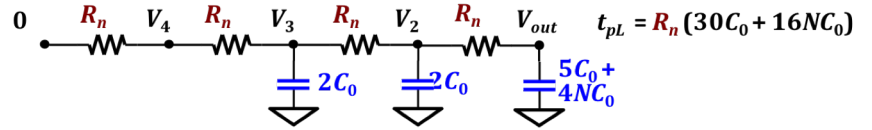


$$t_{pL} = R_n(26C_0 + 16NC_0)$$

x_2 の遷移による出力遅延 ($x_1 = x_3 = x_4 = 1$)

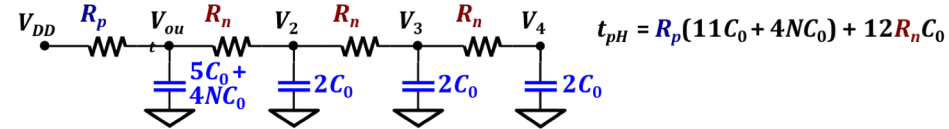


$$t_{pH} = R_p(9C_0 + 4NC_0) + 6R_nC_0$$

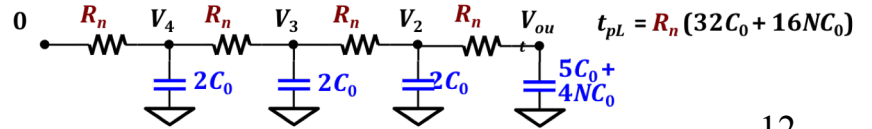


$$t_{pL} = R_n(30C_0 + 16NC_0)$$

x_3 の遷移による出力遅延 ($x_2 = x_3 = x_4 = 1$)



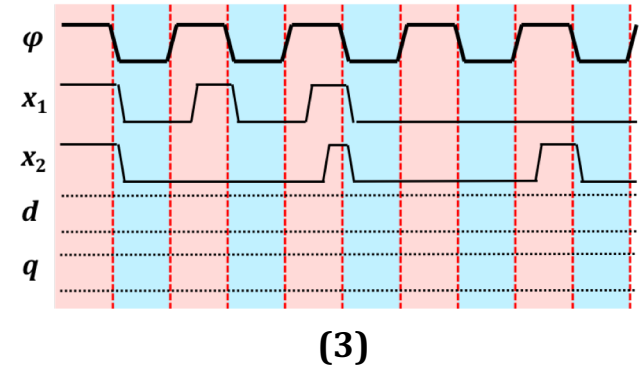
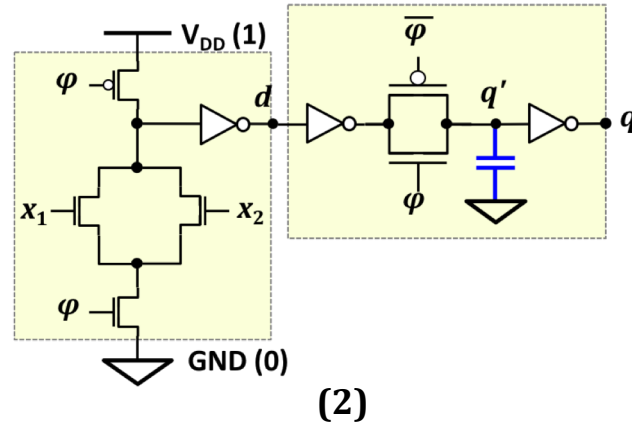
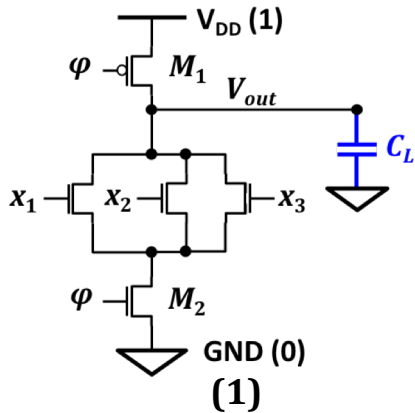
$$t_{pH} = R_p(11C_0 + 4NC_0) + 12R_nC_0$$



$$t_{pL} = R_n(32C_0 + 16NC_0)$$

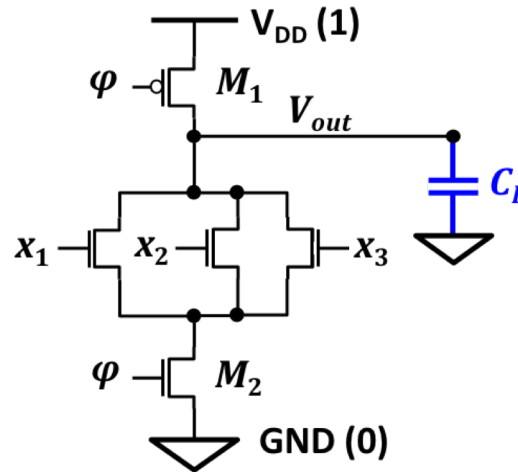
x_4 の遷移による出力遅延 ($x_1 = x_3 = x_4 = 1$)

6. ダイナミック論理回路



1. 図(1)のダイナミック論理回路について、 $\phi = 0$ のプリチャージ期間の動作と $\phi = 1$ の評価期間の動作 ($x_1 + x_2 + x_3 = 1$ と $x_1 + x_2 + x_3 = 0$ の場合について)を説明し、このダイナミック論理回路が実現する論理式を示せ。:講義資料P4～P5
2. ダイナミック論理回路の $\phi = 1$ の評価期間中に、nMOS論理ブロック内のゲート入力が $1 \rightarrow 0$ 遷移が起こると正常に動作しない理由を図(1)の回路を使って説明せよ。また、ダイナミック論理回路の出力を他のダイナミック論理回路のnMOSゲート入力に直接接続出来ない理由を説明せよ。:講義資料P7
3. 論理関数 $y = x_1 + x_2 + x_3 \cdot x_4$ を $z_1 = x_1 + x_2$, $z_2 = x_3 \cdot x_4$, $y = z_1 + z_2$ に分割し、これらを3つの論理関数を実現するドミノ論理回路を示せ。:講義資料P8
4. 図(2)にドミノ論理回路とダイナミックラッチからなる回路図を示す。 ϕ , x_1 , x_2 の波形が(3)で与えられるとき、ドミノ論理回路の出力 d とダイナミックラッチの出力 q の波形を示せ。:講義資料P14

6. ダイナミック論理回路



1. **講義資料P4～P5:【 $\phi = 0$:プリチャージ期間】**トランジスタ M_1 (pMOS)は導通状態、トランジスタ M_2 (nMOS)は絶縁状態なので $V_{out} = V_{DD}$ 。

【 $\phi = 1$:評価期間】 M_1 (pMOS)は絶縁状態、 M_2 (nMOS)は導通状態。

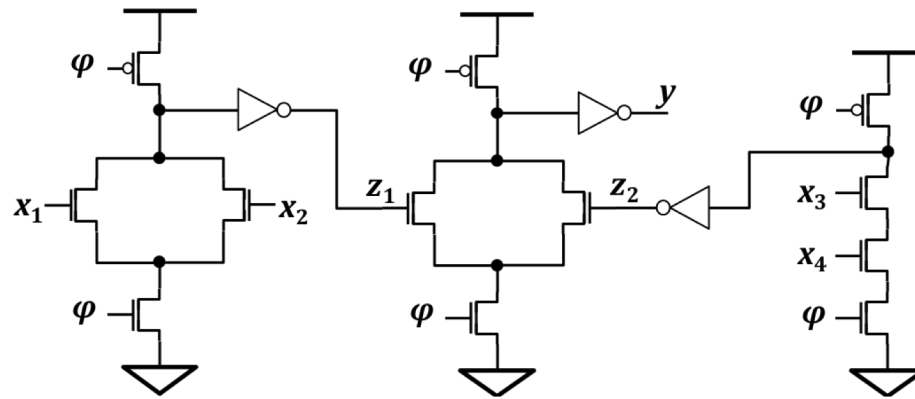
($x_1 + x_2 + x_3 = 1$): nMOSブロックが導通状態になるので $V_{out} = 0[V]$

($x_1 + x_2 + x_3 = 0$): nMOSブロックが絶縁状態になるので V_{out} はハイインピーダンスになり、出力負荷容量 C_L によって $V_{out} = V_{DD}$ に保持される。

実現する論理関数: $y = \overline{x_1 + x_2 + x_3}$

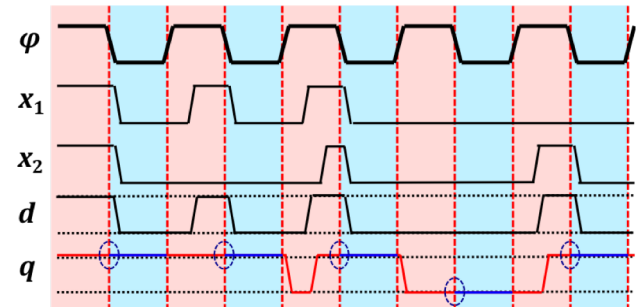
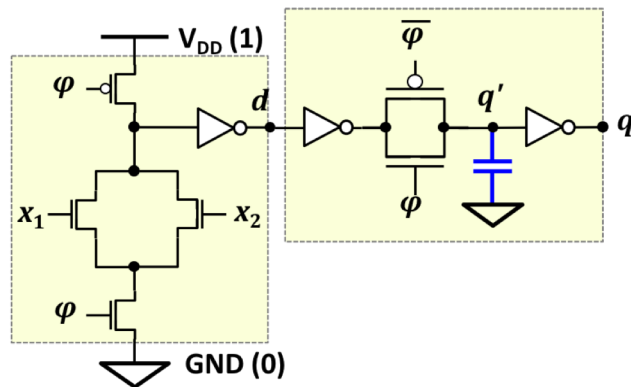
2. **講義資料P7: 図(1)で $\phi = 1$ の時に、 $x_1 = 1, x_2 = x_3 = 0$ の状態から $x_1 = 0$ に変化する信号遷移を考える。** $x_1 = 1$ なので、nMOSブロックが導通状態になるので $V_{out} = 0[V]$ に出力負荷 C_L が放電してから $x_1 = 0$ に変化した場合、出力 $V_{out} = V_{DD}$ (論理1)となるべきだが、出力負荷 C_L を再び充電(プルアップ)するpMOSがないため、 $V_{out} = 0[V]$ のままとなり、回路が誤動作する。一方で、ダイナミック論理回路の出力は、プリチャージ期間で $V_{out} = V_{DD}$ にプルアップされてから、評価期間中に $V_{out} = 0[V]$ にプルダウンする可能性があり、このような $1 \rightarrow 0$ 信号遷移を入力とする別のダイナミック論理回路は誤動作を起こすので、このような信号接続は不可能である。

6. ダイナミック論理回路



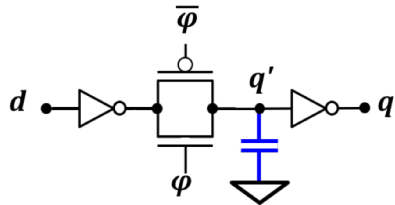
3. 解答

3. 講義資料P8: $(y = x_1 + x_2 + x_3 \cdot x_4)$, $z_1 = x_1 + x_2$, $z_2 = x_3 \cdot x_4$, $y = z_1 + z_2$
4. 講義資料P14: d は、 $\phi = 0$ の間は $d = 0$ (プリチャージの反転)であり、 $\phi = 1$ の間は $d = x_1 + x_2$ である。 q は、 $\phi = 0$ の間は不変である、 $\phi = 1$ の間は d に追従する。

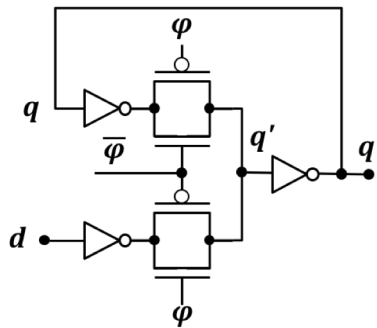


4. 解答

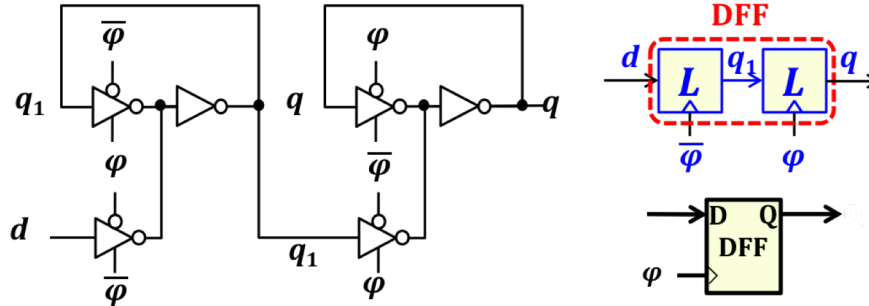
7.レジスタとメモリ



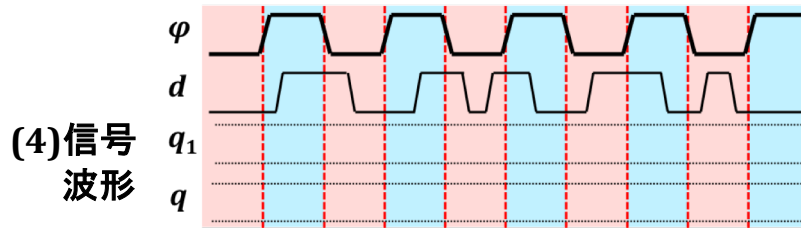
(1)ダイナミックラッチ



(2)スタティックラッチ

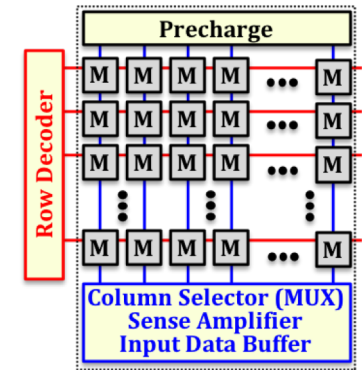


(3)スタティックDフリップフロップ

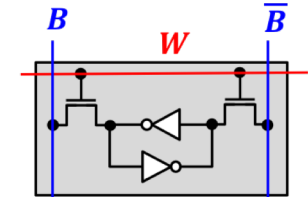


(4)信号
波形

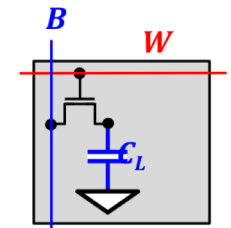
- 図(1)のダイナミックラッチと図(2)のスタティックラッチの動作($\phi = 0, 1$ の場合)をそれぞれ説明し、それぞれの特徴(情報を記憶する原理の違い)を述べよ。:講義資料P6~P7
- 図(3)のスタティックDフリップフロップについて、図(4)に示す ϕ, d の波形が入力したときの q_1, q の出力波形を示せ。:講義資料P11
- レジスタファイルと1ポートRAMの書き込み・読出し機能の類似点と相違点を述べよ。:講義資料P12~P14
- RAMにおけるRowデコーダ、Columnセクタ、入力データバッファ、プリチャージ回路、センスアンプの機能・動作を説明し、これらRAM周辺回路についてSRAMとDRAMとで相違があるものについてその相違点を説明せよ。:講義資料P14~P19
- FLASHメモリの書き込み、読出し動作を説明せよ。また、FLASHメモリが「不揮発性」メモリである理由を説明せよ。:講義資料P20



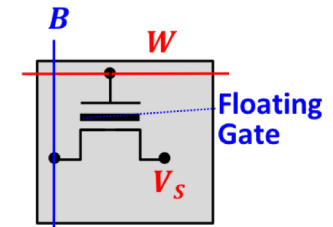
(5) RAM構成



(6) SRAMセル

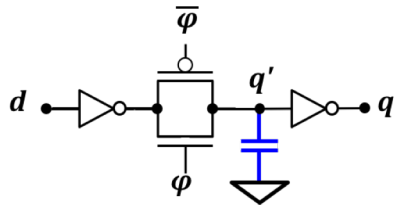


(7) DRAMセル

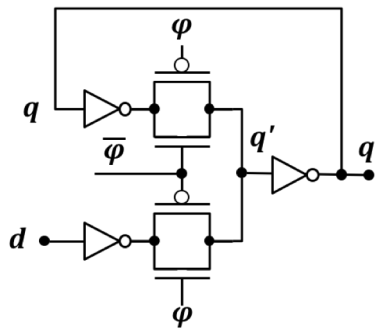


(8) FLASHメモリセル

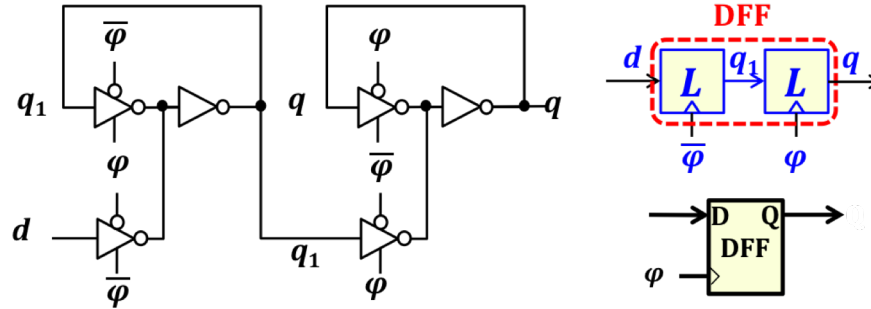
7.レジスタとメモリ



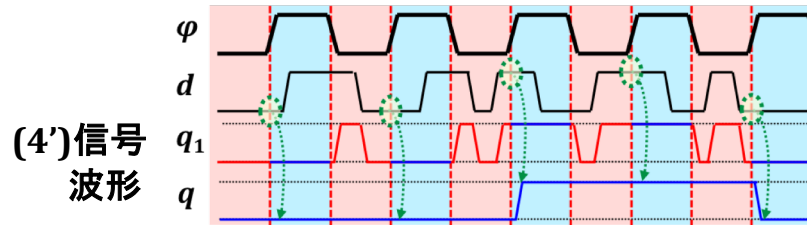
(1)ダイナミックラッチ



(2)スタティックラッチ



(3)スタティックDフリップフロップ

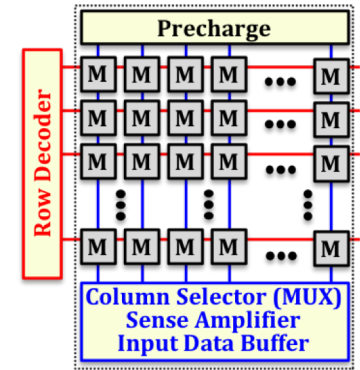


(4')信号
波形

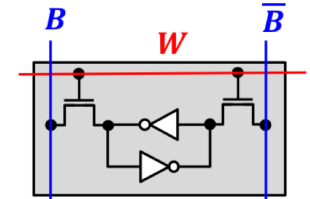
1. 講義資料P6～P7:【ダイナミックラッチ】($\phi = 1$)CMOSパストランジスタが導通状態になり、 $q = \bar{q}' = d$ がデータとして書き込まれる。 $(\phi = 0)$ CMOSパストランジスタが絶縁状態になり、 q' 点の寄生容量によって書き込まれたデータが保持される。従って、情報は寄生容量に記憶される。
【スタティックラッチ】($\phi = 1$) d 入力側のCMOSパストランジスタが導通状態(フィードバック側は絶縁状態)になり、 $q = \bar{q}' = d$ がデータとして書き込まれる。 $(\phi = 1)$ d 入力側のCMOSパストランジスタが絶縁状態になり、フィードバック側のCMOSパストランジスタが導通状態になるので、インバータループによって書き込まれたデータが保持される。従って、情報はインバータループ構造に記憶される。
2. 講義資料P11: 図(4')に示す。 q_1 は、 $\phi = 0$ の間は d 入力に追従し、 $\phi = 1$ の間は不変である。 q は、 $\phi = 1$ の間は q_1 に追従し、 $\phi = 0$ の間は不変である。結果として、 ϕ の立上り遷移($0 \rightarrow 1$)の瞬間の d の値が書き込まれ q に出力する。

7.レジスタとメモリ

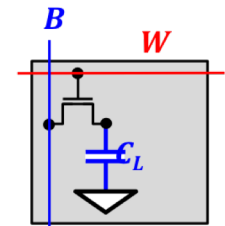
3. **講義資料P12～P14:【類似点】**レジスタファイルと1ポートRAMはいずれも、指定した任意アドレス(レジスタファイルの場合はレジスタID)に書き込みや読み出しができ、アドレス値をデコーダ回路によってアクセスする場所の記憶回路を活性化する。
【相違点】レジスタファイルは同時に書き込みと読み出しができ、書き込み用レジスタIDと読み出し用レジスタIDは別だが、1ポートRAMは書き込み動作と読み出し動作は排他的であり、アドレス信号は書き込み用と読み出し用で共通である。
4. **講義資料P14～P19:【Rowデコーダ、Columnセレクト】**アドレス信号はRowアドレスとColumnアドレスに分離され、RowアドレスはRowデコーダによって1つのワード線を活性化する(word線を「1」に引き上げる)。ColumnアドレスはColumnデコーダによって選択するビット線に接続するnMOSパストランジスタのゲート入力を「1」に引き上げる。
【入力データバッファ】書き込み時に書き込みデータを選択されたビット線に接続する。
【センスアンプ・プリチャージ回路】SRAMの場合、メモリセルのインバータループに接続する2つのビット線(対)は読み出し前にプリチャージ回路により V_{DD} に引き上げられ、読み出し時にビット線対のいずれかの電位が低下し、センスアンプによって読み出し値を高速に確定する。DRAMの場合、ビット線は読み出し前にプリチャージ回路により $V_{DD}/2$ に充電され、活性化されたメモリセルの容量に保存された電荷を、ビット線と共有されることによりビット線の電位は $V_{DD}/2$ から微小に変化する。このときメモリセルの容量に保存された電荷はほとんど消滅してしまうため、センスアンプによってビット線の微小な電圧変位を増幅して、メモリセルの容量を再充電する必要がある。このため、DRAMのセンスアンプは各ビット線で必要となる。SRAMの場合は、メモリセルの再充電が必要ないため、センスアンプはcolumnセレクトによってビット線を選択した信号に対して行う。
5. **講義資料P20:【書き込み動作】**書き込み動作は、Floating Gateへの電荷注入と電荷消去の2種類の動作からなる。電荷注入の場合は、メモリセルのnMOSの V_S 端子を0Vにし、ゲート端子(word線 W)に高電圧(12V)を印加する。電荷消去の場合は、 V_S 端子に高電圧(12V)を印加し、ゲート端子を0Vにする。
【読み出し動作】活性化されたセルのFloating Gateに電荷がある場合、nMOSはOFF状態のままになり、ビット線はPullup回路により V_{DD} になる。活性化されたセルのFloating Gateに電荷がない場合、nMOSはON状態になり、 V_S 端子を0Vにすることでビット線は0V近くに引き下げられる。
【不揮発性】Floating Gateの電荷は絶縁しているため、電源電圧を落としても保存される。



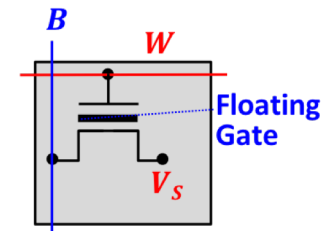
(5) RAM構成



(6) SRAMセル



(7) DRAMセル



(8) FLASHメモリセル