パワーデバイス動作限界の概略 (改訂版)
(I.) デバイス構造に因る限界

高田 育紀

平成 27 年 1 月 13 日

パワーデバイスの動作限界には、(I.) デバイス構造から定まる領域と、(II.) 半導体材料で制限される領域 (高温動作、低温動作、オン/オフ動作速度、破壊限界 等) がある。本文では、(I.) について概説する。

1 パワーデバイスの動作限界 -デバイス構造に因る限界-

最もパワフルなパワーデバイスは pin ダイオードとサイリスタ類 (Light Triggered Thyristor, SIThy, GTO, GCT 等) であり、それに IGBT が続く。これらは何れも pin ダイオード グループ[1]に属する[2]。

1.1 pin ダイオードの降伏現象の安定性

1966 年に江川[3]は、pin ダイオードは耐圧限界に達した後に降伏電流 J_R が増大しても負性抵抗特性になるまでは安定に動作して、その目安が (式 1) で表される特定値 J_0 の 2 倍程度であること提起して、実験でその大まかな傾向を確認した [2] [4]。

$$J_0 \equiv qv_sN_D \tag{1}$$

N_D : n^-領域の不純物濃度

$v_s \approx 10^7 cm/s$: 自由電子の飽和速度

しかしながら、少なくとも 1980 年代の中頃には、このことは一部の者にのみ知られていたようである。それは、それを明白に示す実験の報告がなかったからである[5]。1982 年に図 1 に示す実験が行われたが [3] [6]、会社技術報への日本語での発表であったために国外では全く知られなかった。そして 1985 年に、シリコンでは $J_R \approx J_0$ で急激に負性抵抗特性が現れることが、簡単なシミュレーションでようやく確認された (図 1 [4]) [7]。

図 1 の試料はメサ構造[8]であった。

プレーナ構造[9]の pin ダイオードでは、測定とそのシミュレーションとの比較がそれぞ

[1] “パワーデバイスの分類” において、カソード側らから自由電子が、アノード側から正孔が流入することで大きな通電能力を示す特徴を有する。

[2] BJT の動作限界はそれらよりも桁違いに小さく、せいぜい $J_CV_{CE} \approx 100kW/cm^2$ 程度である。 それは、高電圧でオン動作する npn 形 BJT は、コレクタ領域での衝突電離によって発生した正孔がベース領域に到達してベース電流として働くことで、コレクタ電流 J_C が増大する方向に正帰還がかかり始める限界値に当たる。すなわち、npn 形 BJT では、コレクタ電流 J_C が自由電子だけで構成される。すると、高電圧大電流動作において、高電界中に自由電子だけが存在していることで、電界強度 EF の傾きが J_C に比例する。そして、J_CV_{CE} 積が最大電界強度の 2 乗に比例する関係が導かれる。衝突電離作用が電界強度 $EF_m \approx 1.5 \times 10^5 V/cm$ から急に起こり始めると近似すると、$J_CV_{CE} \approx 100kW/cm^2$ が導かれる [1]。

[3] 東芝で電子表示管, ダイオード, 半導体集積回路を研究し、後に副社長になった。韮崎の反射炉を作った江川太郎左右衛門英竜の子孫で、江川太郎左右衛門英晴が正式な姓名である。

[4] 彼の計算では限界電流密度は $\approx 2J_0$ であったが、それは自由電子と正孔の衝突電離作用が等しい ($\alpha_e = \alpha_h$) と近似したためであった。(シリコンでは $\alpha_e \gg \alpha_h$ である)

[5] 江川らも実験例を示しているが、その精度は乏しい。

[6] 高電圧に充電したキャパシタを電子管スイッチで放電させて $10\mu s$ のパルスを加え、電流, 電圧波形のピーク値を測定した。

[7] シリコンでは、$J_R \leq J_0$ 程度の動作範囲では、自由電子電流のみが流れる高耐圧 BJT の大電流高電圧動作に準じて考えることが出来ることも、同時に示された。

[8] 半導体チップの周辺を切り取り、表面を化学薬品でエッチングすることで滑らかにした構造。単純に 1 次元的な構造が簡単に得られるが、表面を長期的に安定な状態に維持することが難しい。

[9] 半導体チップ上に初期の加工工程で形成した酸化膜を最終製品時まで保持することで、高信頼性を得た構造。数百 V 以上の高耐圧デバイスは、1970 年代の終わりにようやく実用化された。

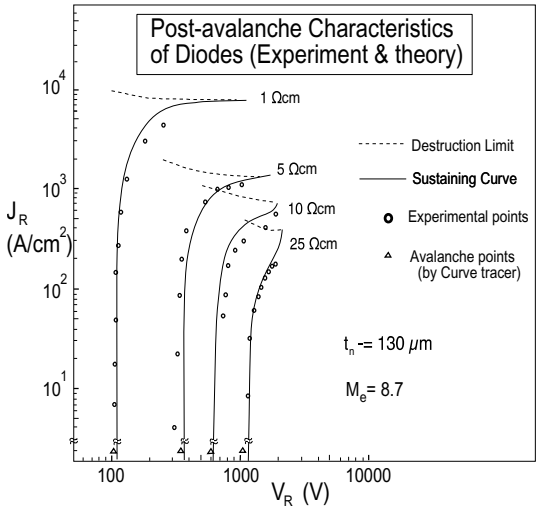

図 1: pin diode の大電流降伏特性例
(観測値 [3] と予想曲線 [4])

れ文献 [5] と [6] で報告され、$J_0 \approx 96A/cm^2$ の 1/5 程度の値が破壊限界であった。

しかしながら、ロシアで開発されたダイオード"DSRD"は、J_0 よりも桁違いに大きい $8kA/cm^2$ の降伏動作を行う[10]。

著者は、半導体デバイス動作の理解は、デバイスシミュレータで再現できることと同等であると考えている。デバイス シミュレータの計算過程は克明に辿ることが出来るからである。

その計算結果を疑うものは誰もいないが、高耐圧デバイスの降伏現象については例外的に未だ信用されていない。それは、高耐圧 pin ダイオードのごく低い降伏電流領域で、(破壊動作に直結するはずの) 負性抵抗を簡単に示すといった基本的な矛盾があったり、観測事例が少ないために計算結果の妥当性の確認が十分に出来てないからである。このため、この分野でのデバイス シミュレータによる解析例は極めて乏しく、破壊機構はおろか降伏機構でさえ詳細に説明する定説は未だに存在しないのが現状である。

pin ダイオードの降伏現象の観測値とシミュレーション結果の詳細な比較は、ようやく 2007 年に著者によって報告された [6]。その際、計算結果が観測データと整合するには、従来のシミュレーション手法に次の 2 点の変更を加える必要があった。

1. 降伏動作のように自由電子と正孔が非常な速度で発生している状況では、電荷担体密度 n の時間変化 $\partial n/\partial t$ を組み込んだ過渡シミュレーションを用いねばならない[11]。

2. 通常の SRH 再結合モデルに加えて、電界強度に依存する新しい直接再結合モデル[12]を用いる。この新しい再結合モデルは、先述した J_0 よりも桁違いに大きい降伏動作や宇宙線が誘起する破壊現象[13]を理解するために必要である。

再結合モデルの違いを、図 2 と図 3 に示す。矢印付の曲線は、内蔵抵抗[14]を設定した pin ダイオードに加える電圧をわずかに増やす操作を繰り返す準定常シミュレーションから得られた動作点の軌跡である。

過渡シミュレーションの軌跡は、準定常シミュレーション軌跡の抵抗特性の箇所では重なるが、負性抵抗部[15]では "短い矢印" で示すように垂直に電流が増える。

[10] DSRD は、$2 \sim 3kV$, $0.25cm^2$ 程度のチップであるが、数十ヶ以上直列接続して数十 kV の高速遮断が可能である。また、IC の ESD 保護用 pn ダイオード ($0.2 \times 0.2mm^2$) も、アバランシェ試験で $6 \times 10^4 A/cm^2$ の耐量を示している [7]。これらのデバイスの比抵抗は明確でないが、使用電圧からして (式 1) で表される J_0 よりも桁違いに大きいことは確実である。

[11] 元来、ポアソン方程式と共にシミュレーションの基本となる電流連続式 ($-\nabla J_h = qR + q\partial n_h/\partial t$, $\nabla J_e = qR + q\partial n_e/\partial t$) 中の $\partial n/\partial t$ 項を省略したものが準定常シミュレーションである。

[12] 再結合速度 $R_d = \sigma(EF)v_{eff}n_h n_e$ 中の反応断面積 σ が電界強度 EF 依存性を有することを特徴とする [8]。

[13] 地表まで到達する高エネルギー宇宙線 (中性子) が、高電圧を加えた pin ダイオード中で半導体原子に衝突して停止する際に、ごく局所に大量 (入射エネルギー/$3.6eV$ 対) の正孔-自由電子対を発生させることを端緒として瞬時に破壊する現象 [8]。

数千 V pin ダイオードで起きるが、それよりも内部電界強度が高くなる数百 V デバイスでは起きないことが知られている。

[14] デバイス内部に設定した仮想的な抵抗。準定常シミュレーションではデバイスに加える外部電圧を一方向に順に増やして行くので、負性抵抗が始まると計算が進まなくなる。ところが、内蔵抵抗の大きさを適切に設定すると、デバイス本体が負性抵抗であってもデバイス全体として抵抗特性となり、外部電圧を増やし続けることが出来る。図 2 と図 3 の曲線は、このような計算結果からデバイス本体に加わる電圧を抜き出して描いたものである。

[15] $2 \sim 3kV$ 程度以上の pin ダイオードでは、両者とも mA/cm^2

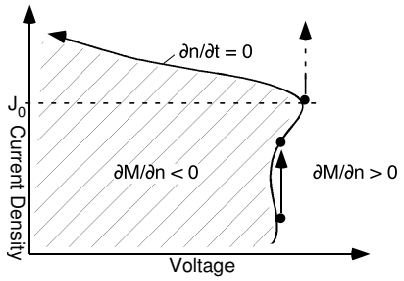

図 2: SRH 再結合を用いた軌跡

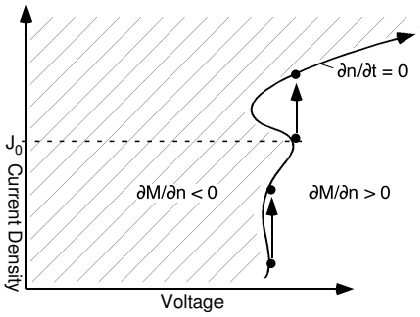

図 3: 直接再結合モデルを用いた軌跡

そして、図 3 のように、その真上に準定常シミュレーションの動作点が存在すれば、その動作点を経由して準定常シミュレーションと同じ動作点を辿る。ところが、図 2 のように、その真上に動作点がない場合には、電流は電荷担体密度が半導体原子密度と同程度になるまで増大する。

図 4 に、$t_{n^-} = 110\mu m$ ダイオードにおける図 3 の 2 番目の垂直移行後の正孔密度 n_h と電界強度 EF 分布例を示す[16]。n^- 領域の両端を除いて、正孔密度 n_h と電界強度 EF は、深さ (縦) 方向にほぼ均一になった。さらに、プレーナ形ダイオードでアノード p 領域側に FLR [17]等などの不均一な箇所が多少あっても、n^- 領域の横方向の全域でもこのように均一な状態が出現した。

過渡シミュレーションにおけるこれらの垂直移行はごく少ない計算点を経て完了した。また、そのような移行部の各点における各々の電流-電圧点の計算も容易に収束した。

一方、準定常シミュレーションでの負性抵抗への移行部では、計算が極めて収束し難くなって、細かい電圧間隔で多くの計算点を要する[18]。

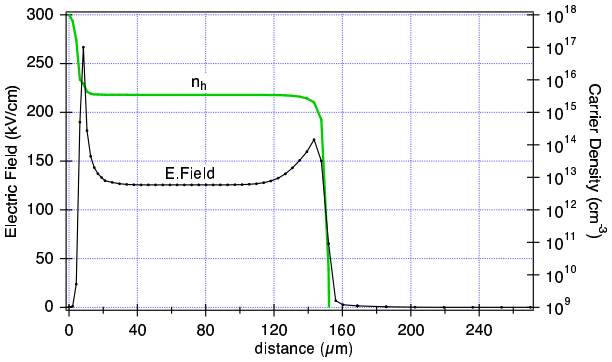

図 4: 大電流飽和領域での正孔密度と電界強度分布例 ($t_{n^-} = 110\mu m$ diode @$\approx 10kA/cm^2, 2.1kV$)

図 2 と図 3 のどちらも、(式 1) の特性電流値 J_0 の辺りで明白な負性抵抗が始まった[19]。さらに電流密度が増して直接再結合が働き始めると、両者の波形は分離する[20]。そして図 2 に示すように、SRH 再結合モデルでは 2 番目の負性抵抗領域が低電圧まで進展する。それに対して、直接再結合モデルでは、図

程度の微少な電流域に負性抵抗部が存在した。

$1kV$ 程度の耐圧のダイオードにおいても、プレーナ形構造にすると微少電流領域に同様の負性抵抗特性が現れた。

[16] p^+ 領域幅 $10\mu m$, n^- 不純物濃度 $6 \times 10^{13} cm^{-3}$, n^+ 領域は表面濃度 $6 \times 10^{13} cm^{-3}$ で深さ $150\mu m$ の gaussian 分布としている。$V_{AK} = 2,100V$ で $J_A \approx 9.95kA/cm^2$ であった。

[17] Field Limiting Ring。チップ周辺表面の電界強度を弱め、かつ安定化するために、主動作領域を取り囲むリング状の p 領域で、数千 V デバイスでは 10 本以上設けていることも珍しくない。この設計がプレーナ素子の高耐圧化の鍵である。

[18] 準定常シミュレーションでは、シミュレーション波形が変化するところでは、多数の計算点が費やされ、それぞれの計算点の収束も悪くなるという一般的な傾向がある。

[19] J_0 辺りからの負性抵抗特性は正味の電荷担体密度分布の変化に応じて現れるもので、再結合の形には無関係である。

[20] 逆方向電流 J_R は衝突電離速度と再結合速度の差に比例する。SRH 形では n_e または n_h に比例し、直接形では $n_e n_h$ 積に比例するので、動作電流が小さい時は SRH 形再結合が主要となり、大きい場合には直接再結合が主要となり得る。

3 に示すように、2 番目の負性抵抗特性は再び抵抗特性に変わる。

さて、*pin* ダイオードが負性抵抗状態になると、その抵抗値の大小に拘わらず、降伏電流は増大し保持電圧は低下する。新たな動作点においても負性抵抗であれば、電流増大と電圧低下が何時までも続く。すなわち、図 2 の SRH 再結合モデルと準定常シミュレーションの組合せでは、2 番目の負性抵抗部に達すと、ダイオードは必ず破壊することになる。

また、図 2 の過渡シミュレーションの最終段階において、電荷担体密度が半導体原子密度と同程度になる巨大電流が流れる状況では、デバイスは明らかに破壊すると見なせる。

一方、直接再結合モデルを用いて計算した図 3 の降伏特性を有するデバイスでは、準定常, 過渡どちらのシミュレーションでも、温度上昇以外の破壊機構は窺えない。このため、極短時間の動作であれば破壊は生じないと予想される。

ところが、チップが一次元構造と近似できるメサ形ダイオードの場合には、図 1 に示すように (式 1) で示される特有値 J_0 の 70%程度のパルス電流測定で破壊した。また、チップ周辺部の電界強度が必然的に高くなるプレーナ形ダイオードでは、J_0 の 20%程度で数 μs 内に破壊した報告例がある [5]。

種々のシミュレーションを行った結果、著者は、どちらの形のダイオードも、降伏現象を引き起こす高電界の存在は勿論必要であるが、それに加えて “急速に状態が変化し得る (不安定) 動作環境” [21]にある時に破壊すると判断した。そのような変化点は、準定常シミュレーションを行う際に、計算ステップが極めて小さくなり遂には収束不能となった[22]。そして、過渡シミュレーションでは、収束不能には至らないが計算ステップが極めて小さくなる傾向がある。さらに、その傾向はデバイスに不均一部が存在すれば急激に増大した[23]。

結局、著者はデバイス シミュレーションで *pin* ダイオードの “破壊” 過程そのものを再現することは出来なかった[24]。そして、降伏現象のシミュレーションにおいて、直接再結合モデルと過渡シミュレーションは必須であるが、実際の破壊を再現するためには、それ以外にチップ内の電流集中領域を積極的に狭めることで直接破壊に至らしめる機構 (物理モデル) を組み入れる必要があるとの判断に至った[25]。

その有力な機構として、電流経路の周りに自ら形成する磁場によるピンチ オフ (pinch off) 現象が考えられる。磁場は、電流経路を細いフィラメント状に狭める (ピンチ効果)。電流が大きく経路が細い場合には、その効果に正帰還が掛かって遂には通電経路が途切れる現象がピンチ オフである[26]。

そうすれば、外部電圧のほぼ全てがピンチオフ区間を隔てるわずかな空間に掛かるので、この区間を隔てて放電が起こってシリコン結晶が破壊されるであろう。その後は、この破壊点を起点にショート領域が電流経路方向に拡がると予想される。

1.2 GTO/GCT 高電圧動作の安定性

順方向に高電圧が加わった *pin* ダイオードには巨大な電流が流れるが、抵抗特性 ($J_A \propto V_{AK}$) を示すので[27]、その動作は安定である。高耐圧サイリスタ (Thyristor) は基本的に *pin* ダイオードとしてオン動作を行うので、それに高電圧が加わった場合のオン動作も安定である。

GTO は、基本的にサイリスタと同じ構造であるが、自己遮断特性を持たせるために次の点が異なる。

1. サイリスタのアノード側は本来 p 領域であるが、その一部を n 領域としたアノード ショート構造

[21] 例えばプレーナ形ダイオードにおいて、降伏動作がチップの周辺部と中央部の間で移動する状況。

[22] その状況は、単純な一次元ダイオードにおいても出現する。

[23] 文献 [6] に幾つかの例を詳しく紹介している。

[24] もっぱら、発熱を考えない瞬間的な破壊に限っての話である。

[25] それは、宇宙線が誘起する *pin* ダイオードの破壊機構にも当てはまる。

[26] プラズマ放電において、プラズマ中の電流で観測されている。

[27] 図 5 は、n 領域, i 領域, p 領域の均一不純物濃度と長さが、それぞれ $(10^{18}cm^{-3}, 10\mu m)$, $(10^{14}cm^{-3}, 100\mu m)$, $(10^{18}cm^{-3}, 10\mu m)$ の *pin* ダイオードを、再結合を含まずに $V_{AK} = 100V$ までシミュレーションした結果である。

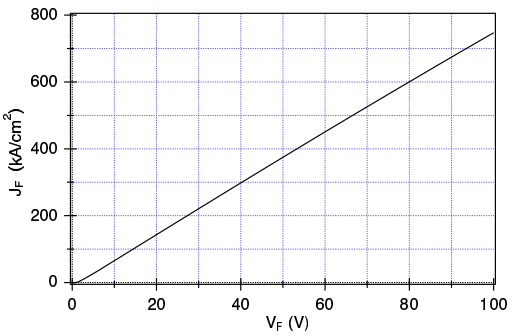

図 5: 100μm 長 pin ダイオードの $J_F - V_F$ 特性

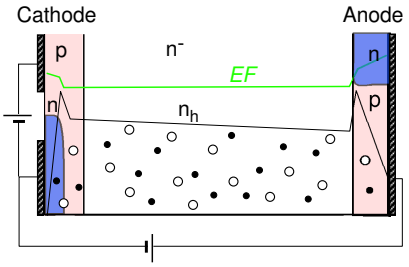

図 6: GTO/GCT の高電圧動作時の内部分布

をしている。不完全な pin ダイオードとしてオン動作させて、i 領域中に過分な電荷担体を存在させないためである。その時の GTO 内部の電荷担体密度 (n_e, n_h) と電界強度 EF は、模式的に図 6 と表すことができる。

2. GTO は、ゲート-カソード間に逆方向電圧を掛けることで、オン時に i 領域に蓄積された電荷担体をゲートから引き出すことでオフ動作を行おうとする[28]。この電荷担体の引き出し能力がオフ動作時の破壊耐量の鍵である。このために、カソード n 領域は、その短辺が 200 ~ 300μm 程度である多数の短冊形に分割されており、その周りをゲート電極が取り囲む構造を有している。

3. GCT は、GTO のゲート駆動システムを強力にして、オフ動作時には全アノード電流 I_A を瞬時にゲートから引き出すようにしたものである。

[28] ゲート電流の大きさはアノード電流 I_A の 1/3 程度である。

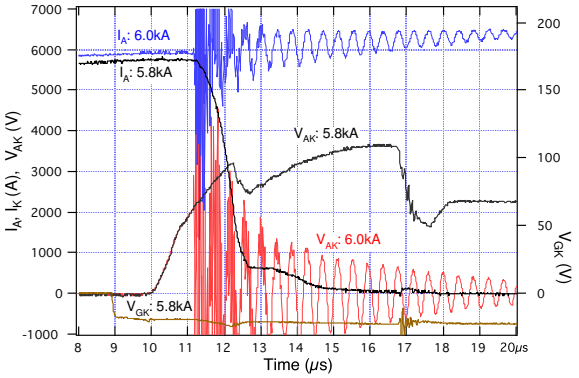

図 7: 破壊前後の GCT 動作波形 @125 ℃ [9]

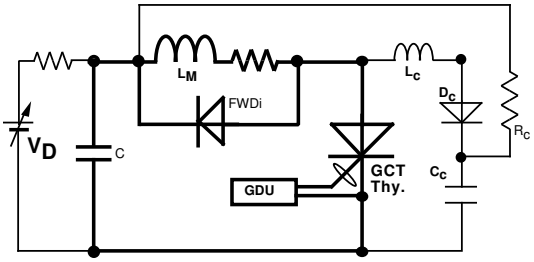

図 8: GCT 遮断耐量の試験回路 [9]

そのため、ゲート電流経路インピーダンスの低減を目的に、(a.) GTO では 1 本のリード線であったパッケージのゲート電極端子を、GCT ではパッケージの全周を取り巻く円盤状とした。(b.) 円盤状のゲート端子とカソード電極端子をプリント基板の裏表の電極にそれぞれ接続して、GCT のすぐ近くのその基板上にゲート駆動用 MOSFET と電源キャパシタを配置した。

図 7 は、丸々一枚の 4 インチ ウエハを用いた 4.5kV GCT の L 負荷遮断試験[29]の測定波形である [9]。破壊直前と破壊時のターン オフ動作波形を、アノード電圧 V_{AK} の立ち上がりで揃えて示している。電源電圧 $V_D = 2.25kV$ でオン電流の最大値が $I_A = 5.8kA$ の状況では、破壊の予兆は全く見られなかった[30]。と

[29] 図 8 に測定回路を示す。$L_C = 0.2\mu H$, $C_C = 6\mu F$.

[30] V_{AK} 波形が奇妙なのはクランプ スナバの影響である。この回路で測ると、IGBT も同様の波形を示す。

ころが、それよりもオン時間を僅かに長くして $I_A = 6.0kA$ にすると破壊した[31]。

オフ信号を入れゲート-カソード間に逆電圧を加えて大量のゲート電流を引き出すと、先ずカソード n 領域からの自由電子の流入が止まるので、GCT は実質的に pip 構造となる。 そして、オン状態時に n^- 領域に蓄積していた電荷担体はカソード側から減少して行く。そして、電荷密度が小さい領域がカソード側に現れてから、V_{AK} の増大が始まる。

図 9 は、その時の電界強度 EF と電荷担体密度 n_h, n_e の分布である [9]。n^- 領域のアノード側には電荷担体が蓄積された電荷中性領域が残り、カソード側では電界が存在する。アノード電流 J_A は、電荷中性領域の終端部の正孔がこの電界からのクーロン力を受けてカソードに向かって走行することでもたらされる。すなわち、J_A は V_{AK} の増大と共に中性領域がアノード側に後退することで流れる。

破壊が問題となるようなアノード電圧 V_{AK} では、正孔の移動 (ドリフト) 速度は一定 ($v_s \approx 100km/s$) と近似できる。そうすれば、アノード電流 J_A は、電界中の正孔密度 n_h を使い (式 2) と表されることから、電界領域中の n_h が一定であることが判る。

$$J_A = qv_s n_h \tag{2}$$

また、一般的にある点の電界強度 EF の傾き α は、その点の正味の電荷密度に比例する。すなわち、図 9 の α は、n_h と n^- 領域の不純物正イオン濃度 N_D の和に比例している (式 3) [32]。通常の GCT 動作では $n_h \gg N_D$ なので、α は (式 4) と近似できて、アノード電流 J_A に比例した一定値となる。

$$\alpha = -\frac{q}{\epsilon_S}(n_h + N_D) \tag{3}$$

$$\alpha \approx -\frac{q}{\epsilon_S}n_h = -\frac{J_A}{\epsilon_S v_s} \tag{4}$$

電界強度 EF の最大値 EF_m は、この α と電界存在領域の幅 W_E の積となる (式 5)。アノード電圧 V_{AK}

[31] 動作条件を変えても、破壊点の $J_A \cdot V_{AK}$ 積はほぼ一定で約 $150kW/cm^2$ であった。同じ設計概念の (6“ϕ GCT+ゲート駆動電源) もほぼ同じ破壊電力を示したが、ゲート駆動回路をより低インピーダンスにすると $210kW/cm^2$ となった。

[32] ϵ_S はシリコンの誘電率 ($= \epsilon_r \epsilon_0 = 12 \cdot 8.85 \times 10^{-12} F/m$)。

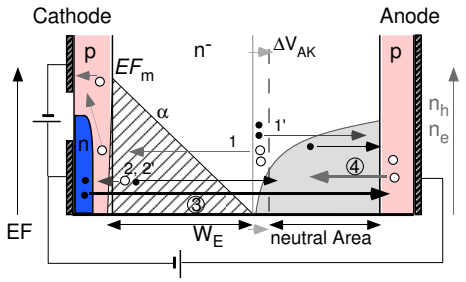

図 9: オフ過程 GCT の電界と電荷担体の分布 [9]

は、(式 6) のように EF_m と α を使って表すことが出来る。この α に (式 4) を代入すれば、$J_A V_{AK}$ 積が ${EF_m}^2$ の定数倍となることが導かれる (式 7)。

$$EF_m = \alpha W_E \tag{5}$$

$$V_{AK} = \frac{EF_m W_E}{2} = \frac{{EF_m}^2}{2\alpha} \tag{6}$$

$$J_A V_{AK} \approx \frac{\epsilon_S v_s}{2}{EF_m}^2 \tag{7}$$

このような動作機構は、大面積 GCT のエレメント[33]内の動作電流の均一化をもたらす。例えば、ある箇所で正孔密度 n_h が増え J_A が大きくなった場合、電界強度 EF の傾きが急になる。そうすれば、V_{AK} は変わらないので、電荷存在領域の幅 W_E は短くなって、中性領域のカソード側への後退速度が小さくなり、正孔の供給能力が乏しくなるからである。

しかしながら、V_{AK} あるいは J_A が大きくなり電界強度の最大値 EF_m が増大すると、カソード p 領域付近で衝突電離現象が急増する状況が起こり得る。

衝突電離に因って発生した正孔はゲート p 領域に入る。一方、同時に対発生した自由電子は、アノード側に走行する電界強度分布の傾き α を小さくするので中性領域のカソード側への後退速度を増大させ、中性領域からカソード側への正孔の流出数を増やす。この正孔がカソード近傍に到達すると、さらに多く

[33] 大容量半導体素子は、その時点で入手できる最大の “ウエハ” を丸ごと用いて、1ヶのデバイスを作ることを伝統にしてきた。小容量デバイスは、出来上がった最大ウエハから複数個の円形領域をくり抜いて作ることが一般的である。ウエハあるいはくり抜いた円形領域は、プレーナ形で用いられるチップという名前ではなく “エレメント” と呼ばれている。

の正孔-自由電子の対発生を引き起こす[34]。

ゲート p 領域に入る正孔が急激に増大すると、ゲート電極から遠いカソード n 領域中央部のカソード n 領域に対する電位が、G-K 間ダイオードのオン電流立ち上がり電位よりも高くなり得る。すると、カソード n 領域から流入した自由電子は、カソード p 領域の外側で衝突電離により一層の正孔を発生させる。

一方、対発生した自由電子は、中性領域に入りアノード側の $n^- - p$ 接合の内蔵電位差を小さくするので、アノード p 領域から正孔が n^- 領域に入る。このため、電界存在領域 W_E は、カソード n 領域からの自由電子とアノード p 領域からの正孔とで急速に満たされる。そして、このような再帰的な動作に因って、遮断過程にあった GCT の局所は pin ダイオード並の "高電圧オン動作" [35]に瞬時に移行する。

さて、図 7 の破壊点前後を示す波形の I_A と V_{AK} が同相を示し始める (発振動作が起こり始めてから)$0.25\mu s$ までの間に、GCT は導通状態になっていると判断できる[36]。GCT エレメントは、この区間の内に溶融し、それを両側から圧接していた銅電極の間にアーク放電が起こって[37]、スナバ回路と主回路の 2 つの経路を辿る LC 共振が起きていると考えられる[38]。その際の L は各回路の浮遊インダクタンスで、C は各還流ダイオード (FWD_i, D_C) が内蔵するキャパシタンス成分と考えられる[39]。

GCT が正常であればキャパシタとして働くので、その I_A の位相は V_{AK} よりも 1/4 周期だけ進む[40]。ところが、GCT が導通状態であれば微少な抵抗と見なせるので、ΔI_A 値と ΔV_{AK} 値は同位相を示す[41]こ

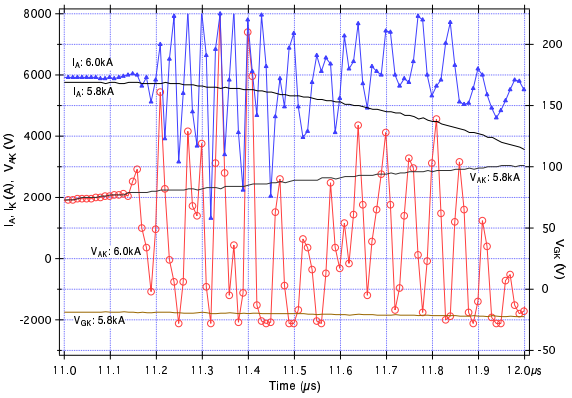

図 10: 破壊前後の GCT 動作波形 (拡大図)

とになる。

ところで、図 10 は図 7 を拡大したものであるが、$11.2\mu s \sim 11.4\mu s$ の区間の $\approx 30ns$ 周期の激しい振動の ΔI_A と ΔV_{AK} も "同相" になっている。しかしながら、この区間の GCT は実質的な抵抗と見なし難い。なぜならば、

- この区間の平均 V_{AK} はさほど大きく低下してない。GCT が破壊して抵抗状態になっているのならば電圧保持能力を大きく損なわれているはずである。
- 発振波形の端緒 ($\approx 11.4\mu s$) において、まず I_A がわずかに増大した後、わずかに遅れて V_{AK} が $1kV$ 近くも急激に増大している。GCT は、この時点では未だ正常に動作していると思われるが、このような $I_A - V_{AK}$ 特性を正常なスイッチング デバイスが示すことは考え難い。

この難点は、I_A 波形が V_{AK} 波形よりも $10ns$ ほど遅れて計測されている[42]とすればキャパシタとしての震動波形と見なし得ると、著者は考える。

そうすれば、"発振動作" の始まりは、まずアノード電流 I_A がわずかに増大し[43]、それが減少始める

[34]そこまでに要する時間は、$4.5kV$ GCT では (n^-領域長)$/v_s \approx 0.06cm/10^7\ cm/s = 6ns$ 程度と見込まれる。

[35]その通電能力は、$V_{AK} \approx$ 数十 V 程度で $I_A \approx$ 数百 kA/cm^2 程度にもなる。

[36]I_A と V_{AK} の同相が GCT 導通状態を示す理由は後述する。

[37]この放電は、測定回路 (図 8) の電源キャパシタ C の電位が下がるまで続く。

[38]図 10 に現れる $\approx 60ns$ と $\approx 400ns$ の周期は、それらの共振周期であろう。

[39]高周波振動に対して電解キャパシタ (C, C_C) は無視できる。

[40]ちなみに、C と L が閉回路からなる共振回路では、I_C と I_L が逆位相となる。

[41]共振周波数は、$L = 0.2\mu H$, $C = 1.7nF$ で $60ns$、$L = 2.4\mu H$, $C = 1.7nF$ で $400ns$ となる。それは、測定回路 (図 8) のスナバ ダイオード D_C と主回路の FWD_i の容量が $C = 1.7nF$、主回路の浮遊インダクタンスが $L_S = 2.4\mu H$ であれば整合する (スナバ L_C は $0.2\mu H$)。$\approx 400ns$ 周期だけでなく、図からは分かり難いが $\approx 60ns$ 周期振動も同相である。

[42]I_A は Current Transformer(ピアソン社)、V_{AK} は高電圧プローバー (Tektronix 社) を使用した。

[43]それでも、アノード電圧 V_{AK} に変化がないのは、大半の領

時点で浮遊インダクタンス L_s の逆起電力によって V_{AK} が増えている ($\Delta V_{AK} = -L_s \Delta I_A / \Delta t$) と考えることが出来る。GCT は、まず共振回路のキャパシタとして動いて、$0.25\mu s$ 後には抵抗状態になると解釈することが出来よう。 GCT は、最初に I_A が減少し始める時点で異常が発生して、その異常部の周りに電流集中が起こり、熱暴走が起きて $0.25\mu s$ 後に決定的に破壊したと推定するのが合理的であろう。

高耐圧大電流動作において、主電流が先ず低下する機構は甚だ考え難い。ただし、“自らが形成する磁場によって通電経路が狭まって遂には途切れるというピンチ オフ (pinch off) 効果” が起これば、そのような状況は出現すると、著者は考える[44]。

ともかく、GCT では破壊の直前まで、高電界領域には (アノード側の電荷蓄積領域からの) 正孔のみが存在し、自由電子の存在は無視できる。そして、この正孔密度が電界強度の傾きを決定し、カソード側の電界強度最大部で衝突電離現象が起こるとたちまちに破壊すると解釈出来よう。 この GCT の n^- 領域中状況は、pnp 形 BJT の短絡動作の n^- 領域で起きている現象と変わらない[45]。GCT の L 負荷遮断耐量の最大観測値 $\approx 200kW/cm^2$ は npn トランジスタの短絡限界値 $100kW/cm^2$ [46] と同程度である所以である[47]。

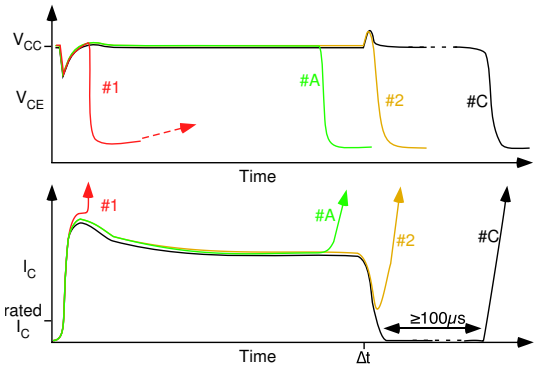

図 11: IGBT の短絡試験波形と破壊点

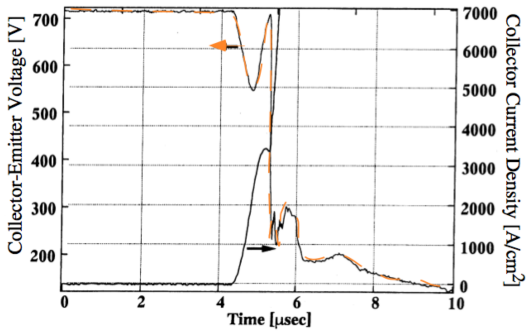

図 12: IGBT での#1 形の短絡動作破壊例 [12]

1.3 IGBT 高電圧動作の安定性

IGBT の短絡動作における破壊限界が大きいことは、実用的な構造が最初に試作された 1984 年の中川らの発表の大きな比重を占めていた [11] [48]。当時、トランジスタ モジュールを用いたインバータが市場に急速に普及する中で、パワーデバイスには十分な短絡耐量が不可欠であることが常識になっていた為である[49]。その後、IGBT の短絡動作には図 11 に示す 4ヶの破壊モードが存在することが判った。

さて、$600V$ IGBT が BJT と競合し始める 1993 年には、$J_C V_{CE} \approx 2MW/cm^2$ という (図 11 における)#1 形の限界値が測定され (図 12)、同時に BJT に準じた単純な破壊モデルが提起された [12]。同じグループは 1994 年には L 負荷でのターンオフ破壊限界を測定し、その限界値がシミュレーションの予想から大幅に小さいことから、チップ内に不均一動作が生じているのであろうと予想した [13]。

さらに、彼らは 1995 年には図 11 に#A で示され

域の電荷担体の内部分布は急速に変わり得ず、それが変わらない限り電位分布も変わらないためである。

[44] 大電流降伏動作を行う pin ダイオードの破壊や宇宙線が誘起する破壊の最終段階においても、ピンチ オフ効果が起こっていると、著者は考えている。

[45] GCT は、pip 構造デバイスとして動作している。

[46] 本文の最初から 2 番目の脚注を参照。

[47] GCT の限界値が npn 形 BJT よりも大きいのは、両者の主電流を担う電荷担体の違いによる。すなわち、GCT では正孔が、npn 形 BJT では自由電子が衝突電離を引き起こすが、正孔の衝突電離係数 α_h が自由電子の α_e よりも小さいためである。

[48] 第 1 回試作で BJT 以上の短絡耐量 $J_C V_{CE} \approx 300kW/cm^2$ が得られたことは IGBT の素質の良さの証であると主張された。

[49] 1987 年には、$1.6kV$ IGBT が $J_C V_{CE} > 500kW/cm^2$ の短絡耐量を示したことが、中川らから発表された。

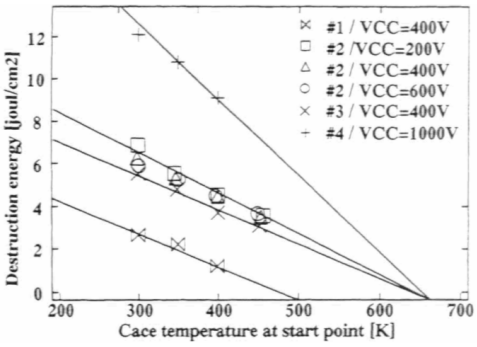

図 13: #A 形での破壊エネルギー依存性 [14]
(#1 試料はエミッタ構造不備で本来の特性が出てない)

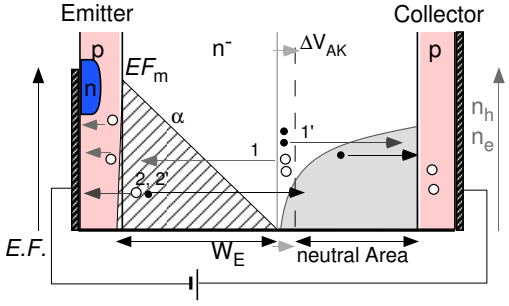

図 14: オフ過程 IGBT の電界と電荷担体分布 [10]

る破壊が、接合温度が約 $650K$ となる時点で起こることを見い出して[50][14]、破壊点ではチップ表面に近い p-well 周辺部がその温度に到達することを、デバイス シミュレーションで確認した [15]。 こうして、#A 形の破壊は発熱によって pn 接合が約 $650K$ で消失することで起こることが判った[51]。

その後 20 年になろうとしているが、IGBT の破壊機構は今日でも定説がない[52]。IGBT の破壊解析が進まなかったのは、そもそもそれが技術開発課題の主要問題とならなかったことが大きな要因であろう。 IGBT は、サイリスタ動作 (latching) さえ起こさなければ、BJT を遙かに凌ぐ動作領域が容易に得られた。それに、設計と製造工程が BJT よりも格段に複雑なので、サイリスタ動作の回避やオン電圧 $V_{CE}(sat)$ の低減等の技術課題が山積していた。

以下は、未だ定評を得てないが、これまで著者が提起してきた IGBT の二次破壊機構のまとめである[53]。L 負荷オフ動作破壊を主に扱っているが、ごく短時間で破壊するために温度上昇を考慮する必要がない図 11 の現象#1 もそれに準じた解釈が出来る。

図 14 は、L 負荷に通電した後に、ゲートを逆バイアスして MOSFET を流れる自由電子電流が無い状況の IGBT 内部の電界強度 EF と電荷担体密度 ($n_e \approx n_h$) を模式的に示している[54]。図 9 の “オフ過程 GCT の電界と電荷担体の分布” と殆ど同じ図であるが、GCT ではカソード側 n 領域がカソード電極全面に広く設けられているのに対して、IGBT のエミッタ n 領域はエミッタ電極の端にわずかに存在している[55]。さらに、図 14 には、図 9 下部の③と④を付けた太い実線と灰色太線がない[56]。

オン状態にあった IGBT にゲートに逆電圧を加えると、MOSFET を経由する自由電子の流入が止まって、IGBT は pip 構造デバイスとして動作する[57]。そして、オン状態で n^- 領域に蓄積していた電荷担体はカソード側から減少して行って、電荷密度が小さい領域[58]がカソード側に現れてから、V_{CE} の増大が始まる等 GCT と同様の経過を辿る。

[50] 周囲温度を $300K \sim 450K$ と変えて破壊時点までの消費エネルギーを測定し (図 13)、それが零に外挿される周囲温度を破壊が起こる温度と考えた。なお、この外挿温度 ($\approx 650K$) は、n^- 長 ($55\mu m$, $130\mu m$) やライフタイム制御 (有/無) が異なる IGBT でも、測定電圧 ($600V$, $720V$) が変っても同じであった。

[51] なお、この文献 [15] では、図 11 の#1 形の破壊のデバイス シミュレーションも報告されている。彼らは、文献 [12] で提起したモデルを確認しようとしたが、実際よりも数倍長い約 $1\mu s$ 後から電流が急速に増大する波形を示すことはできたものの、瞬間的に破壊動作に移行する特徴までは再現できなかった。

[52] もっとも、“サイリスタ動作だけが破壊を引き起こすのであって、IGBT には二次破壊はない” と割り切って考える技術者も居たと思うが、ごく少数であろう。そう明言した者を 1 人だけ、著者は知っている。少なくとも、そのように主張した発表はない。

[53] デバイス シミュレーションの具体例は文献 [16] を参照。

[54] 短絡動作時の内部分布の simulation 結果を図 15 に示す。

[55] また、IGBT の電荷担体密度は意図的に少な目にしている。

[56] 矢印③はカソード n 領域からの自由電子を、そして矢印④はアノード p 領域からの正孔の流れを示していた。

[57] この動作は、電流増幅作用が伴わないので、pnp トランジスタ動作とは言えない。なお、オフ動作時の GCT も、pip 構造デバイスとして同じような動作をしている。

[58] そこには、GCT では正孔だけ存在したが、IGBT では正孔と自由電子がほぼ同数存在する。

一方、カソード側 (エミッタ側)n 領域の位置と小ささから、“サイリスタのオン動作” が始まることは、IGBT では極めて起こり難い[59]。このため、IGBT の動作点 (J_C, V_{CE}) は、早晩 高電圧大電流動作の極みである $V_{CES}(sus)$ サスティン動作線に到達する。サスティン特性は負性抵抗なので、その交点電圧よりも電源電圧 V_{CC} が大きければ電流増大/電圧減少傾向に正帰還が掛かる。電流増大はサイリスタ動作が起こるまで続き[60]、それ以降 V_{CE} は急減する。

経験的にも、(1.) エミッタ側 n 領域の寄与を小さくしてサイリスタ動作 (Latching 動作) が起き難くすることと (2.) コレクタ n^- 領域長を増やすことが、IGBT の L 負荷オフ動作時の破壊耐量を増大するための核心であった[61]。このような構造の IGBT は、デバイス シミュレーションでは極めて破壊し難い。

ところが、実際の IGBT では、単純なはずのオン動作においても不均一さが存在する。オン電流が大きい箇所では、電荷担体の蓄積量も大きいので、オフ動作が遅くなる。すると、その箇所だけに電流が集中し実効的なチップ面積がごく小さくなって、最終的にサイリスタ動作に到る現象が起き易くなる[62]。

BJT の安全動作領域を J_C と V_{CE} だけで簡単な形で表すことができたのは、高電界中の電荷担体が 1 種であること[63]に加えて、破壊現象に引き金が掛かる (衝突電離作用が起こる) までのチップ内の動作がほぼ均一と見なせるからである。それに対して、IGBT の大電流高電圧動作では、むしろ衝突電離作用が大々的に起きることは普通であり、それに電流集中が加わってサスティン動作を経てサイリスタ動作に至る。 このため、IGBT では、二次破壊耐量を

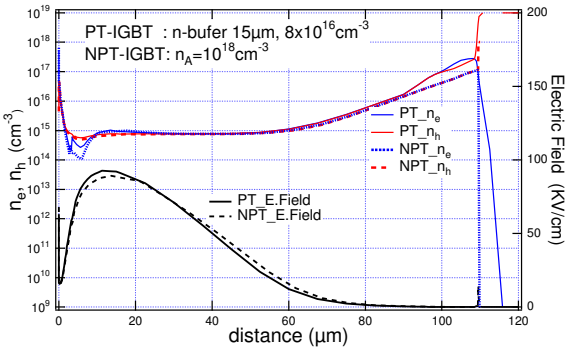

図 15: IGBT 短絡動作時の電界と電荷担体の分布
Channel 開口部 E-C 断面, @$V_{CE} = 380V$

簡単な表式で表すことは出来ない[64]。

さて、図 15 は、短絡動作を行う PT-IGBT と NPT-IGBT($t_{n^-} \approx 110\mu m$) の電界強度 EF と電荷担体密度 n_h, n_e の内部分布のシミュレーション例を重ねたものである[65]。短絡動作時には、n^- 領域に蓄積された電荷担体に加えて、MOSFET とコレクタ p 領域近傍からそれぞれ自由電子と正孔[66]が流入する。 このため、高電界強度領域中でも電荷担体密度 n_h, n_e が $10^{15}cm^{-3}$ も存在している。

しかしながら、オフ過程においても例えばサスティン動作時には、エミッタ側で衝突電離作用に因って正孔が大量に発生するので、これと同様の分布図となる[67]。このため、短絡動作時の破壊も L 負荷オフ動作の破壊に準じて解釈できることが納得できよう。実際、IGBT の短絡耐量と L 負荷遮断耐量の測定値は大きく違わない[68]。

[59]GCT の破壊に至る最後の過程では「ゲート p 領域に入る正孔の量が急激に増大すると、ゲート電極から離れたカソード n 領域の中央部では、ゲート電極からの正孔の引き出しが追いつかなくなってカソード n 領域に対してゲート p 領域がオン電流の立ち上がり電位よりも高くなる」現象が起きた。

[60]準定常シミュレーションでは、サイリスタ動作点の近傍で計算不能となる。

[61]項目 (2.) は、サスティン電圧を増大させる最も効果的な手法である。

[62]電界強度が大きくなる構造の箇所は、この現象の局所化傾向を増長する。

[63]そうすれば、電界強度 EF 分布は J_C だけでほぼ定まる。

[64]ちなみに、GCT の L 負荷遮断耐量の限界値は、$J_C V_{CE} \approx 200kW/cm^2$ と表すことが出来る。

[65]PT-IGBT と NPT-IGBT の内部状態は基本的に同じである。
オン動作中の GCT は、図 6 に示すように、電界強度と電荷担体密度がほぼ平坦に分布するが、IGBT は BJT の短絡動作時の分布がコレクタ側とエミッタ側で逆転した状況を示す。

[66]正孔は、衝突電離作用で発生したものである。

[67]オフ過程を示す図 14 の電界存在領域には、GCT とは異なって正孔だけでなくほぼ同量の自由電子が存在している。

[68]$5kV \sim 6kV$ の IGBT では、短絡耐量と L 負荷遮断耐量のそれぞれで $J_C V_{CE} \approx 1.1 \sim 1.4MW/cm^2$ と $J_C V_{CE} \approx 0.4 \sim 0.7MW/cm^2$ の報告例がある (@125 ℃)。

1.4 BJT, IGBT, GCT の安定性 -まとめ-

BJT の二次破壊は、デバイス中でオン動作に必要なベース電流を衝突電離作用によって供給できる状況が自続することで起きる。その衝突電離作用による効果は、破壊の直前まで主電流の増大に対する負帰還機構が働くので、BJT は破壊する直前までほぼ均一に動作する傾向がある。

一方、IGBT では、短絡破壊時には "MOSFET と不完全 pin ダイオード" 動作から、そして L 負荷オフ破壊時には pip 構造としての動作から、"不完全なサイリスタ動作" [69]に移行 (Latching) する。 引き金となるのは、どちらもオン時に内部に蓄積された電荷担体のいわば放電電流が引き起こす衝突電離現象である。その放電作用には安定化機構があるのだが、衝突電離作用は (BJT とは逆に) 主電流の増大に対する正帰還作用を引き起こす。このため、IGBT の二次破壊は本質的に局所で起きる。

さらに、GCT の L 負荷オフ動作では、直前までサイリスタとしてオン動作 (ダイオード動作) をしていたデバイスが、pip 構造デバイスとしてオフしかけて、ある局所だけが再び "普通のサイリスタ動作" に回帰す事象が破壊への引き金となる。このため、GCT の (二次) 破壊は IGBT よりも遙かに過激な過程となっている。

なお、BJT や (オフ動作時の)GCT では、主電流が単一の電荷担体からなるために、安全動作領域は J_C と V_{CE} で定まり、動作限界値も明白に定まる。ところが IGBT では、高電界領域にほぼ等量の自由電子と正孔が存在するので、そのような単純な関係は存在しない。

また、IGBT のオン動作破壊 (短絡破壊) は、サイリスタ動作 (ダイオード動作) に移行することで起こる。始めからサイリスタ動作をしている GCT のオン動作に破壊耐量がないのは当然である。

[69]本来 n 領域であるべきカソード部の広い領域に p 領域が存在する (カソード ショート構造) ために、本来のサイリスタ動作が著しく阻害されている状況。

参考文献

[1] H. Nishiumi, I. Takata, Y. Takagi and S. Kojima, "High Voltage High Power Transistor Modules for 440V Line Voltage Applications,", Conference Record of IPEC-Tokyo, pp.297-305, 1983

[2] H. Egawa, "Avalanche Characteristics and Failure Mechanism of High Voltage Diodes," IEEE Transactions ED, Vol. ED-13, No.n11, pp.754-758, 1966

[3] 長谷川 泰男, 木村 達夫, 水野 邦司, "ダイオードにおけるアバランシェ降伏以後の特性," Origin, Vol. 45, pp.42-48, 1982

[4] I. Takata, H. Nishiumi, H. Iwamoto, and Y. Yuu, "A Basic Analysis of High Voltage Operation of High Power Transistors and Diodes," conference record of IEEE IAS'85, pp.900-904, 1985

[5] I. Takata, T. Yamada, and N. Soejima, "Leakage Current and Breakdown Characteristics on P-N Diodes," proceedings of ISPSD'93, pp.205-211, 1993

[6] 高田 育紀, "pin ダイオードの逆方向電流-電圧特性と降伏限界の解析," H19 電気学会研究会資料, EDD-07-78/ SPC-07-104, pp,49-54, 2007-10-27

[7] H. Kanemaru, Y. Harada, Y. Ikura, N. Kumagai, M. Iwamizu, Y. Minoya, R. Saitho, S. Kiuchi, and T. Fujihira, "Integrated ESD Protection Diode for Self-Isolated 40V CMOS-LDMOS Power ICs," Conference Recorde of IPEC'05, S40-2, 2005

[8] 高田 育紀, "衝突電離作用の可逆過程となる再結合とその宇宙線破壊シミュレーションへの影響," H20 電気学会研究会資料, EDD-08-62/ SPC-08-149, pp.39-44, 2008-10

[9] I. Takata, M. Bessho, K. Koyanagi, M. Akamatsu, K. Satou, K. Kurachi, and T. Nakagawa, "Snubberless Turn-off Capability of Four-inch 4.5kV GCT Thyristor," proceeding of ISPSD'98, pp.177-200, 1998

[10] 高田 育紀, ゴーラブ・マジュムダール, "パワーモジュールの発展と動向 (II) -IGBT モジュールへの発展-," 電気学会誌 130 巻 1 号, pp.32-36, 2010

[11] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, and K. Watanabe, "Non-Latch-Up 1200V 75A Bipolar-Mode MOSFET with Large ASO," Technical Digest'84 IEEE IEDM, pp.860-861, Dec., 1984

[12] J. Yamashita, A. Uenishi, Y. Tomomatsu, H. Haruguchi, H. Takahashi, I. Takata, and H. Hagino, "A Study on the Short Circuit Destruction of IGBT's," proceedings of ISPSD'93, pp.35-40, 1993

[13] J. Yamashita, H. Haruguchi, H. Takahashi, and H. Hagino, "A Study on the IGBT's Turn-off Failure and Inhomogeneous Operation," proceedings of ISPSD'94, pp.45-50, 1994

山下潤一, 春口秀樹, 萩野浩靖, "IGBT のターンオフ破壊と不均一動作," H06 電気学会研究会資料, EDD-94-40/ SPC-94-62, pp.9-15, 1994

[14] 山下 潤一, 萩野 浩靖, 春口 秀樹, 上西 明夫, "IGBT の FBSOA の検討," H07 電気学会研究会資料, EDD-95-90/SPC-95-73, pp.45-56, 1995

[15] H. Hagino, J. Yamashita, A. Uenishi, and H. Haruguchi, "An Experimental and Numerical Study on the Forward Biased SOA of IGBTs," IEEE Trans. ED, Vol.43, No.3, pp.490-500, 1996

[16] I. Takata, "A Trial Simulation of the Fourth Secondary Breakdown on IGBTs," proceeding of IPEC-Niigata, S48-3, 2005-4