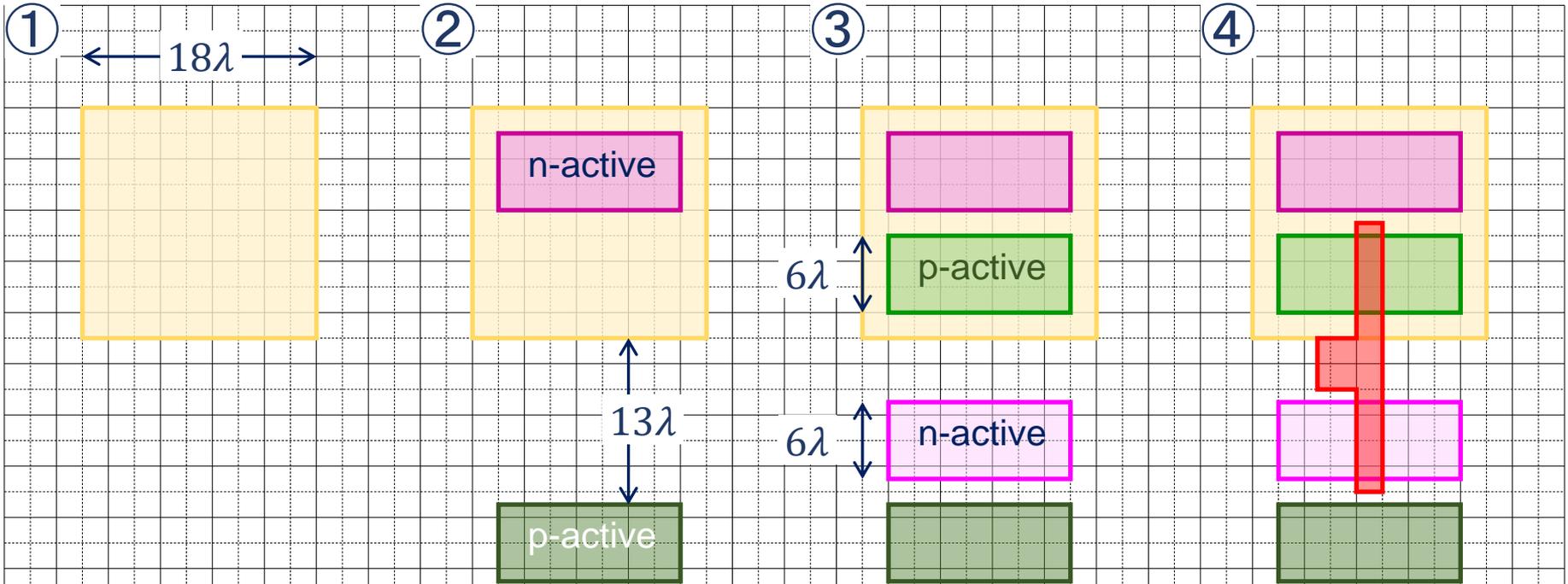


Inverter layout (1)-a



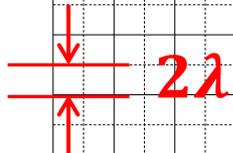
n-wellを描く

p型基板とn-wellコンタクトのためのp-active、n-activeを描く
n-wellを描く

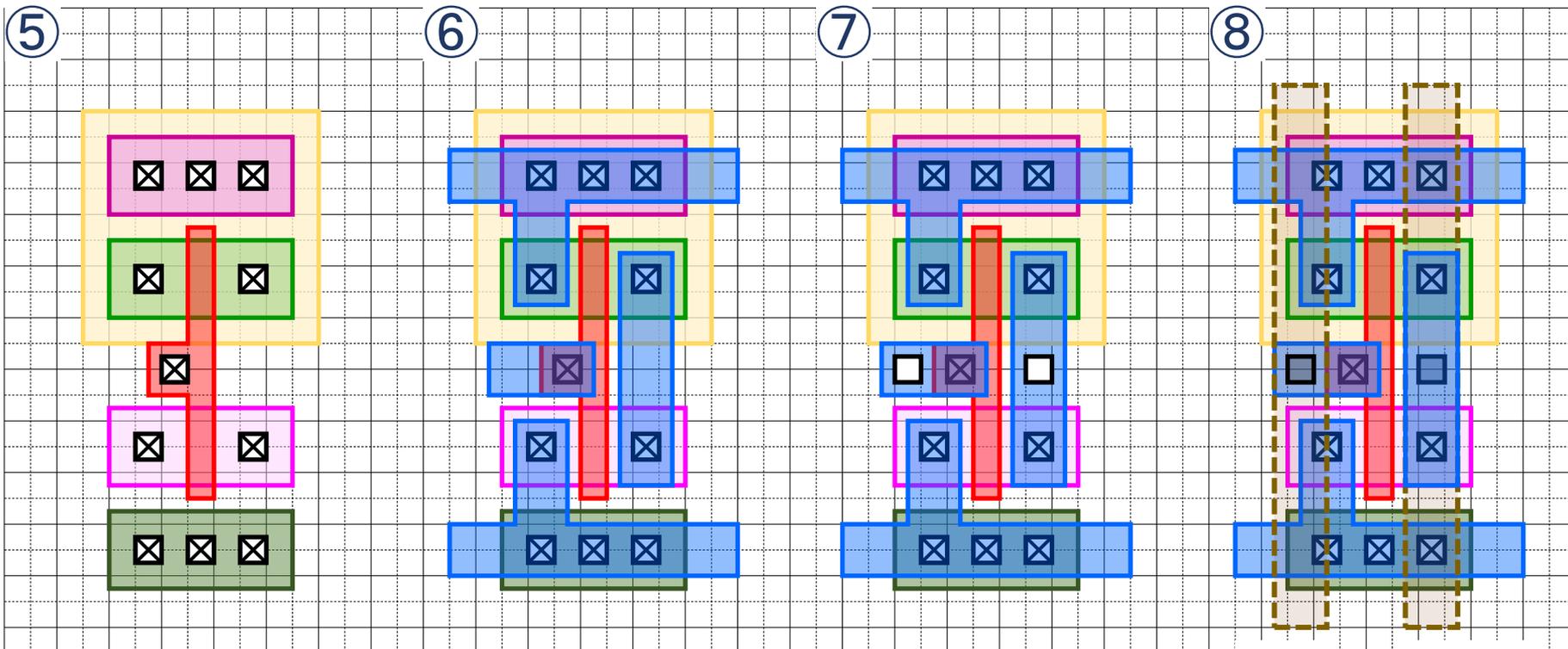
ソース、ドレインのためのp-active、n-activeを描く

poly-Siゲートを描く。

nMOS、pMOSともに $W/L=3$ である。



Inverter layout (1)-b



Contact孔を
描く

M1配線を行う。

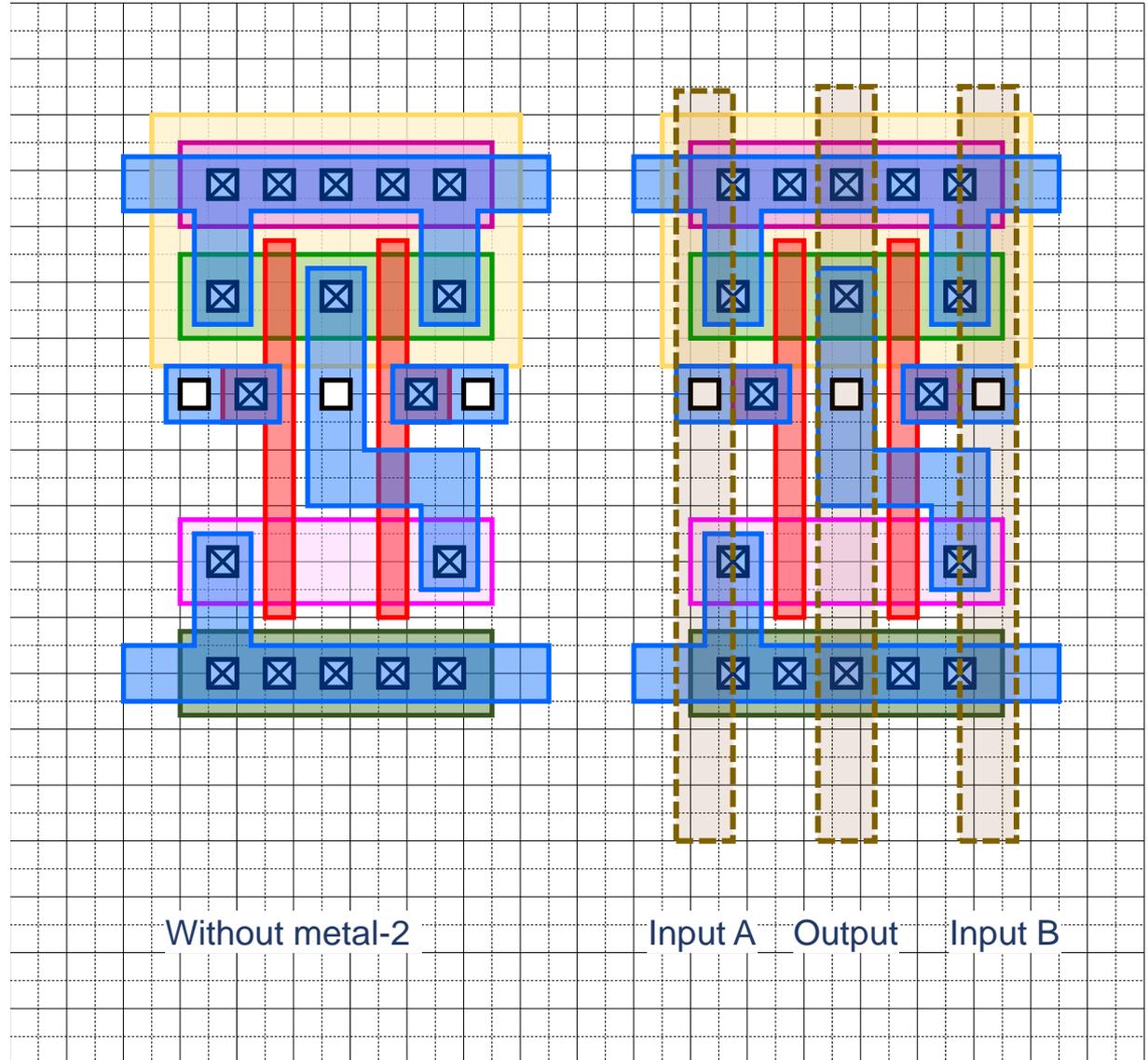
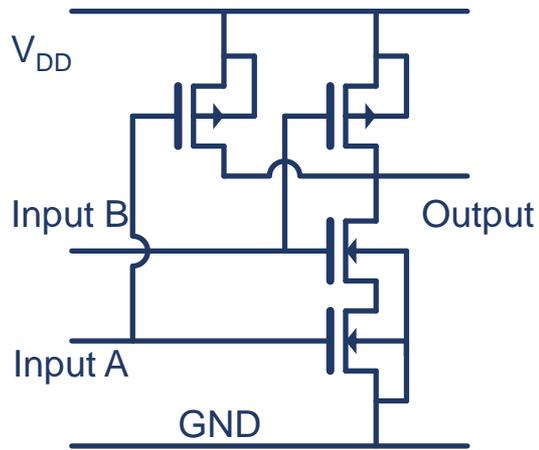
Via-1を描く

Input output

Metal-2を描く

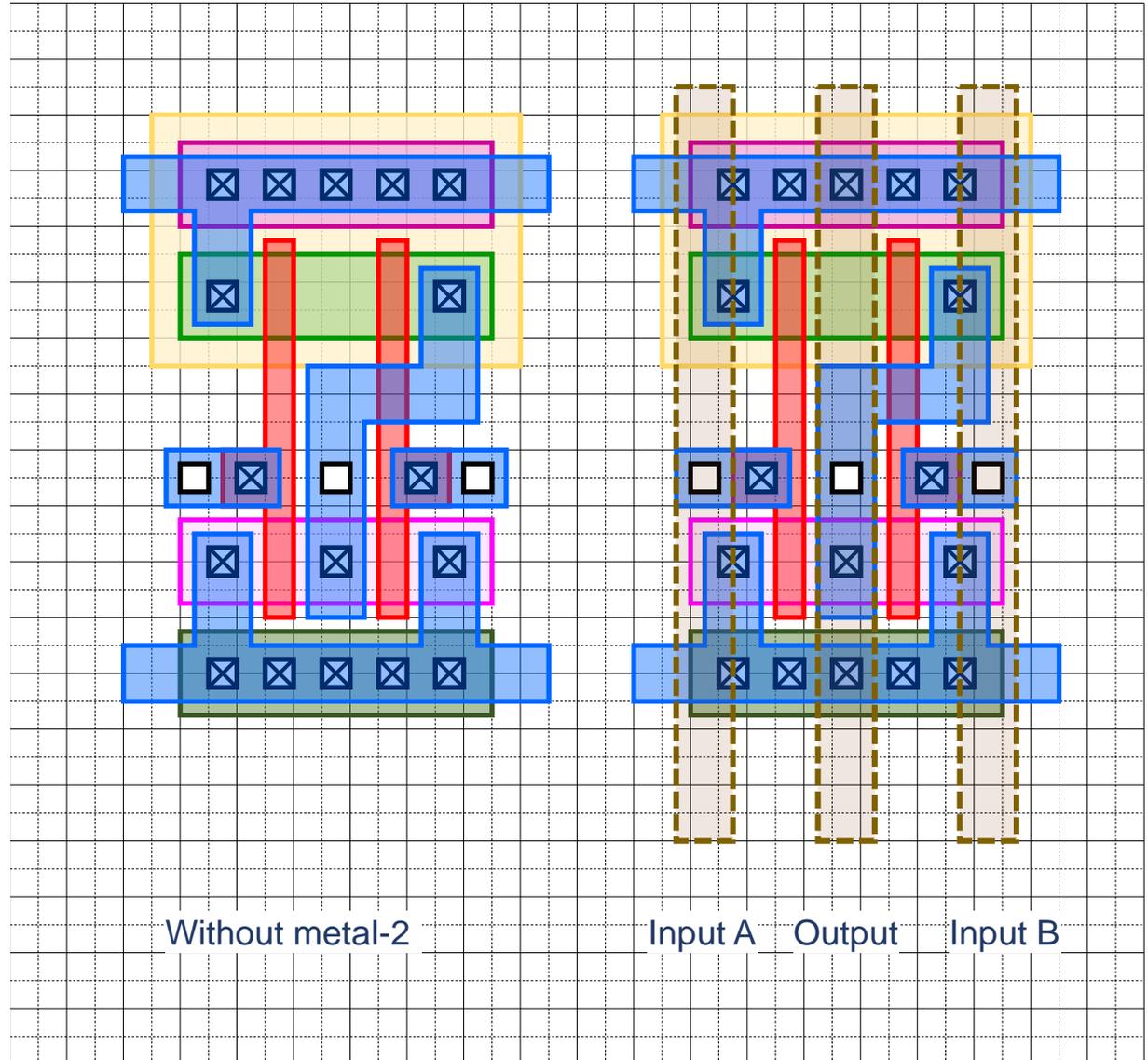
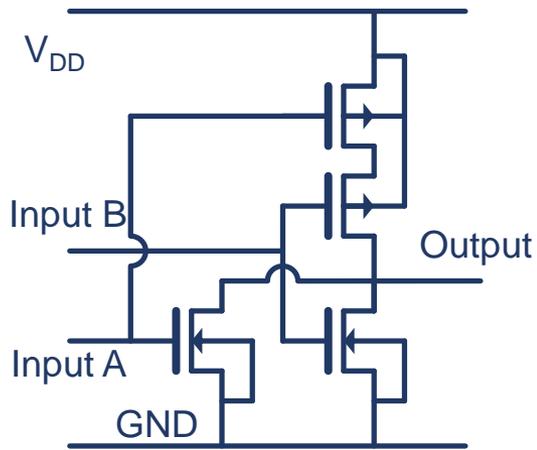
2λ

2-input NAND



nMOS、pMOSともに
W/L=3である。

2-input NOR



nMOS、pMOSともに
 $W/L=3$ である。