

デジタル回路

第11回

前回の復習: マスタースレーブJKフリップフロップ

発振やレーシングを防止するために...

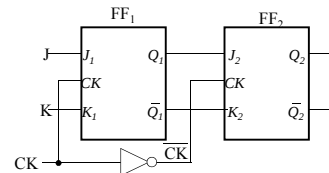
フリップフロップを2段構成にし、1段目をCKで、2段目を $\overline{CK}$ で動作させる。

1段目: CK=1で動作 マスタースレーブフリップフロップ (マスター: 主人)

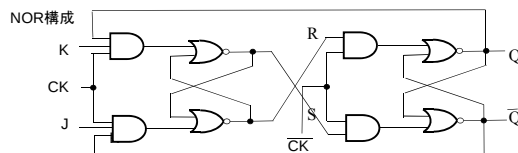
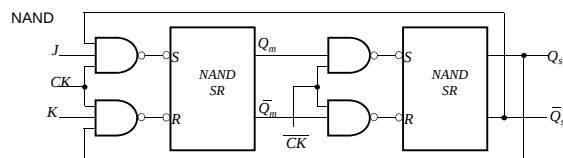
2段目: CK=1 (CK=0)で動作 スレーブフリップフロップ (スレーブ: 奴隷)

FF1とFF2はクロックパルスの立ち上がり時と立ち下がり時に交互に動作する。

情報伝達が確実に。

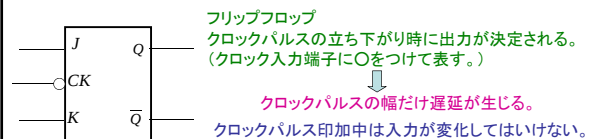


前回の復習: マスタースレーブフリップフロップ



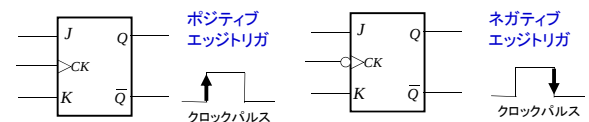
J=1でもQ=0のときしか次段に出力させないこの配線が発振を止める!

前回の復習: エッジトリガJKフリップフロップ

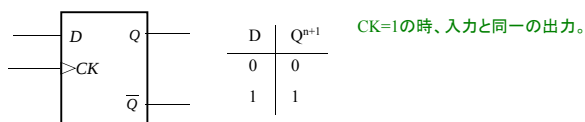


これに対し、**エッジトリガJKフリップフロップ**というものがある。

クロックパルスの立ち上がり、または立ち下がり時の入力で出力が決定。
CK=1が長く続いても入力変化には影響されない。



前回の復習: Dフリップフロップ

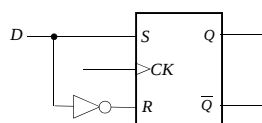


CK=1の時、入力と同一の出力。

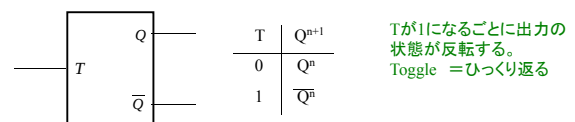
入力Dの状態を一時的に記憶。
入力Dの情報をクロックパルスが入力されるまで遅らせる。(Delay)

(データフリップフロップ、遅延フリップフロップ)

CK=1で入力を記憶、CK=0で出力状態を保持 (Dラッチ)



前回の復習: Tフリップフロップ



Tが1になるごとに出力の状態が反転する。
Toggle = ひっくり返る

JKフリップフロップのJ,K入力を1とし、CK入力をTとすれば実現できる。

◎ T入力にパルスが2個印加されるごとに元の状態に戻る。

→ 2進のバースカウンタ (従続につなげば、2ⁿ進カウンタ)
Frequency divider (周波数分割器)

入力を出力に繋ぐと発振器になる 発振周波数はトグル周波数と呼ばれ、高速性の指標

Tフリップフロップにセット入力端子S、リセット入力端子Rを付加したSRTフリップフロップというものもある。

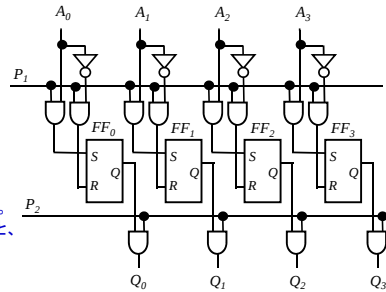
フリップフロップの応用(レジスタ)

フリップフロップ: 情報の一時記憶 → レジスタとカウンタ

1個のフリップフロップ
1ビットの2進データを記憶。

n個のフリップフロップ
nビットの2進データを記憶。
(メモリレジスタ、orレジスタ)

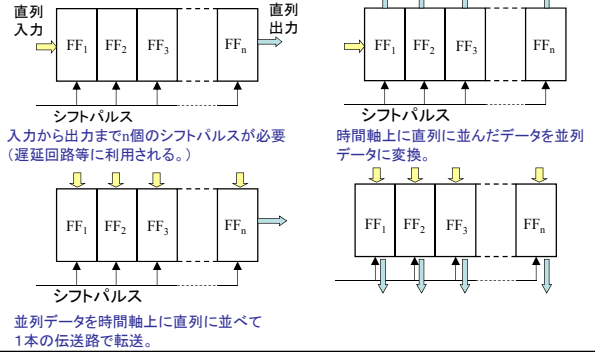
2進データを $A_0 \sim A_3$ へ入力
 P_1 : 書き込み信号
 $P_1=1$ で $A_0 \sim A_3$ の状態が、
 $FF_0 \sim FF_3$ の各出力 Q に記憶。
書き込み終了後 $P_1=0$ とすると、
FFのSR入力とともに0となり
状態を保持する。



並列入力並列出力レジスタ

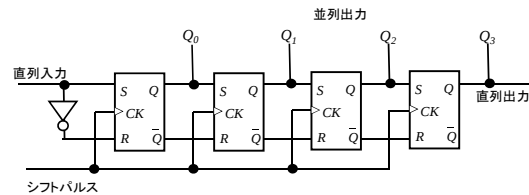
シフトレジスタ(1)

外部より加えられる信号(シフトパルス)により、各段のフリップフロップの内容が隣のフリップフロップに順次転送される。



シフトレジスタ(2)

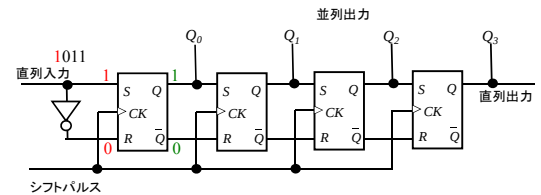
4ビット直列入力並列出力形シフトレジスタ。



Q_3 を出力とすると直列入力、直列出力のシフトレジスタ
(シフトパルス4個分の遅延回路)

シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。

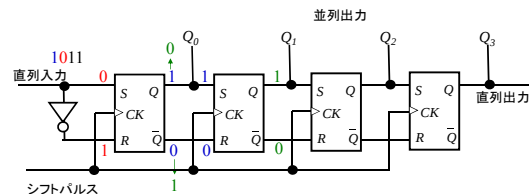


Q_3 を出力とすると直列入力、直列出力のシフトレジスタ
(シフトパルス4個分の遅延回路)

例えば(1011)₂が上位ビットから入力されたとする。
1クロック目: $Q_0=1$

シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。

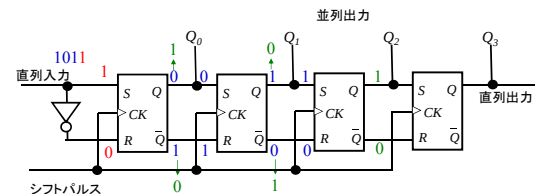


Q_3 を出力とすると直列入力、直列出力のシフトレジスタ
(シフトパルス4個分の遅延回路)

例えば(1011)₂が上位ビットから入力されたとする。
1クロック目: $Q_0=1$
2クロック目: $Q_0=0, Q_1=1$

シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。

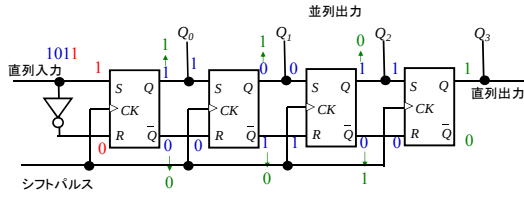


Q_3 を出力とすると直列入力、直列出力のシフトレジスタ
(シフトパルス4個分の遅延回路)

例えば(1011)₂が上位ビットから入力されたとする。
1クロック目: $Q_0=1$
2クロック目: $Q_0=0, Q_1=1$
3クロック目: $Q_0=1, Q_1=0, Q_2=1$

シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。



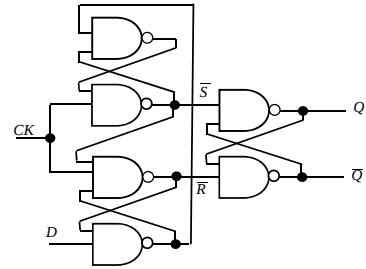
Q_3 を出力とすると直列入力、直列出力のシフトレジスタ
(シフトパルス4個分の遅延回路)

例えば(1011)₂が上位ビットから入力されたとする。

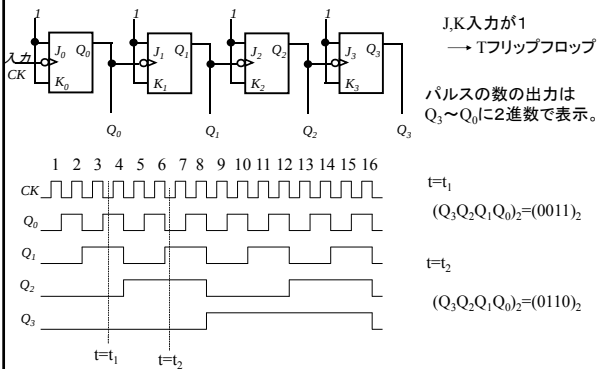
- | | |
|--------------------------------------|--|
| 1クロック目: $Q_0=1$ | 4個のシフトパルス入力後、($Q_3Q_2Q_1Q_0$)
に入力信号が並列出力として現れる。 |
| 2クロック目: $Q_0=0, Q_1=1$ | |
| 3クロック目: $Q_0=1, Q_1=0, Q_2=1$ | 4個のシフトパルス入力後に Q_3 に最初の
入力信号が直列出力として現れる。 |
| 4クロック目: $Q_0=1, Q_1=1, Q_2=0, Q_3=1$ | |

ポジティブエッジトリガDフリップフロップ

いままでのNANDの概念でつくと



カウンタ 16進カウンタの例

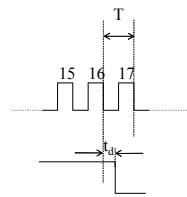


リプルカウンタ

入力側のフリップフロップから、順次パルスが送られることにより動作。

後段になるほど遅延は大きくなる。

これでカウンタの計数可能な周波数が決まる。



1段あたりの遅延を15nsであるFFを用いると、どの程度の周波数まで計測できるか？

4段構成では遅延 t_d は60ns
シフトパルスの周期をTとすれば

$$t_d < T = 1/f$$

$$f < 1/t_d = 16 \text{ MHz}$$

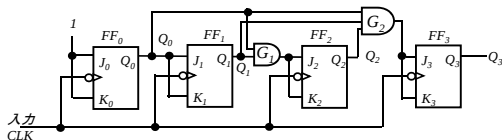
非同期式カウンタ

同期式2ⁿ進カウンタ

2ⁿ進カウンタ i番目のFFの出力が0→1、1→0となるのは...
i-1番目までのすべてのFFの出力が1で新たにパルスが入った時。

同期式16進カウンタ: CK入力により各FFが同時に動作する。

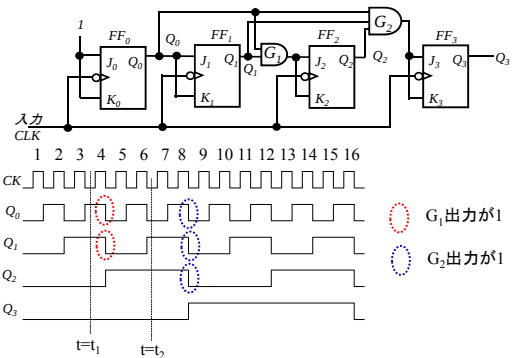
G_1, G_2 : 前段までのFF出力がすべて1の時、次段のJ,Kに1を入力



<問>このカウンタの遅延時間はどの程度になるか？

伝搬遅延時間: FF1段+ANDゲート1個の遅延の和のみ。

同期式2ⁿ進カウンタ



2ⁿ進カウンタの遅延時間

FFの遅延時間を15ns、ANDゲートの遅延時間を5nsとすると・・・

16進カウンタ

非同期式 4段構成なので全遅延 t_d は60ns

$$f < 1/t_d = 16 \text{ MHz}$$

同期式

4段構成であるが、遅延時間はFF1段分+ANDゲート1個
よって、全遅延時間 t_d は20ns

$$f < 1/t_d = 50 \text{ MHz}$$

5進カウンタ

FFの縦続接続では2ⁿ進カウンタしか構成できない。

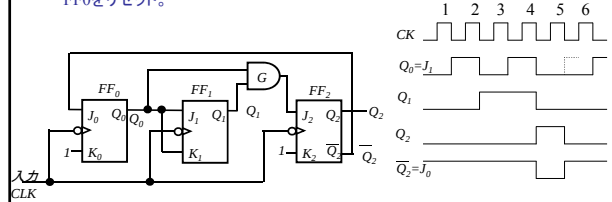
5進カウンタを実現するにはどうするか？

→ 入力パルスを5個計数した時点ですべてのFFをリセットする。

計数開始時は $Q_2=0, \overline{Q_2}=1$ であるからFF0は2進カウンタとして動作。

J_2 入力は Q_0, Q_1 がともに1の時(3個計数し時)に1となる。

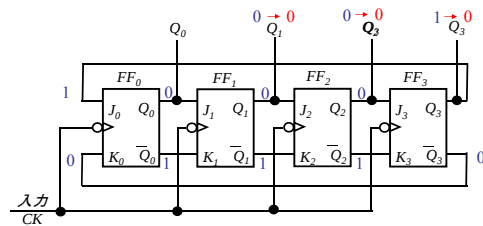
4個目のパルス計数時には $Q_2=1, \overline{Q_2}=0$ となり、 J_0 に0が入力され、
FF0をリセット。



リングカウンタ

n段のシフトレジスタでループを作り、1つの段だけを1にして、シフトパルスによりこの1の位置を順次移動させてパルスを計数。

n進のカウンタを実現するのにn個のFFが必要



アップカウンタ、ダウンカウンタ

