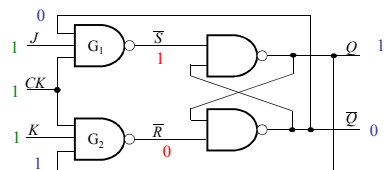


デジタル電子回路

第10回

JKフリップフロップの発振



Q=1, Q-bar=0で、CK=1, J=1, K=1の場合、
 $S'=\bar{S}=1$, $R'=\bar{R}=0 \rightarrow Q=0, \bar{Q}=1$ にリセットされる。
 この状態でCK=0となれば状態は保持されるが...CK=1が続くと...
 Q=0, Q-bar=1となり、CK=1, J=1, K=1であるので、
 $S'=\bar{S}=0$, $R'=\bar{R}=1$ となり、今度はQ=1 Q-bar=0 にセットされる。

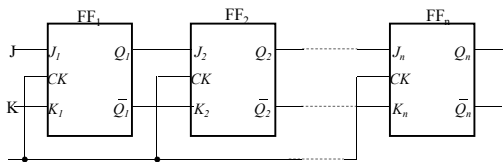
二つの安定状態を交互に繰り返し、安定点が定まらない。(発振)

JKフリップフロップのレーシング

フリップフロップを従属接続して、同一クロックで動作させる。

理想的には...CK=1となった瞬間に、各フリップフロップの出力によって次段のフリップフロップの出力が決まる。

CK=0とならないうちにFF1の出力が変化してしまうと、FF2は変化した後のFF1の出力によりその出力が決まる。



マスタースレーブJKフリップフロップ

発振やレーシングを防止するために...

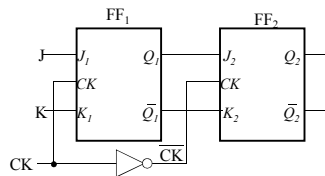
フリップフロップを2段構成にし、1段目をCKで、2段目をCKで動作させる。

1段目: CK=1で動作 マスタースレーブフリップフロップ (マスター: 主人)

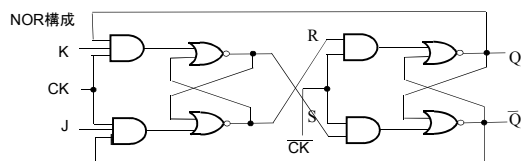
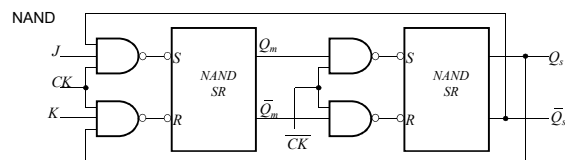
2段目: CK=1 (CK=0)で動作 スレーブフリップフロップ (スレーブ: 奴隷)

FF1とFF2はクロックパルスの立ち上がり時と立ち下がり時に交互に動作する。

情報伝達が確実に。

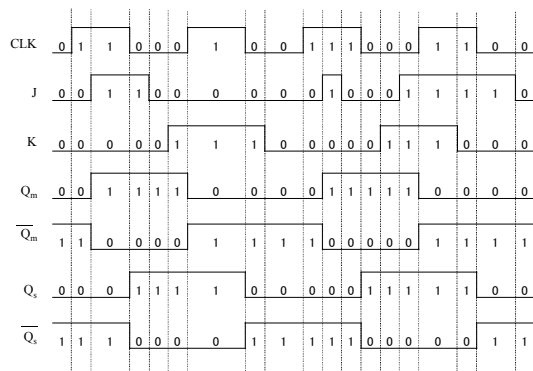


マスタースレーブフリップフロップ

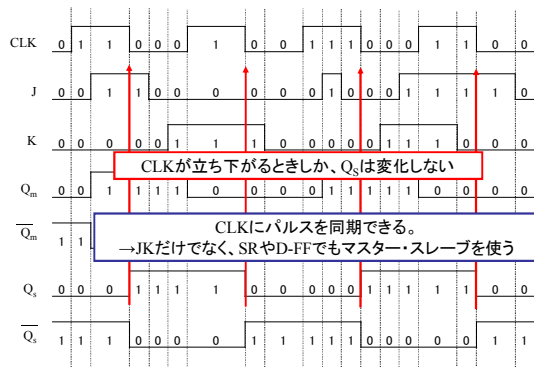


J=1でもQ=0のときしか次段に出力させないこの配線が発振を止める!

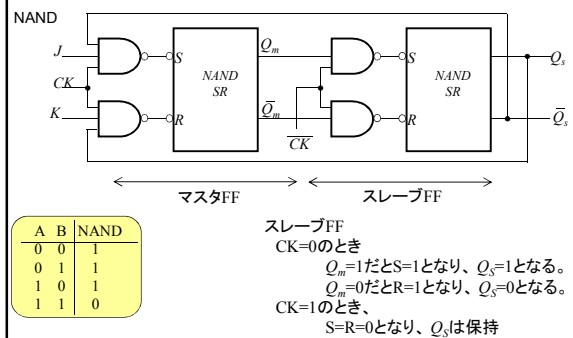
マスタースレーブフリップフロップ



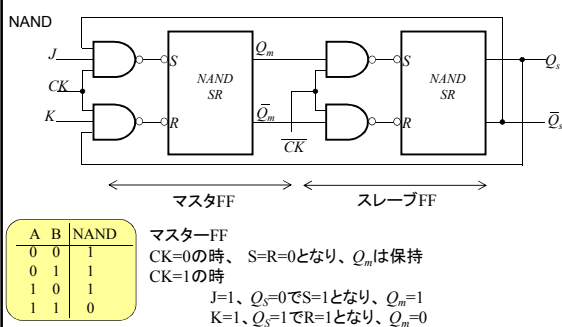
マスタースレーブフリップフロップ



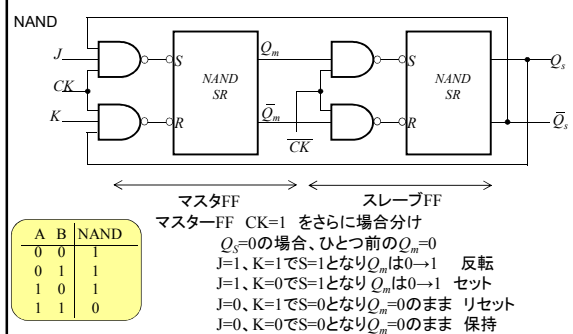
マスタースレーブフリップフロップ (NANDバージョン)



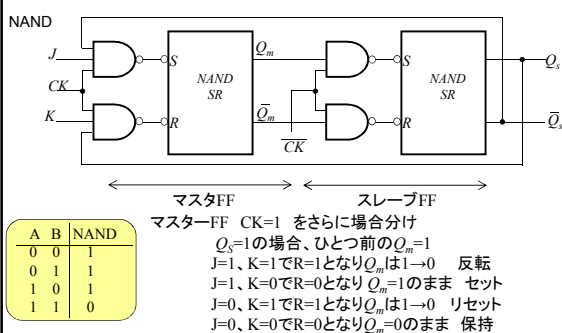
マスタースレーブフリップフロップ (NANDバージョン)



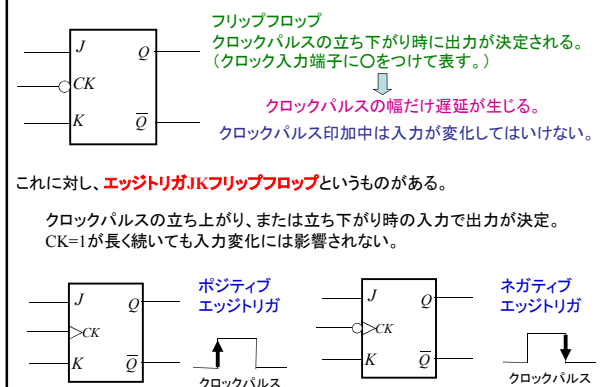
マスタースレーブフリップフロップ (NANDバージョン)



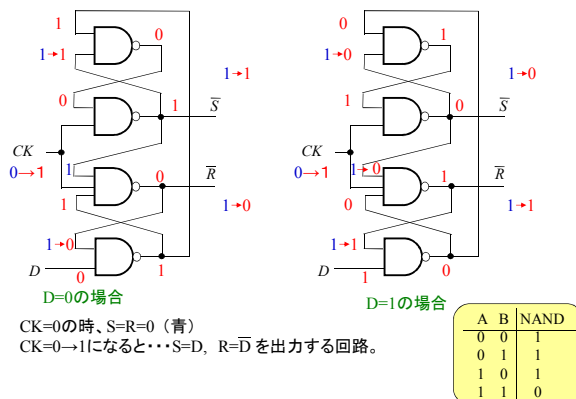
マスタースレーブフリップフロップ (NANDバージョン)



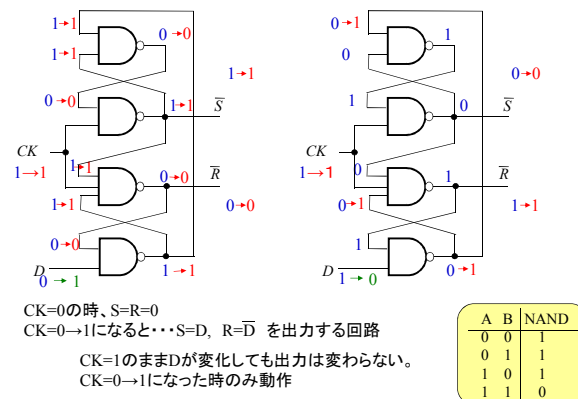
エッジトリガJKフリップフロップ



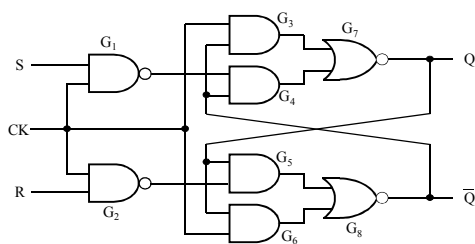
エッジトリガの実現



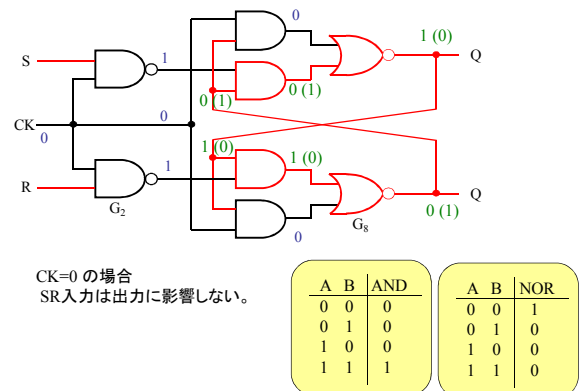
エッジトリガの実現



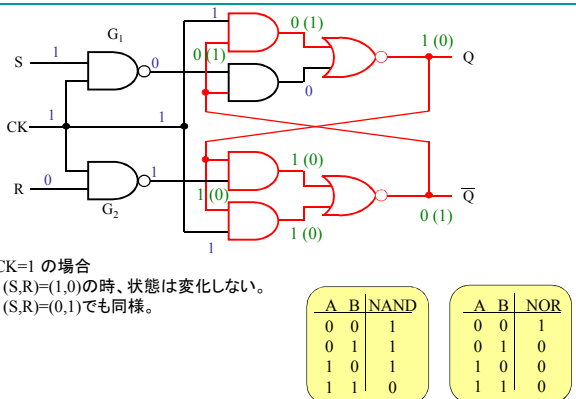
エッジトリガSRフリップフロップの構成例



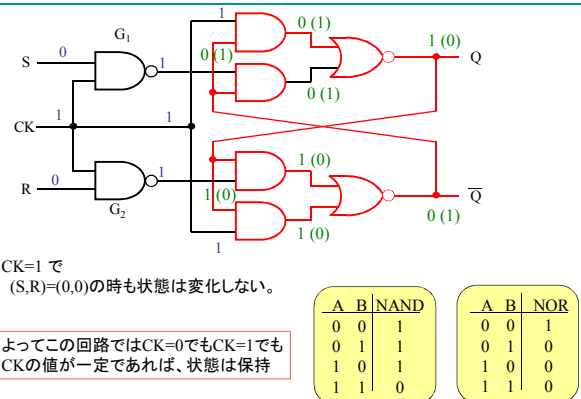
エッジトリガSRフリップフロップの動作(1)



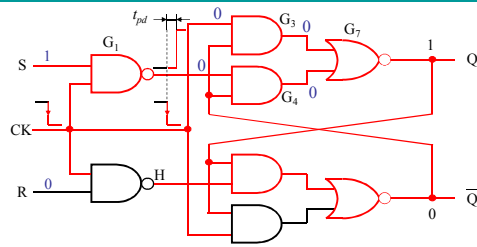
エッジトリガSRフリップフロップの動作(2)



エッジトリガSRフリップフロップの動作(3)

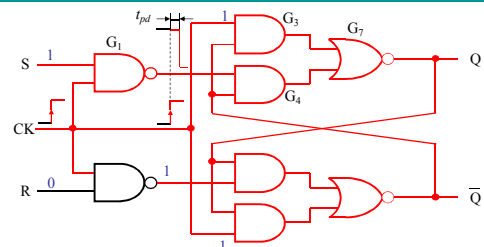


エッジトリガSRフリップフロップの動作(4)



CKが1から0に変化する時、(S,R)=(1,0)の入力があつた場合、G₁の出力はG₃に対するCK入力よりゲートの遅延時間 t_{pd} だけ遅れて現れる。
 $0 < t < t_{pd}$ の間では、G₁の出力は0のままであるから、G₃、G₄の出力は $\bar{Q}$ の値に関わらず、共に0となり、Q=1にセットされる。
 t_{pd} 経過後は、G₁のNANDゲートの出力が立ち上がり、1がG₄に入力され、FFは状態を保持する。

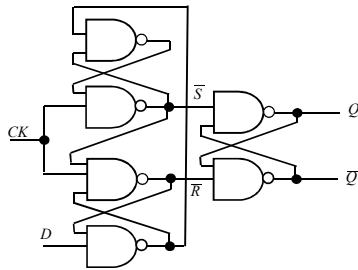
エッジトリガSRフリップフロップの動作(5)



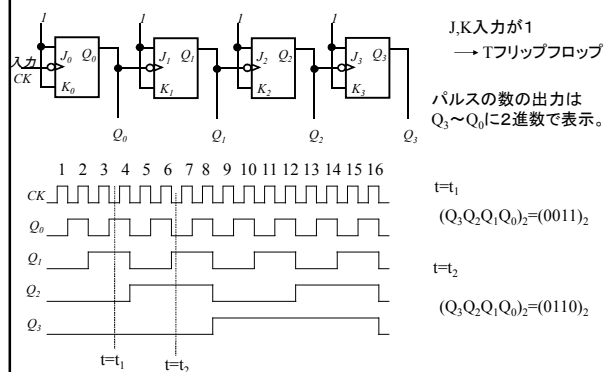
CKが0→1と変化する場合。
G₁の出力は t_{pd} だけ遅れてG₄に入力されるが、CK=1がG₃に入力されており、 $\bar{Q}$ がG₇のNORゲートに入力された状態となり、出力は変化しない。

ポジティブエッジトリガDフリップフロップ

いままでのNANDの概念でつくと



カウンタ 16進カウンタの例

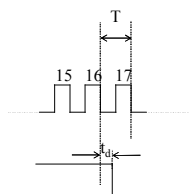


リプルカウンタ

入力側のフリップフロップから、順次パルスが送られることにより動作。

後段になるほど遅延は大きくなる。

これでカウンタの計数可能な周波数が決まる。



1段あたりの遅延を15nsであるFFを用いると、どの程度の周波数まで計測できるか？

4段構成では遅延 t_d は60ns

シフトパルスの周期をTとすれば

$$t_d < T = 1/f$$

$$f < 1/t_d = 16 \text{ MHz}$$

非同期式カウンタ

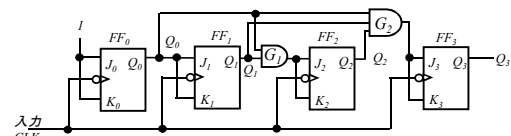
同期式2ⁿ進カウンタ

2ⁿ進カウンタ i番目のFFの出力が0→1、1→0となるのは...

i-1番目までのすべてのFFの出力が1で新たにパルスが入った時。

同期式16進カウンタ: CK入力により各FFが同時に動作する。

G₁, G₂: 前段までのFF出力がすべて1の時、次段のJ,Kに1を入力



<問>このカウンタの遅延時間はどの程度になるか？

伝搬遅延時間: FF1段 + ANDゲート1個の遅延の和のみ。

同期式2ⁿ進カウンタ

2ⁿ進カウンタの遅延時間

FFの遅延時間を15ns、ANDゲートの遅延時間を5nsとすると・・・

16進カウンタ

非同期式

4段構成なので全遅延 t_d は60ns

$$f < 1/t_d = 16 \text{ MHz}$$

同期式

4段構成であるが、遅延時間はFF1段分+ANDゲート1個
よって、全遅延時間 t_d は20ns

$$f < 1/t_d = 50 \text{ MHz}$$

5進カウンタ

FFの縦続接続では2進カウンタしか構成できない。

5進カウンタを実現するにはどうするか？

→ 入力パルスを5個計数した時点ですべてのFFをリセットする。

計数開始時は $Q_2=0, \overline{Q_2}=1$ であるからFF0は2進カウンタとして動作。

J_2 入力に Q_0, Q_1 がともに1の時(3個計数し時)に1となる。

4個目のパルス計数時には $Q_2=1, \overline{Q_2}=0$ となり、 J_0 に0が入力され、FF0をリセット。

Timing Diagram:

- CLK: 6 clock pulses.
- $Q_0 = J_0$: Square wave, high for odd clock cycles.
- Q_1 : Square wave, high for clock cycles 2, 4, 6.
- Q_2 : Square wave, high for clock cycles 3, 4, 5, 6.
- $\overline{Q_2} = \overline{Q_0}$: Inverted square wave of Q_0 .

リングカウンタ

n 段のシフトレジスタでループを作り、1つの段だけを1にして、シフトパルスによりこの1の位置を順次移動させてパルスを計数。

n 進のカウンタを実現するのに n 個の FF が必要

入力 CK

アップカウンタ、ダウンカウンタ