Oct. 15 and 17, 2014

電気電子基礎学「集積回路分野」

1. 進化する集積回路技術
2. 変貌する通信技術における集積回路技術

Kazuya Masu
ICE Cube Center
Frontier Research Center
Precision and Intelligence Laboratory
Dept. Electronics and Applied Physics
Tokyo Institute of Technology

益　一　哉
異種機能集積研究センター
フロンティア研究機構
精密工学研究所
大学院・物理電子システム創造専攻
東京工業大学

Tel & Fax: 045-924-5010 Email: masu.k.aa@m.titech.ac.jp,
http://masu-www.pi.titech.ac.jp/~masu/index-j.html

Green ICE Tokyo Tech Information Communication Energy
Semiconductor Solution Research

TOKYO TECH Pursuing Excellence

Agenda

TOKYO TECH
Pursuing Excellence

- 集積回路技術における微細化（Miniaturization)の学術的技術的意義だけではなく、経済的社会的な意義を理解する。これからの集積回路技術の社会におけるimpactを考えるきっかけとする。
- 集積回路の中身については、さわりを述べる。
- 集積回路のこれまでの発展をSurveyする。
- 次の展開について、考察してみる。
- 途中で脱線？
  - Astonishment （驚き）
  - Disruptive Innovation（破壊的イノベーション）

Outline

TOKYO TECH
Pursuing Excellence

1. はじめに
2. 集積回路基礎
3. 周波数利用
4. LSIと通信技術

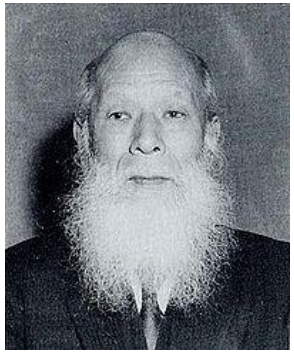
Outline

TOKYO TECH
Pursuing Excellence

1. はじめに
2. 集積回路基礎
3. 周波数利用
4. LSIと通信技術

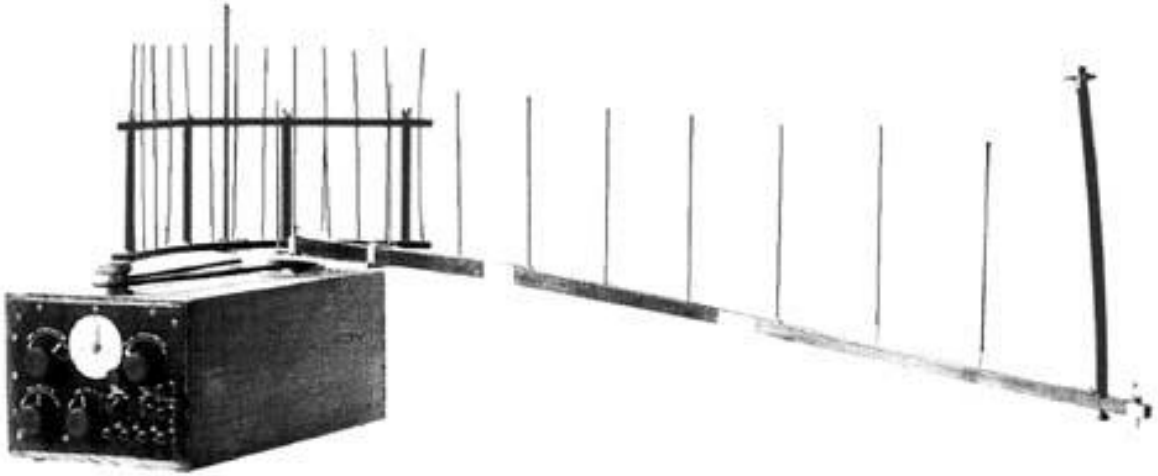
八木・宇田アンテナ

- 何本かの直線状の金属導体を平行に配列した八木・宇田アンテナは、大正末期（1925年）に東北大学電気通信研究所の八木秀次博士と宇田新太郎博士によって発明された。
- 右下写真は八木・宇田アンテナを使用した波長45cmのUHF帯の送受信機。1929年に仙台と大鷹森の間、約20kmの通信に成功。翌1930年にベルギーで開催された万国博覧会に出品されている。（現在、東北大通研にレプリカが展示）



八木秀次

宇田新太郎

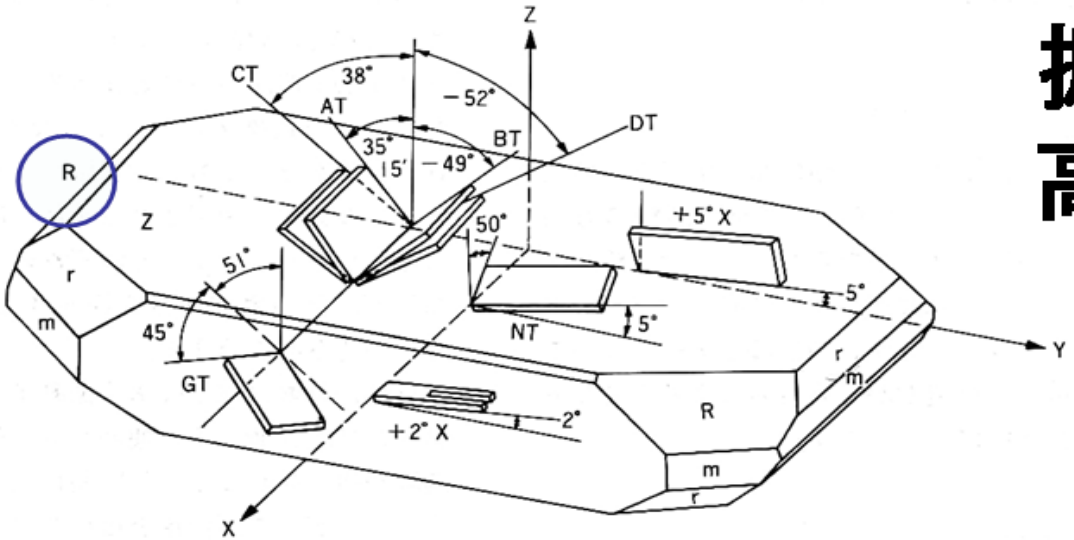


http://www.riec.tohoku.ac.jp/antenna/index.html

周波数は財産である。

八木・宇田アンテナの研究に対するIEEE（米国電気電子学会）の記念碑（東北大学片平構内）

水晶振動子の高安定化



http://www.qiaj.jp/pages/frame20/page01.html#sec_01

振動子の高安定化

勲一等受章時の古賀博士（1970年）

創立まもない東京工業大学電気工学科の古賀逸策（こが いっさく）は、恒温槽を必要としない水晶振動子を発見した。R1、R2板（AT、BT）である。1932（昭和7）年秋のことであった。　今や、水晶振動子は不可欠。

幾多の技術、多数の先人の肩にのり、さらに高みへ

http://jp.fujitsu.com/about/journal/offtime/japanesespirits/20081104/

古賀逸策：東京工業大学電子工学研究所（→電気科学研究所→現・精密工学研究所）

MOSFET

- MOSFETは、現代の集積回路（Integrated Circuit, **IC**）を構成する主要な3端子機能デバイス（device)ある。
- 集積回路は、MOSFETやダイオードの他、キャパシタ、抵抗、インダクタが構成され、金属配線により接続されている。

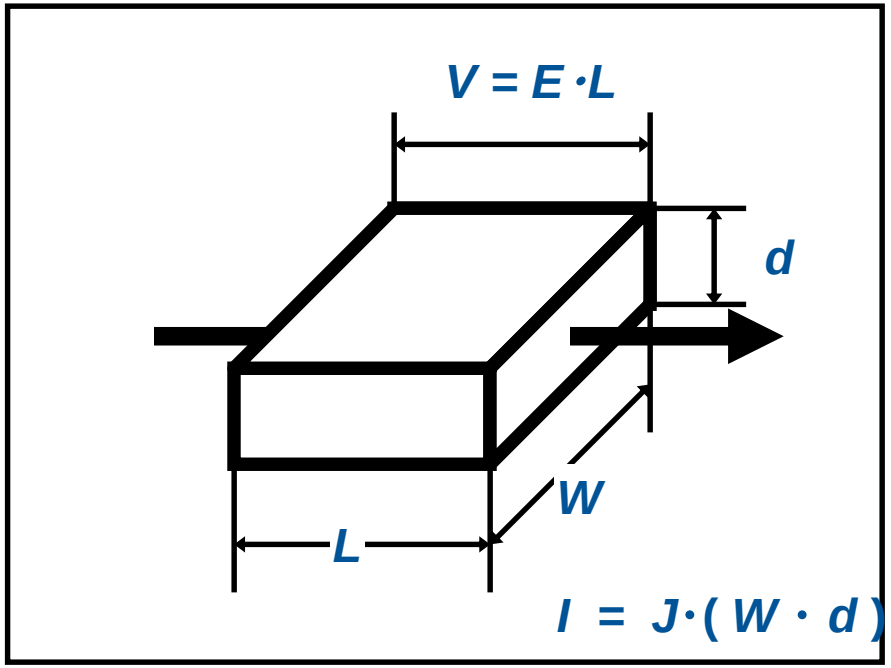
金属、半導体、絶縁体

		抵抗率
導　体　conductor		10^{-6} – 10^{-4} [Ωcm]
半導体　semiconductor		10^{-4} – 10^{4} [Ωcm]
絶縁体　insulator		10^{6} – 10^{14} [Ωcm]

$$J = \sigma E \quad or \quad E = \rho J$$

J : 電流密度　(A/cm^2)
E: 電界強度　(V/cm)

σ : 導電率(conductivity)
ρ : 抵抗率(resistivity)
$\rho = 1/\sigma$



金属と半導体

TOKYO TECH Pursuing Excellence

- 金属
  - 金属原子の束縛を解かれた電子（自由電子）が伝導に寄与する。
  - 電子の数≒原子数
- 半導体（Si）
  - p形とn形
  - p形では正電荷を持つ正孔（hole）、n形では負電荷をもつ電子（electron）が電気伝導に寄与する。
  - 伝導形、正孔や電子濃度は不純物及びその量により制御できる。正孔（電子）濃度は、10^{15}～10^{21} cm^{-3}程度。

「金属と半導体」 それ以前

TOKYO TECH Pursuing Excellence

- 数学
  - 数学は勉強しておくに超したことはない。数学が得意なはず。
  - 高木貞二「解析概論」、寺沢寛一「数学概論（基礎編・応用編）」
- 物理、化学
  - Feynmanの物理は読んでおくと何かと良い。
  - 化学も勉強しておいて、損はない。LSIプロセスをやるときに役立つ。
- 電気磁気学
  - 一度勉強してわかると思うな。奥が深い。
  - 単純に見えても、未だに解けない問題もある。
- 電気回路関係
  - 直流回路、交流回路、過渡現象論、三相交流、回路理論、伝送線路論、等々
  - これも、一度勉強してわかると思うな。奥が深い。

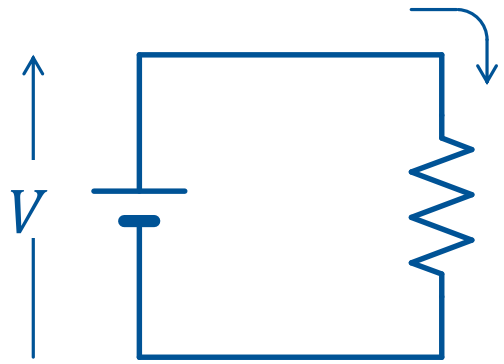
世に名著あり。名著が名著であるとわかると、嬉しくなる。

「金属と半導体」その後の展開

TOKYO TECH Pursuing Excellence

- 電気物性・電子物性の講義
  - 物理学（量子力学や統計力学）を基礎として、①金属の電気伝導、②半導体のバンド構造、③半導体中の電子や正孔の伝導、③pn接合での非線形特性が生じることを理解する。
- 電子デバイスの講義
  - npnやpnp構造のバイポーラトランジスタ、MOS構造トランジスタの特性を理解する。メモリの基礎程度は学ぶ。
- 電子回路
  - トランジスタを利用した増幅回路、発振回路、OpAmpの動作を理解する。
- 集積回路工学
  - デジタル回路、アナログ回路、回路レイアウト、集積プロセス等々を学ぶ。
- 数学が基礎となる情報理論、デジタル信号処理や通信工学に基づいて構成されるシステムを実現するためには集積回路が必須。

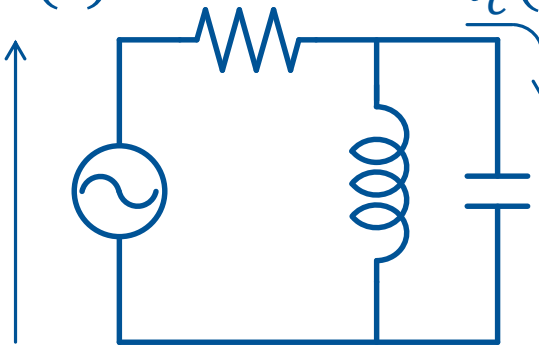
電気回路



$$I = \frac{V}{R}$$

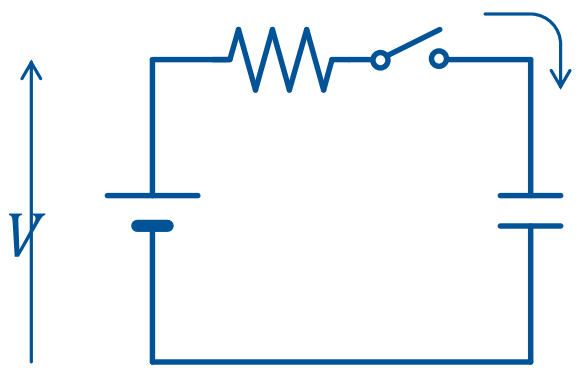
$$v(t) = Ve^{j\omega t}$$

$$i_c(t) = I_c e^{j(\omega t+\varphi)}$$

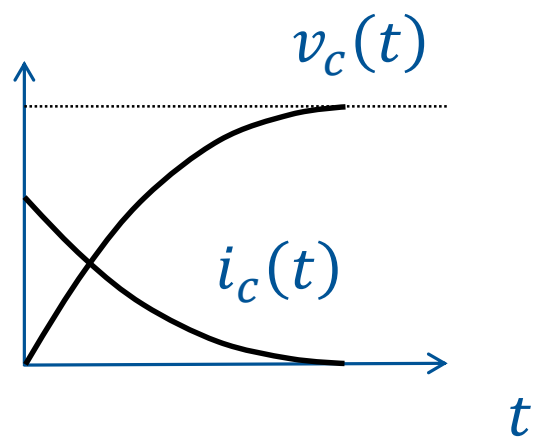


$$\dot{I}_c = \frac{\dot{V}}{R + \dfrac{1}{j\omega C + \dfrac{1}{j\omega L}}}$$

$$i_c(t) = I_c e^{j(\omega t+\varphi)}$$



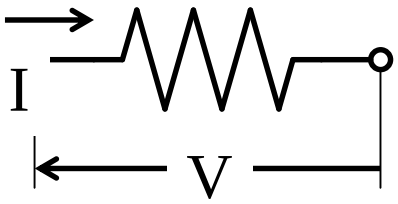
$$i(t) = \frac{V}{R} e^{-\frac{t}{RC}}$$

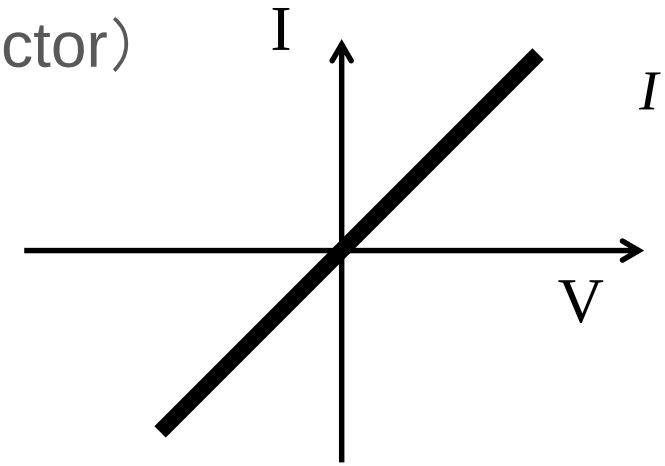


$$v_c(t) = V\left(1 - e^{-\frac{t}{RC}}\right)$$

2端子の線形回路素子

- 高校や基礎回路で学ぶ回路理論は「線形回路理論」であり、出てくる回路素子は「線形回路素子」である。
- 線形回路素子の特性は、平面上の「原点を通る1本の直線」で表現される。
  - 線形抵抗（resistor
  - 線形キャパシタ（capacitor）
  - 線形インダクタ（inductor）

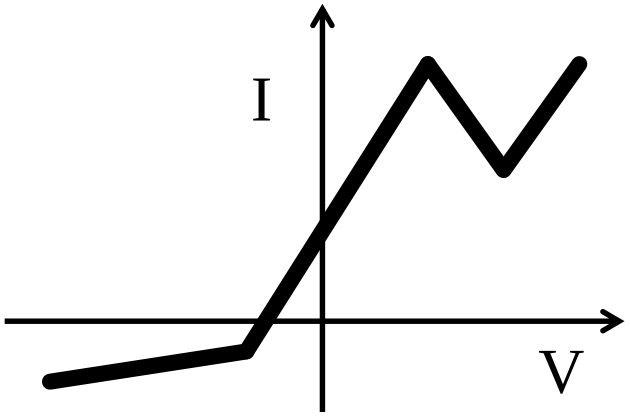




$$I = V/R,\ I = GV$$

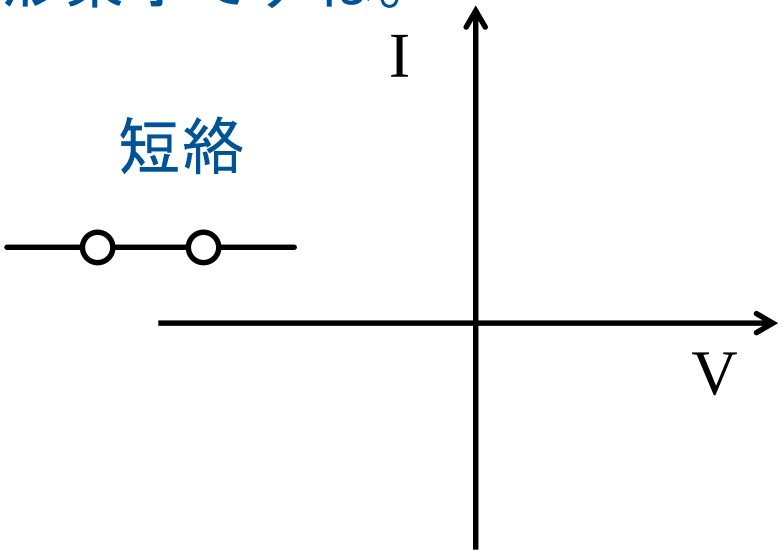
2端子非線形素子

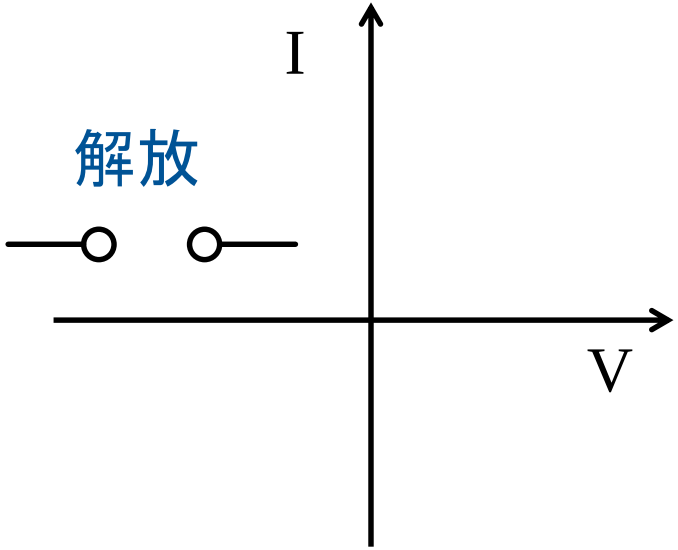
- 非線形（nonlinear）回路素子の特性は、平面上の1本の曲線で表される。
  - 直線も含まれる
  - 原点を通らなくて良い

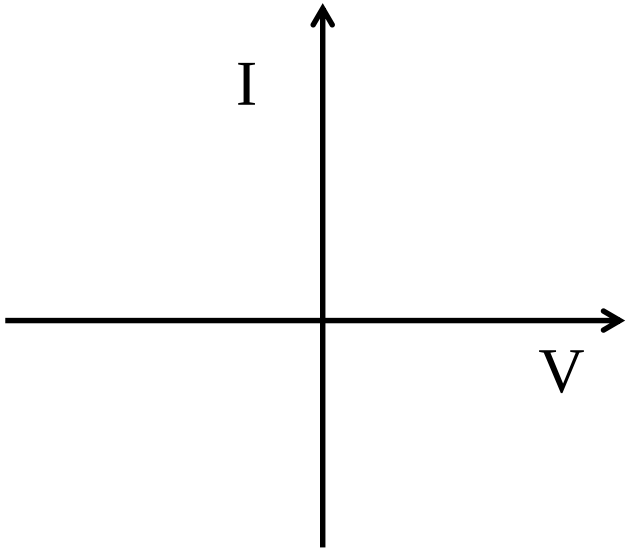


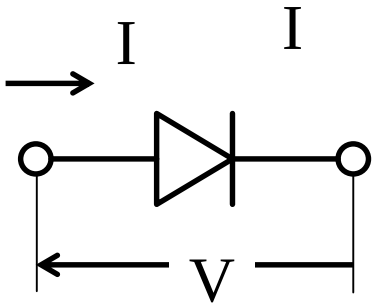
2端子非線形素子

線形素子ですね。



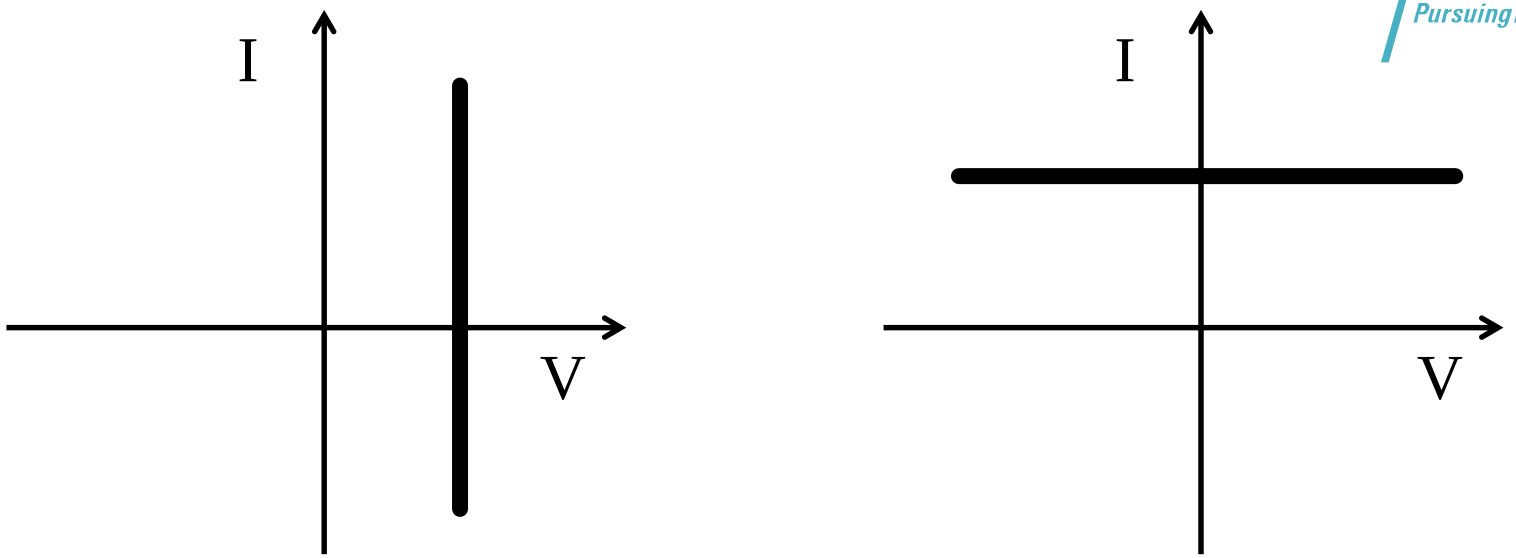






整流器（diode）

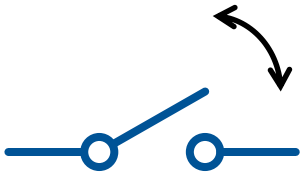
ところでこれは何でしょうか？



電圧源の特性は、I-V平面上のI軸に平行な一本の直線で表現されるので、非線形抵抗器の一種である。電流源も同様。

時間不変回路素子と時間変化回路素子

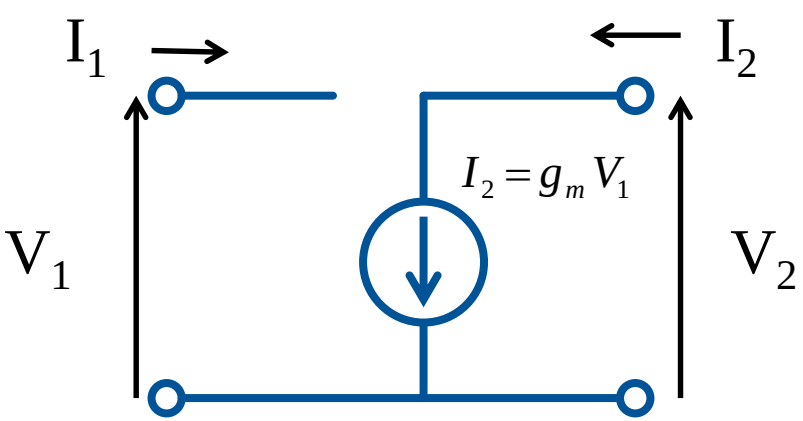
- 「時間不変回路素子」は、特性が時間に依存しない。
- 「時間可変素子」は、特性が時間とともに変わる。
  - 出力が時間とともに変化する電源は、時間変化抵抗器の一種
  - スイッチは、線形時間変化抵抗器



多端子素子と制御電源

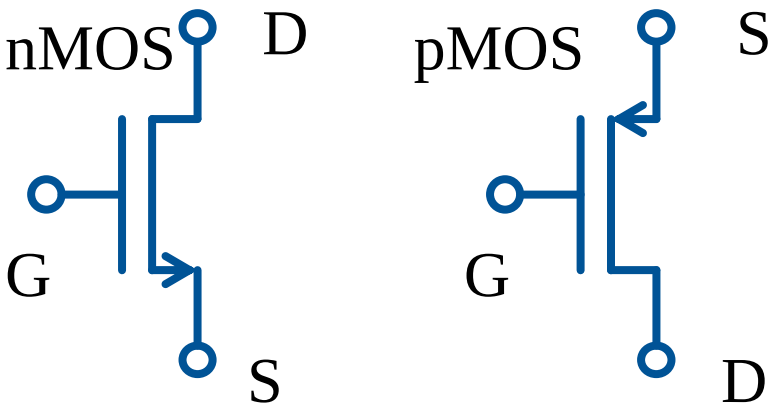
- 多端子素子：端子が3つ以上ある回路素子
- 制御電源(Controlled source, 従属電源)
  - 3端子素子の一種
  - 基本的には電源（（電圧源または電流源）であるあるが、その出力（電圧または電流）が、制御端子への入力（電圧または電流）に依存する。
- 電圧制御電流源
  - 入力：V_1
  - 出力：I_2
  - 比例係数 g_m（相互コンダクタンス）

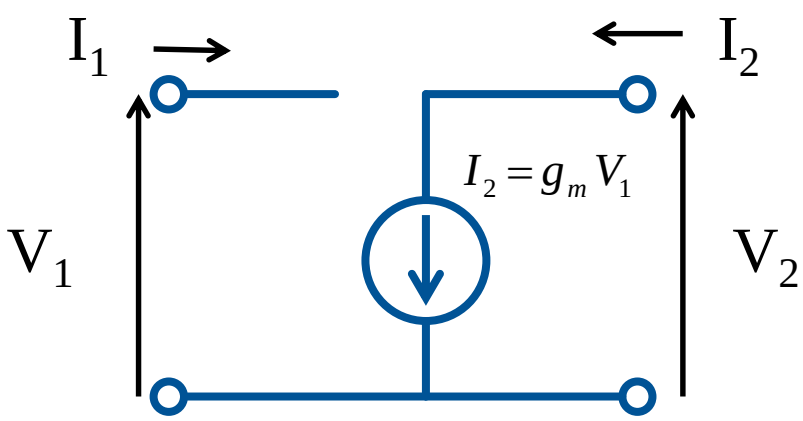
$$I_1 = 0, \quad I_2 = g_m V_1$$



Transistor　語源 : Transfer resistor

- トランジスタは、三端子制御抵抗器の一種で半導体で出来てているもの。
  - 制御端子への入力で抵抗を変化させることができる。
- MOSトランジスタ
  - Gateが制御端子、
  - Drain/Source間が可変抵抗器
  - 挙動は「電圧制御電流源
  - Gate電圧を時間的に変化させれば、Drain/Souce間は時間変化抵抗器





半導体デバイスの位置づけ

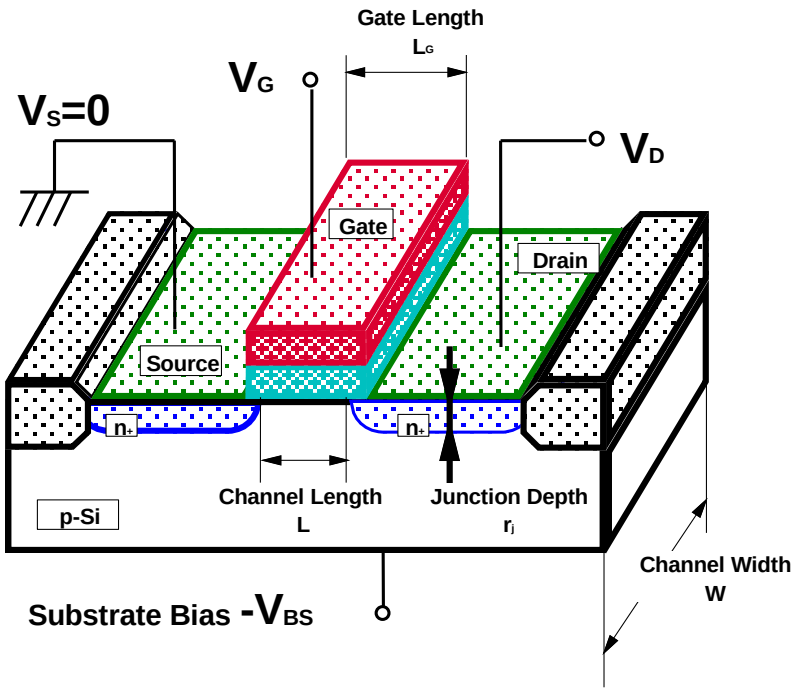
TOKYO TECH Pursuing Excellence

- 半導体デバイスは「非線形回路素子」の一種
  - ダイオードは非線形2端子抵抗器（通常は時間不変素子）
  - トランジスタは非線形多端子抵抗器（多くの場合、時間変化させて使う）
- ダイオードやトランジスタなどの（回路論的意味での）機能だけに着目した場合、これらのデバイスが「半導体」でできていなければならない理由はない
  - かつては同等の機能が各種の「真空管」で実現されていた
- しかし、素子と回路の寸法、作りやすさ、値段、消費電力、寿命、・・・などまで考慮すると、これらのデバイスが「半導体」でできていることに大きな意味がある
- 「電子回路」という言葉は、回路の構成要素に電子デバイス（≈半導体デバイス）が含まれることを含意する
  - これに対して「電気回路」という言葉は、部品の素性について積極的には何も言ってない回路論的な機能に関する限り、包含関係は

    「線形電気回路⊂電子回路⊂電気回路（=非線形電気回路）」

Courtesy of Prof. S. Amakawa, Hirosima Univ.

MOSFET （構造）



Metal Oxide Semiconductor Field Effect Transistor

MOSFET（n チャネル）の構成要素

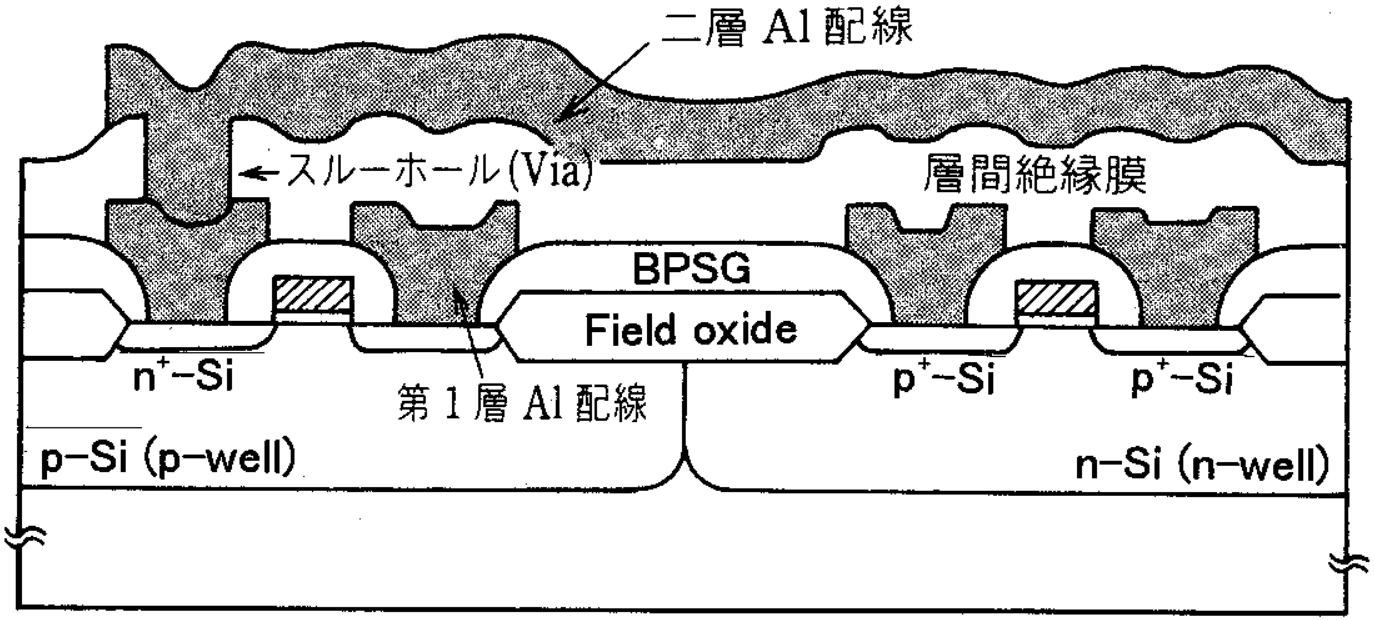
基板	p 形 Si
ソース・ドレイン	n 形 Si
ゲート酸化膜	SiO_2
ゲート電極	昔　：Al（金属） 現在：今多結晶 Si これから　？

MOSFET の動作

- ソース・ドレイン間に流れる電流をゲート電圧で制御するデバイス。
- しきい値電圧以上のゲート電圧を印加すると反転チャネル層が形成され、ソース・ドレイン間に電流が流れる

→ デジタル論理集積回路では、スイッチ

Si CMOS集積回路の断面



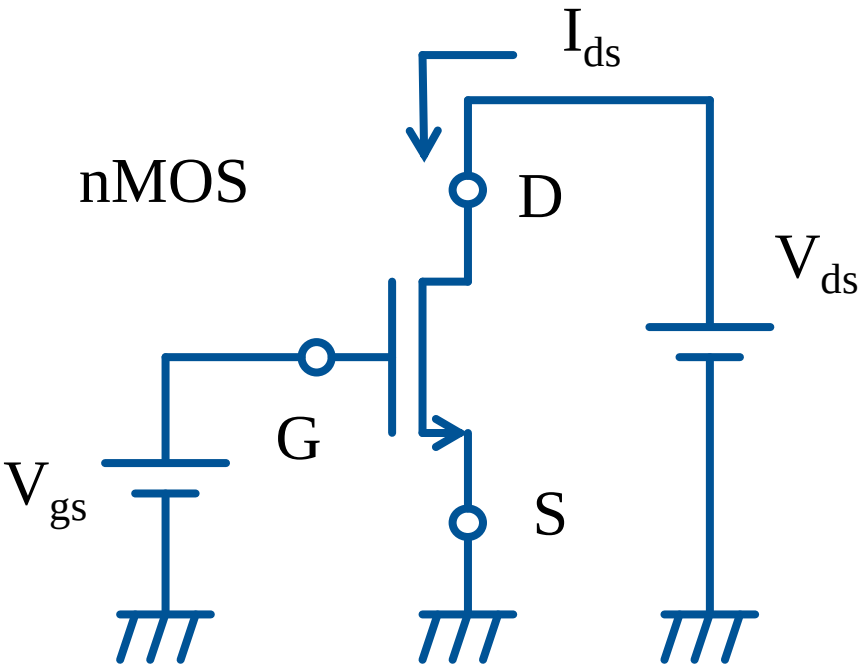
- 集積回路は、Si基板上に
  MOSFET（基本デバイス）、抵抗、容量
  が形成され、
  金属配線で接続されている。
- これら基本要素は、電気的に絶縁されている。

MOSFET電流電圧特性

$$I_{DS} = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS} - V_{th}\right)V_{DS} - \frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS} - V_{th} \qquad (5)$$

$$I_{DS} = \frac{1}{2}\frac{W}{L}\mu C_{ox}\left(V_{GS} - V_{th}\right)^2 \quad V_{DS} > V_{GS} - V_{th} \qquad (6)$$

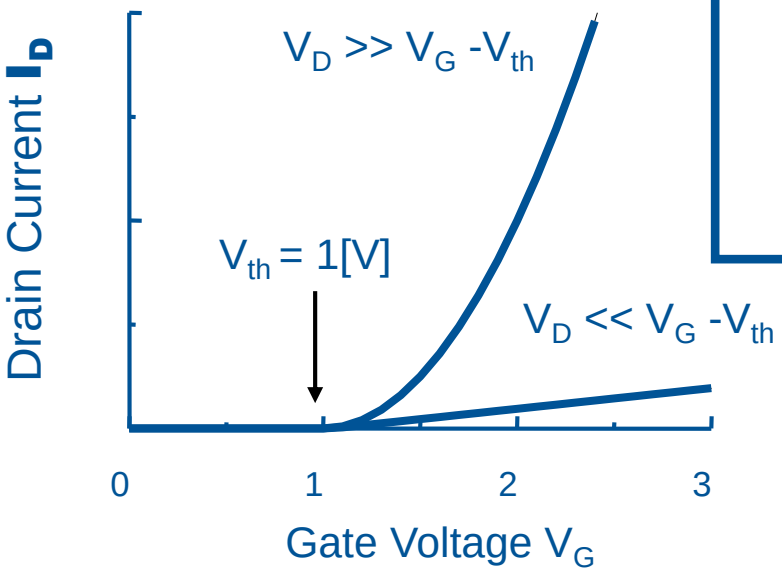
- V_{th}:閾値電圧
- W:ゲート幅
- L:ゲート長
- μ:　移動度
- C_{ox}:酸化膜容量

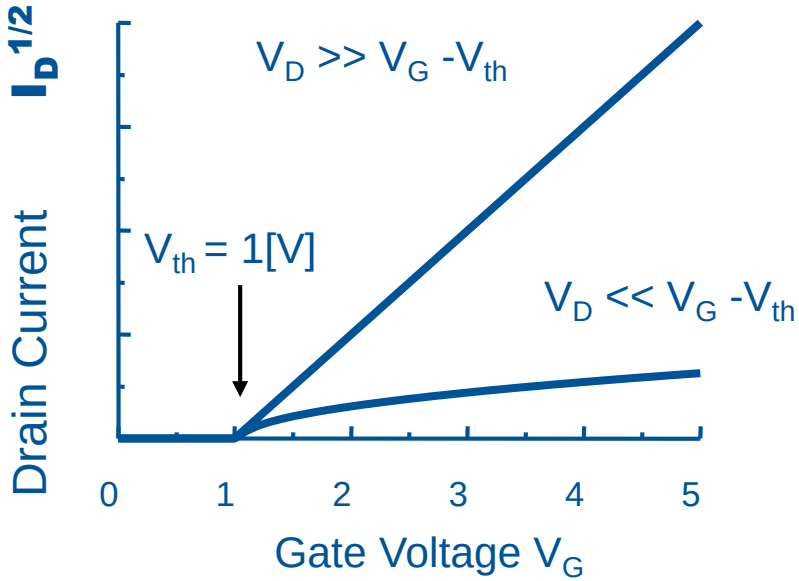


I_D-V_G特性

$$I = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS} - V_{th}\right)V_{DS} - \frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS} - V_{th} \qquad (5)$$

$$I = \frac{W}{L}\mu C_{ox}\left(V_{GS} - V_{th}\right)^2 \quad V_{DS} > V_{GS} - V_{th} \qquad (6)$$





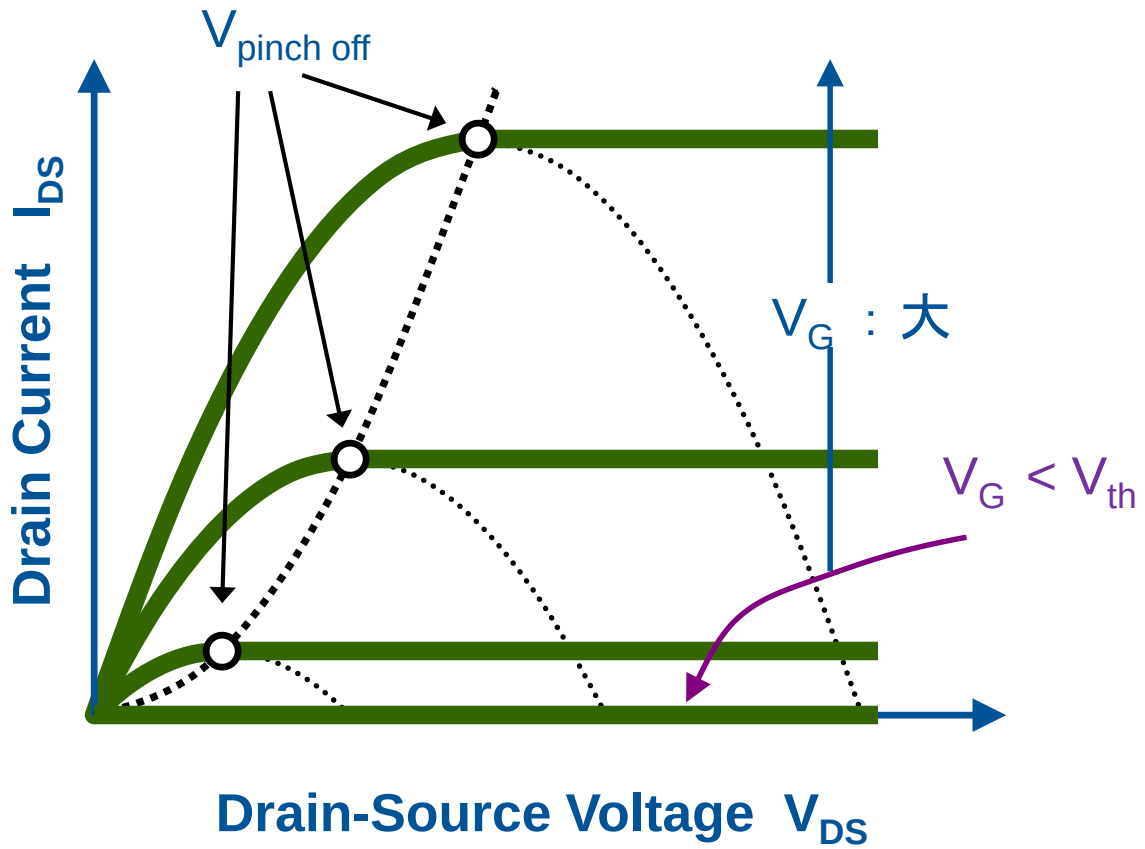
閾値電圧以上のゲート電圧が加わると、ドレイン電流が流れる。

ゲート電圧が加わると導通するスイッチと考えることができる。

長チャネルMOSFETの電流ー電圧特性(3)

$$I = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS} - V_{th}\right)V_{DS} - \frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS} - V_{th} \qquad (5)$$

$$I = \frac{1}{2}\frac{W}{L}\mu C_{ox}\left(V_{GS} - V_{th}\right)^2 \quad V_{DS} > V_{GS} - V_{th} \qquad (6)$$

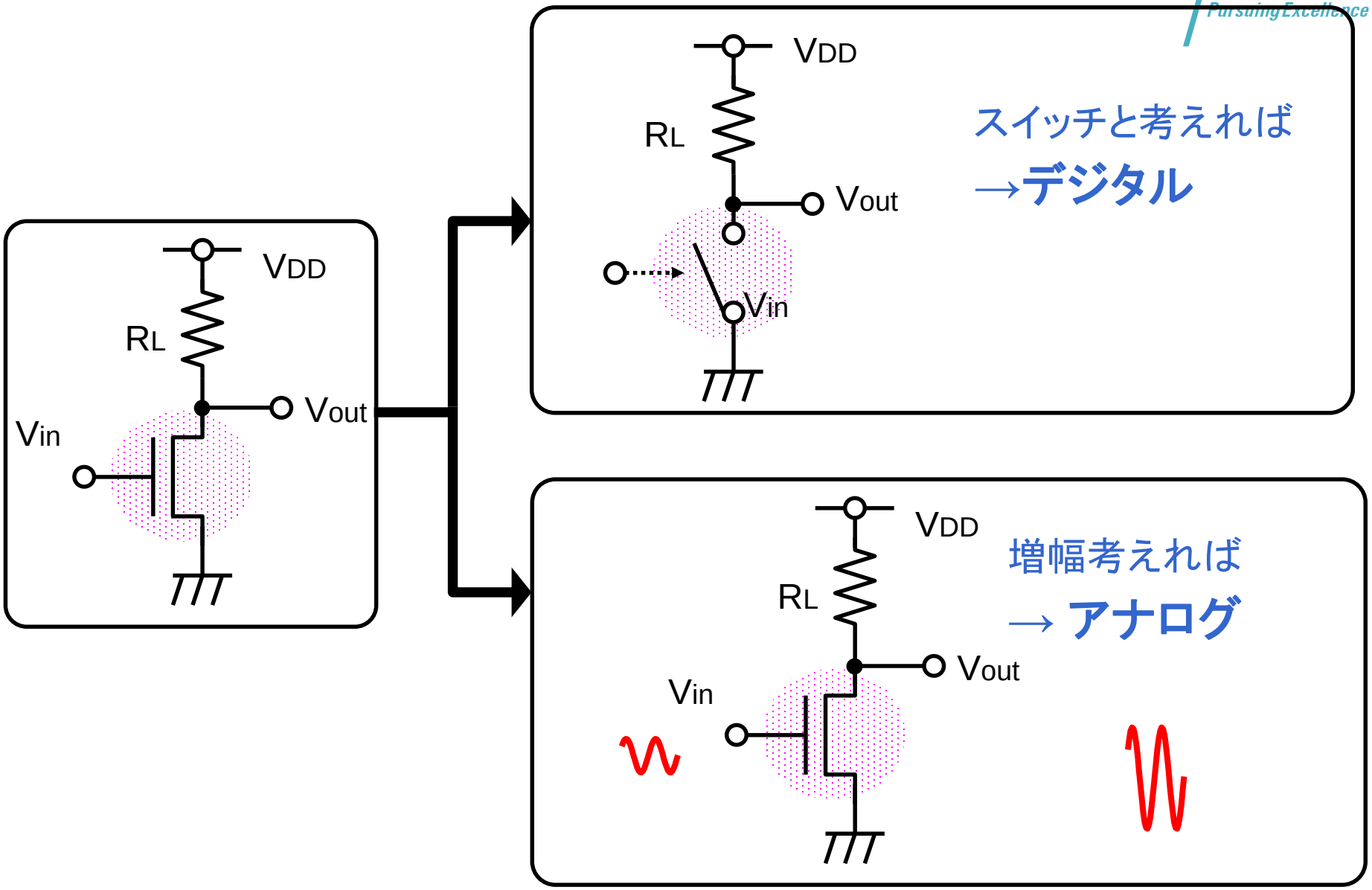


(5)式、(6)式は、どこに相当するか。

ピンチオフ以上の電圧を印加しても電流は減少せず、飽和する。

何故、飽和するのかは電子デバイスの講義

集積回路の基礎の基礎


VDD
RL
Vout
Vin
VDD
RL
Vout
Vin
スイッチと考えれば
→デジタル
VDD
RL
Vout
Vin
増幅考えれば
→ アナログ

MOSFET回路の基礎中の基礎

$$I = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS} - V_{th}\right)V_{DS} - \frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS} - V_{th} \qquad (5)$$

$$I = \frac{1}{2}\frac{W}{L}\mu C_{ox}\left(V_{GS} - V_{th}\right)^2 \quad V_{DS} > V_{GS} - V_{th} \qquad (6)$$

$$V_{th} = 0.45\ [\mathrm{V}]$$

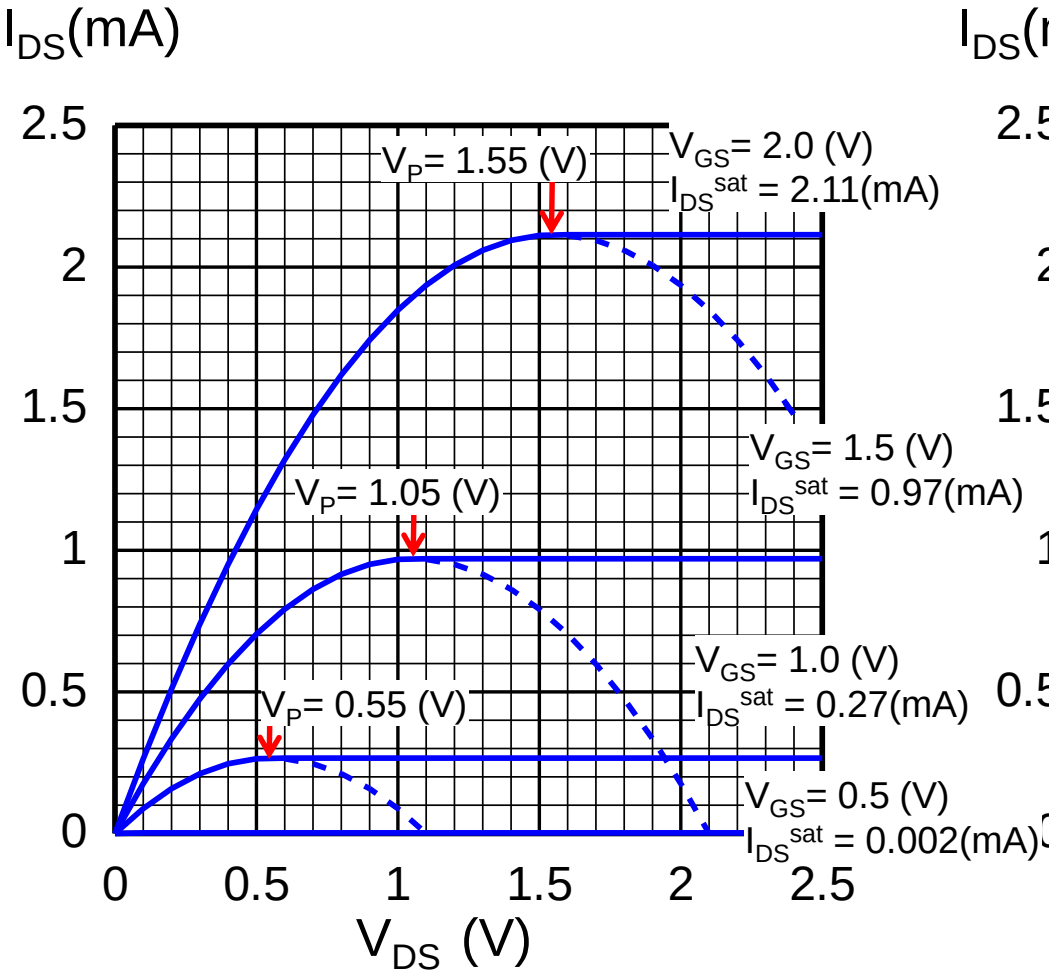
$$\frac{W}{L} = 8$$

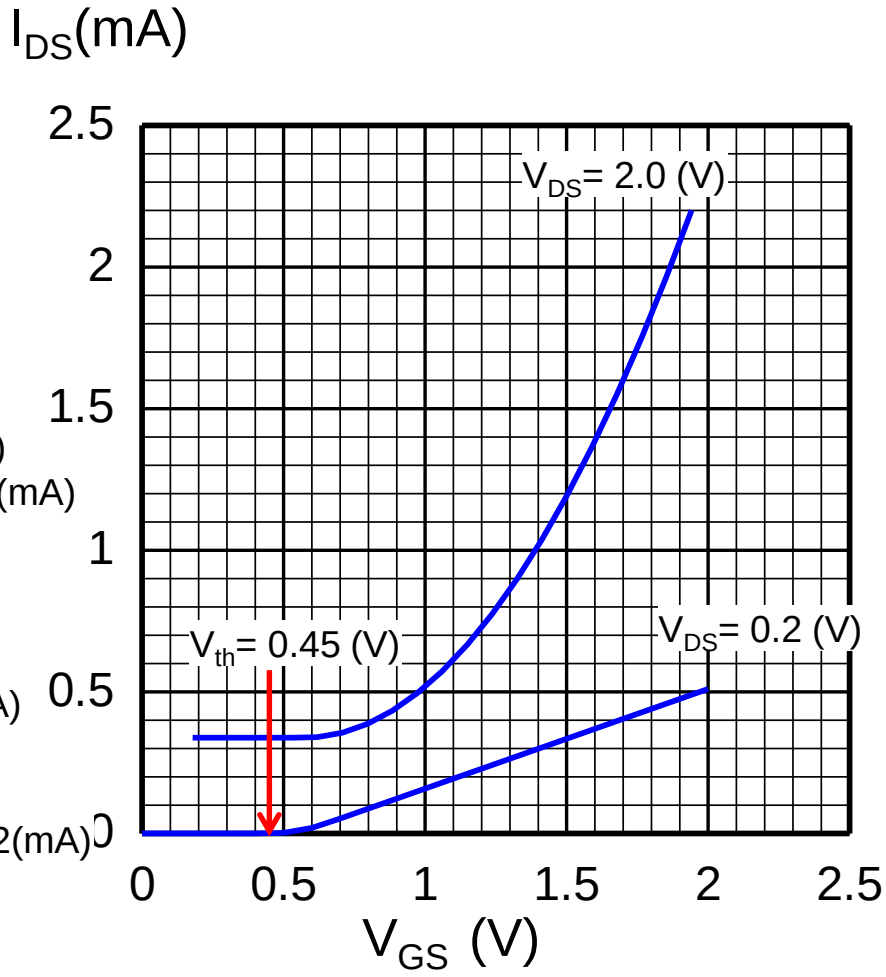
$$\mu C_{ox} = 220\ [\mu\mathrm{A/V^2}]$$

- 宿題　左の数値を利用して、以下の特性を方眼紙にプロットせよ。

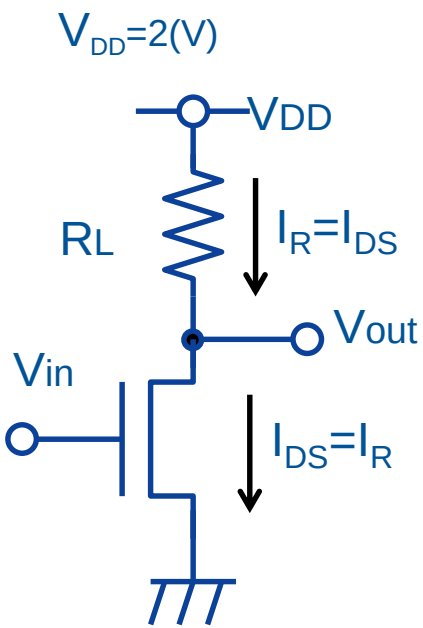
1. Vg= 0.5, 1.0, 1.5, 2.0Vとしたときの、I_{ds}-V_{ds}特性（V_{ds}は0から2Vとする）
2. V_{ds}=0.2、2.0VとしたときのI_{ds}-V_{gs}特性（V_{gs}は0から2Vとする）

MOSFETの電流電圧特性（宿題の答え）

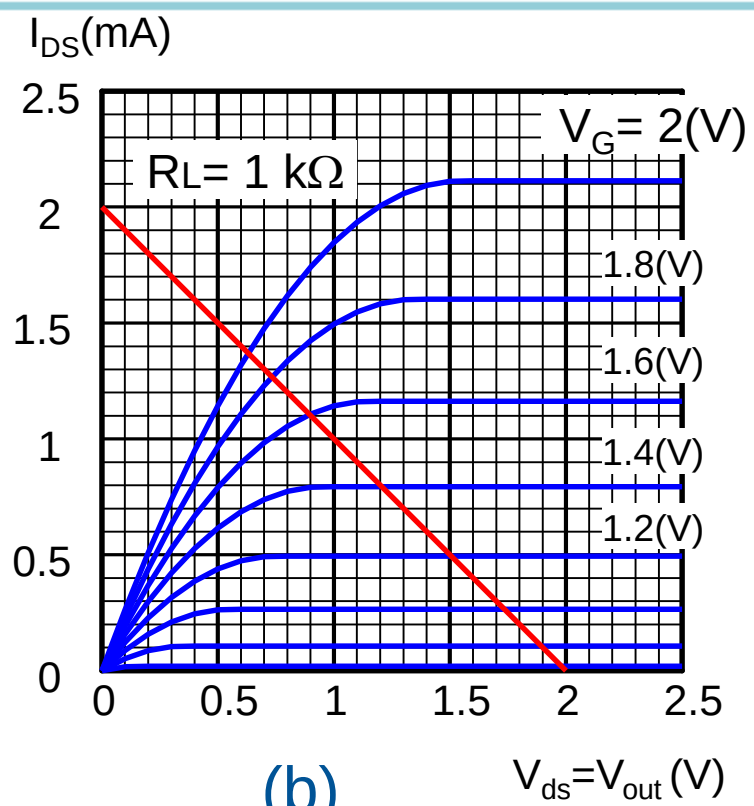




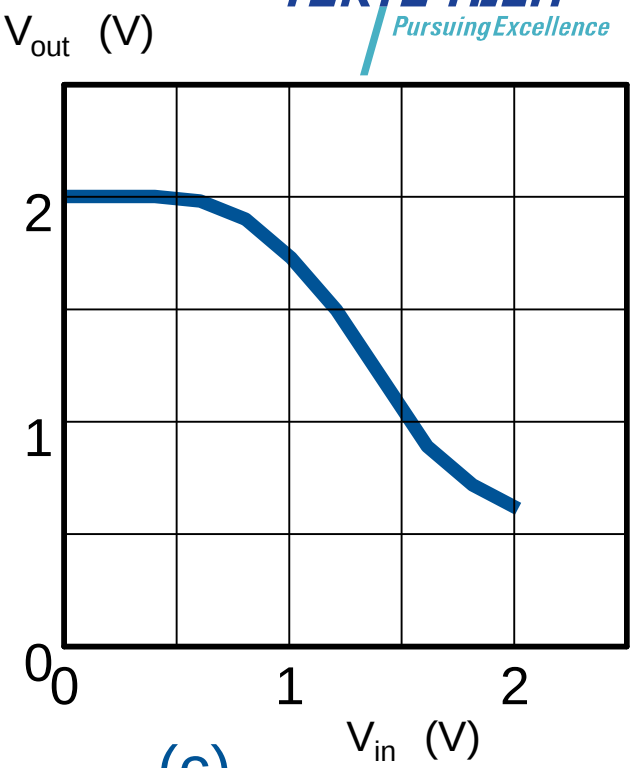
MOSFET回路



(a)



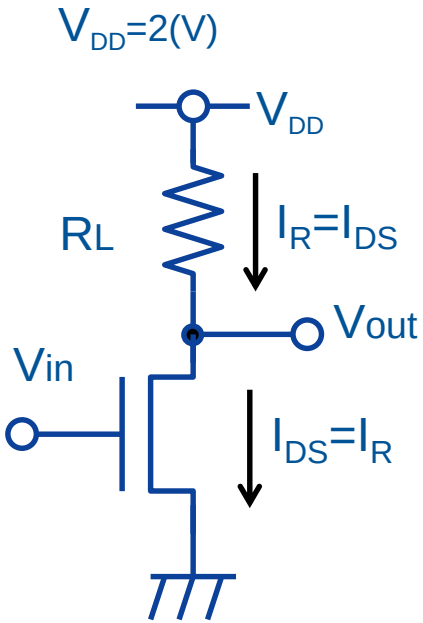
(b)



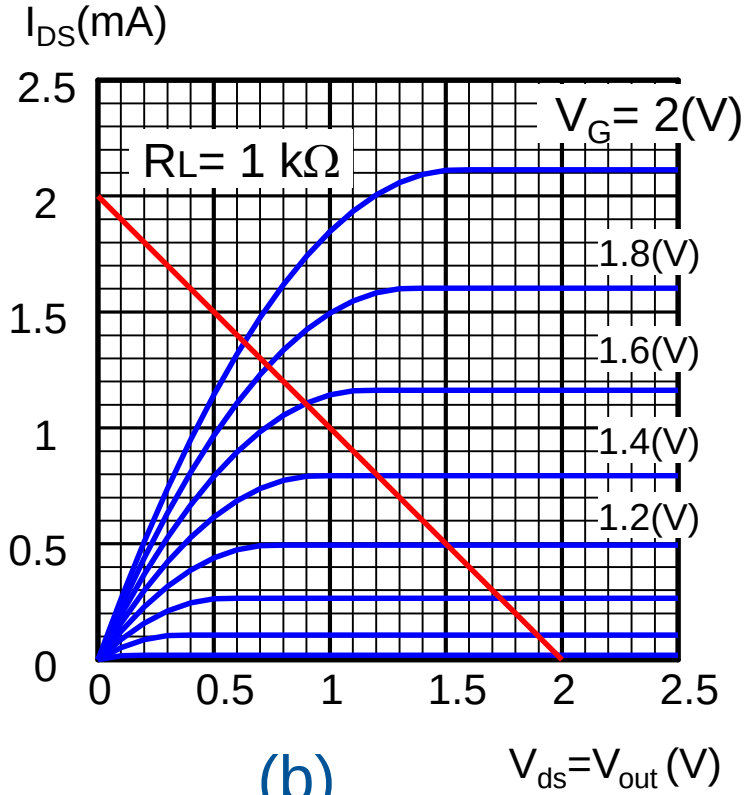
(c)

- 図(a) MOSFET基本回路
- 図(b) MOSFET特性（青：I_{DS}-V_{DS}特性、赤：I_R-V_{out}特性）
- 図(c) 基本回路ののV$_{in}$-V$_{out}$特性
- 図(c) この特性はデジタル回路でもアナログ回路でも同じ！

MOSFET回路



(a)



(b)

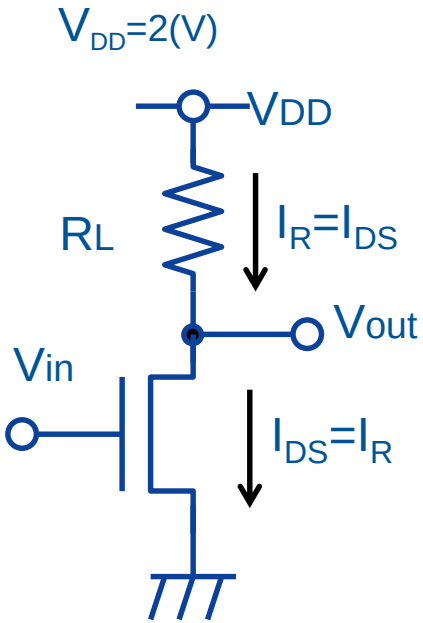
1. 抵抗R_Lに流れる電流（赤線）

$$I_R = \frac{V_{DD} - V_{out}}{R_L}$$

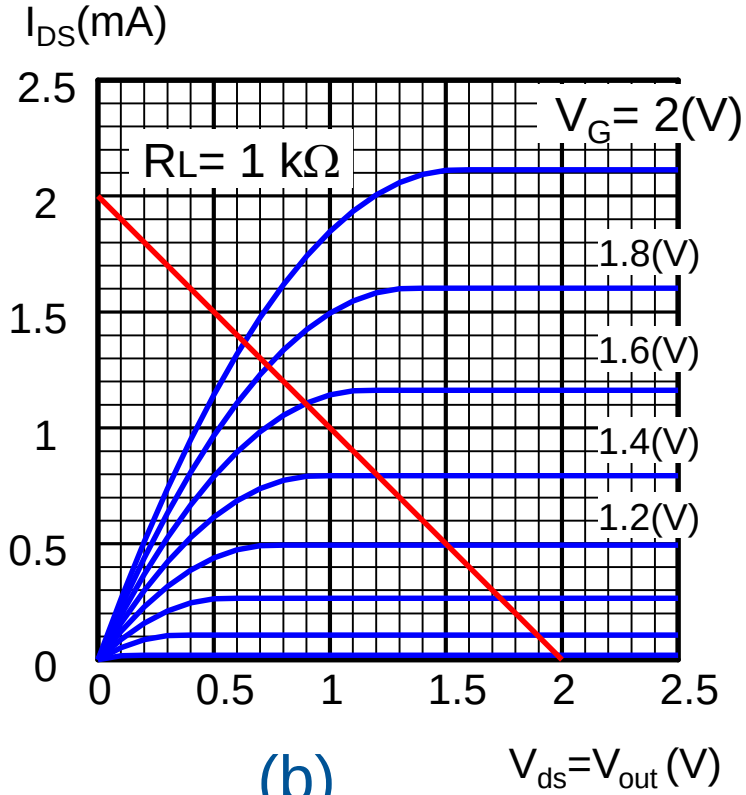
2. MOSFETに流れる電流（Blue lines)

2. V_{in}=1.4（V)のI_{DS}（青線）とI_R（赤線）の交点
3. この交点のV_{DS}は、V_{DS} =V_{out}= ☐ (V)
4. 入力電圧V_{in}を変化させて、V_{out}を求めると、V_{in}-V_{out}特性を得る。

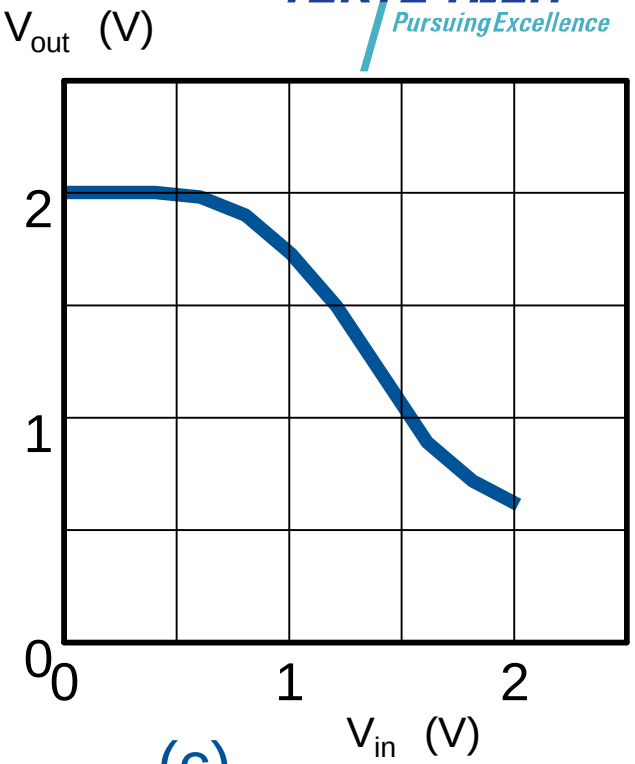
MOSFET回路



(a)



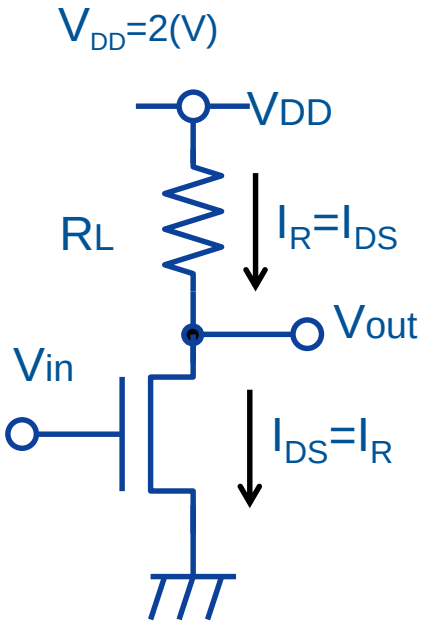
(b)



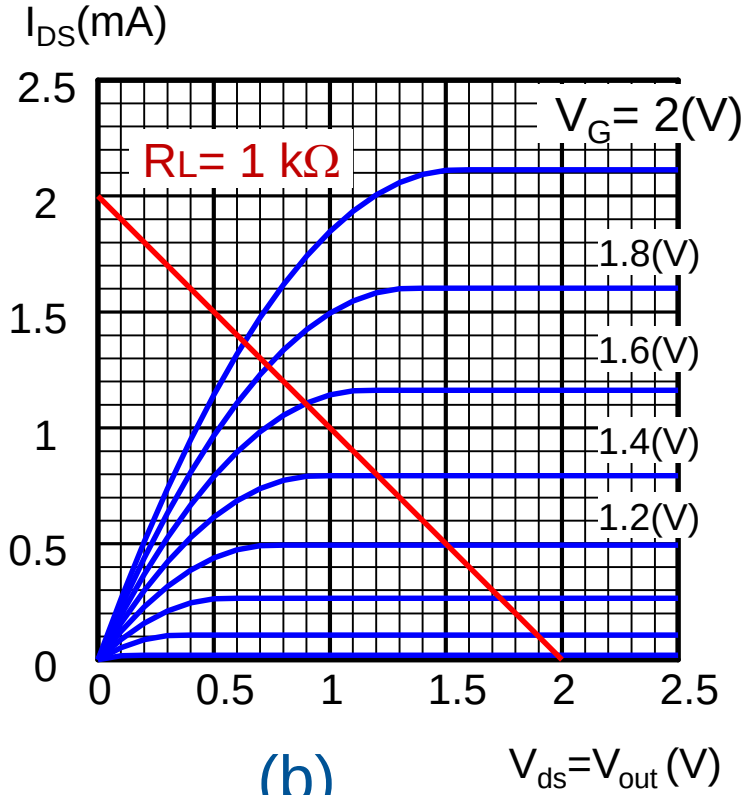
(c)

- V_{in} =2.0(V)の時のV_{out}？
- V_{in} =1.8(V)の時のV_{out}？　と順次求めると図(c)になる。

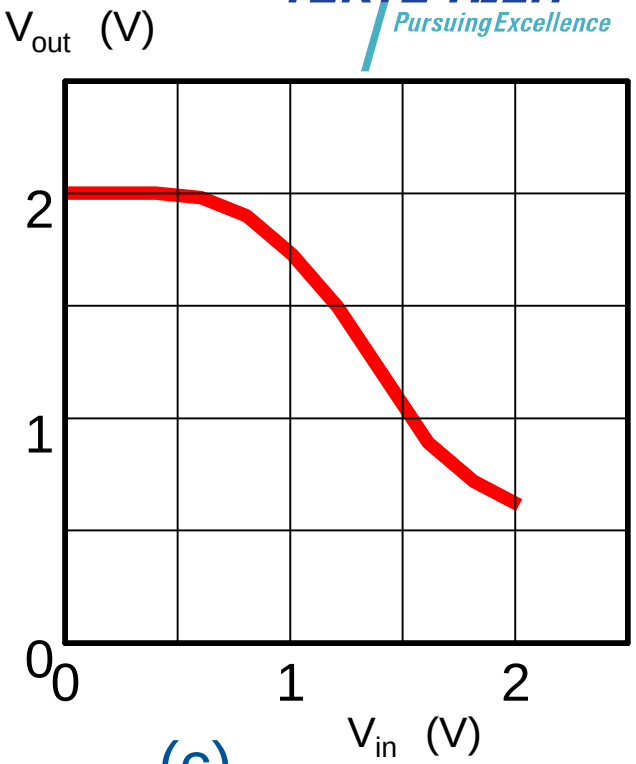
MOSFET回路



(a)



(b)



(c)

- R_L =2(kΩ)はどうなるか？

MOSFET回路

- RL=2(kΩ)の時の増幅率を求める。
- 図(c)から、
- 数式から検討してみる。

$$G = \left| \frac{\Delta V_{out}}{\Delta V_{in}} \right| =$$

$$I_{DS} = \frac{1}{2} \frac{W}{L} \mu C_{ox} \left(V_{GS} - V_{th} \right)^2, when\ V_{DS} > V_{GS} - V_{th}$$

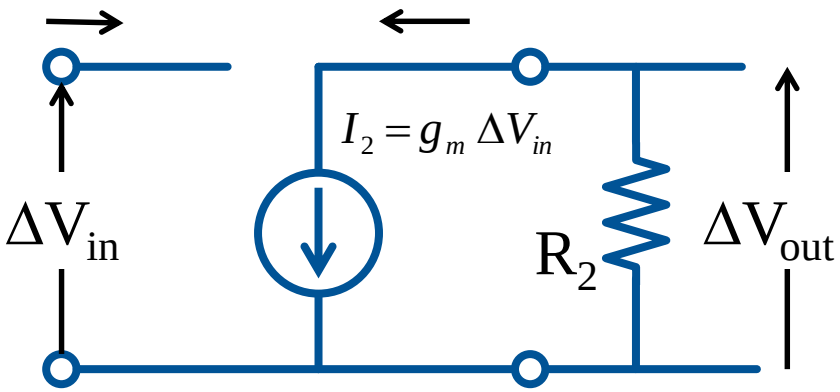
$$g_m = \frac{\Delta I_{DS}}{\Delta V_{GS}} = \frac{\partial I_{DS}}{\partial V_{GS}} =$$

$$g_m =$$

$$G =$$

小信号等価回路

- MOSトランジスタ
  - Gateが制御端子、
  - 挙動は「電圧制御電流源」
- 小信号等価回路



$$G = \left| \frac{\Delta V_{out}}{\Delta V_{in}} \right| = \left| \frac{\Delta I_{DS} \times R_L}{\Delta V_{in}} \right| = \left| \frac{\Delta I_{DS}}{\Delta V_{in}} \right| \times R_L = g_m R_L$$

$$\Delta V_{out} = -g_m R_L \Delta V_{in}$$

dB

- Gain in dB, decibel

$$G[\mathrm{dB}] = 20\log\left|\frac{v_{out}}{v_{in}}\right|$$

- Examples

$$\left|\frac{v_{out}}{v_{in}}\right| = 5$$

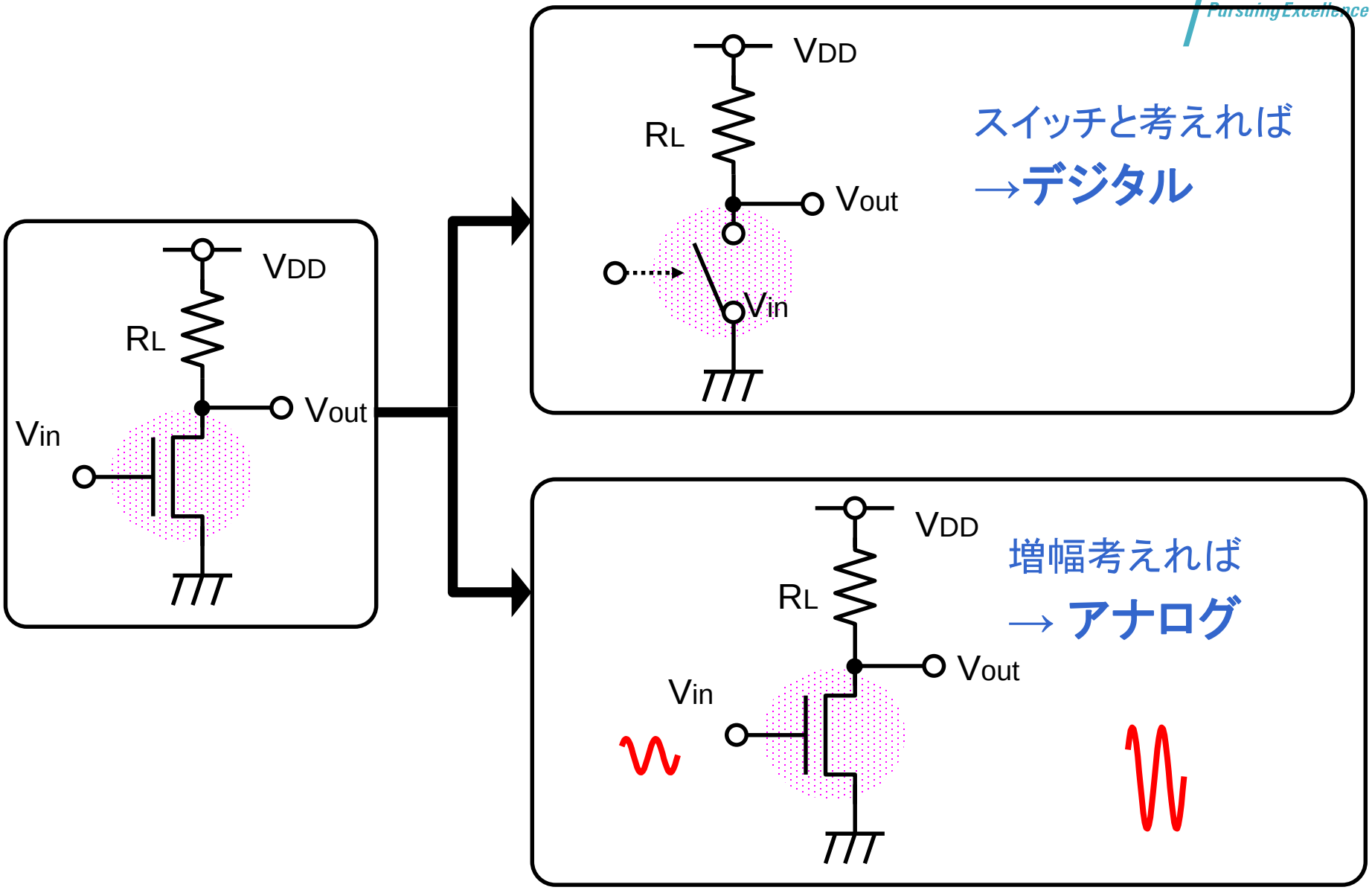
$$\left|\frac{v_{out}}{v_{in}}\right| = 10$$

$$\left|\frac{v_{out}}{v_{in}}\right| = 100$$

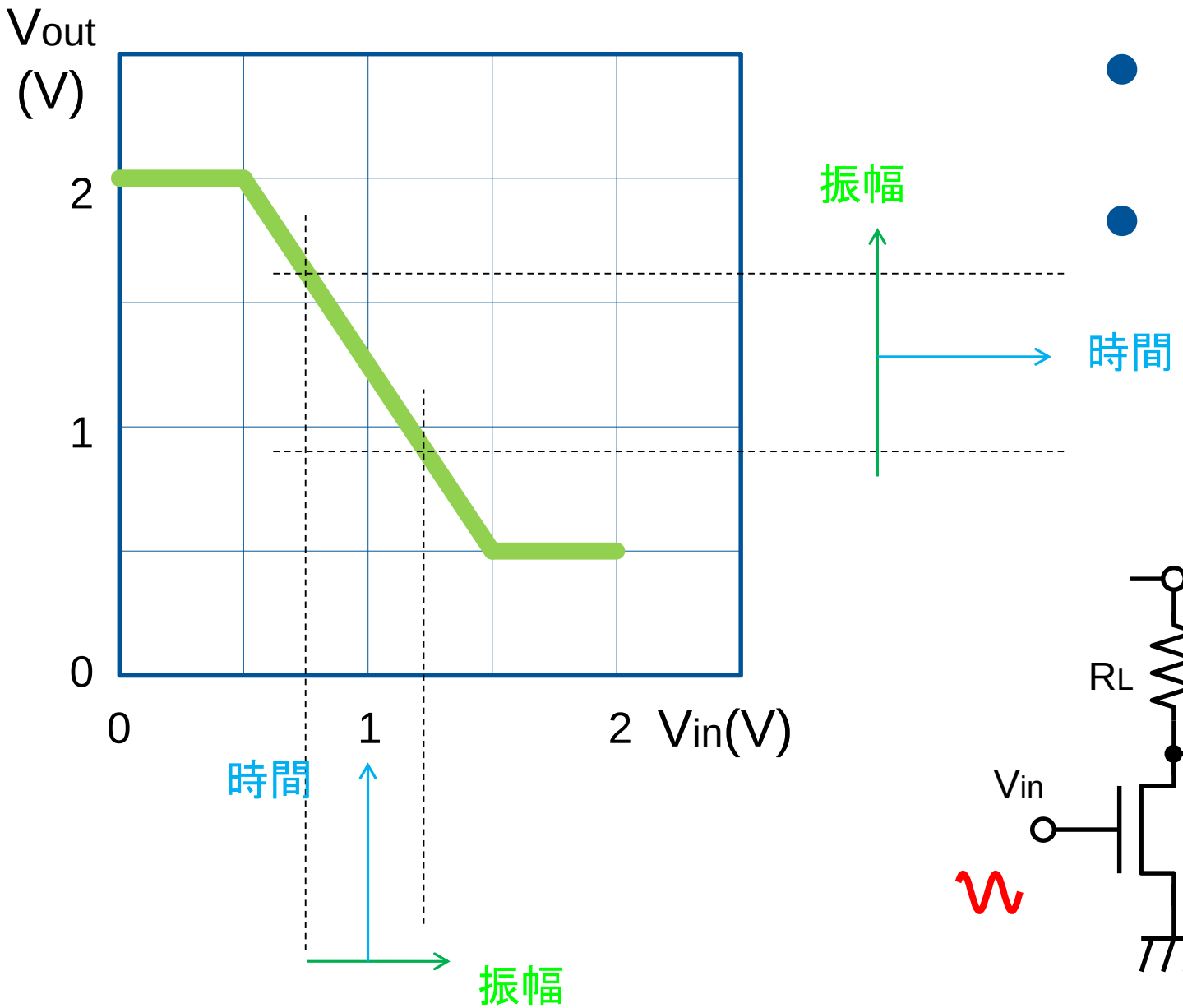
$$\left|\frac{v_{out}}{v_{in}}\right| = 1$$

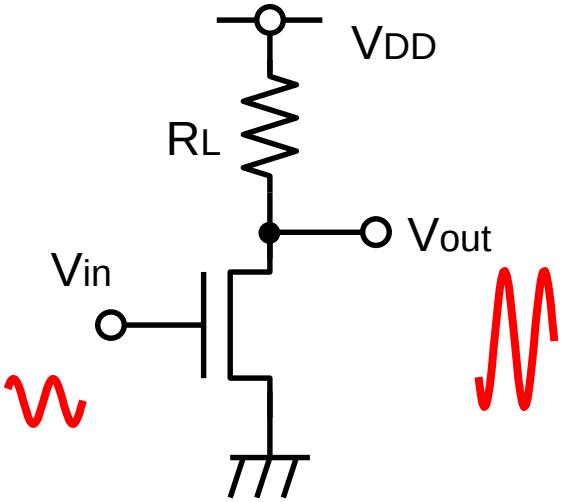
$$\left|\frac{v_{out}}{v_{in}}\right| = 0.5$$

集積回路の基礎の基礎

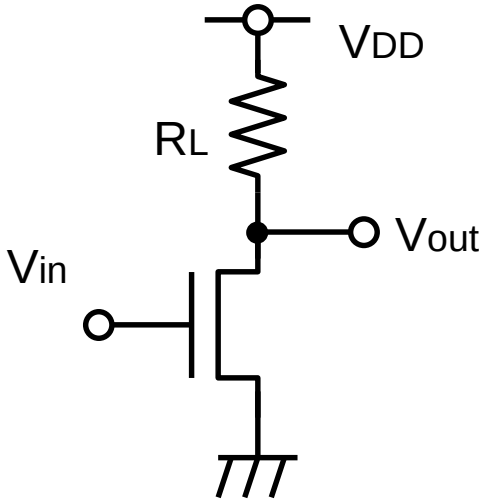

VDD
RL
Vout
Vin
VDD
RL
Vout
Vin
スイッチと考えれば
→デジタル
VDD
RL
Vout
Vin
増幅考えれば
→ アナログ

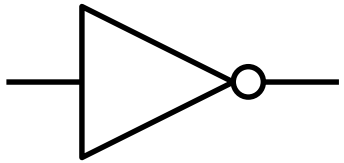
アナログ回路(増幅器)の動作



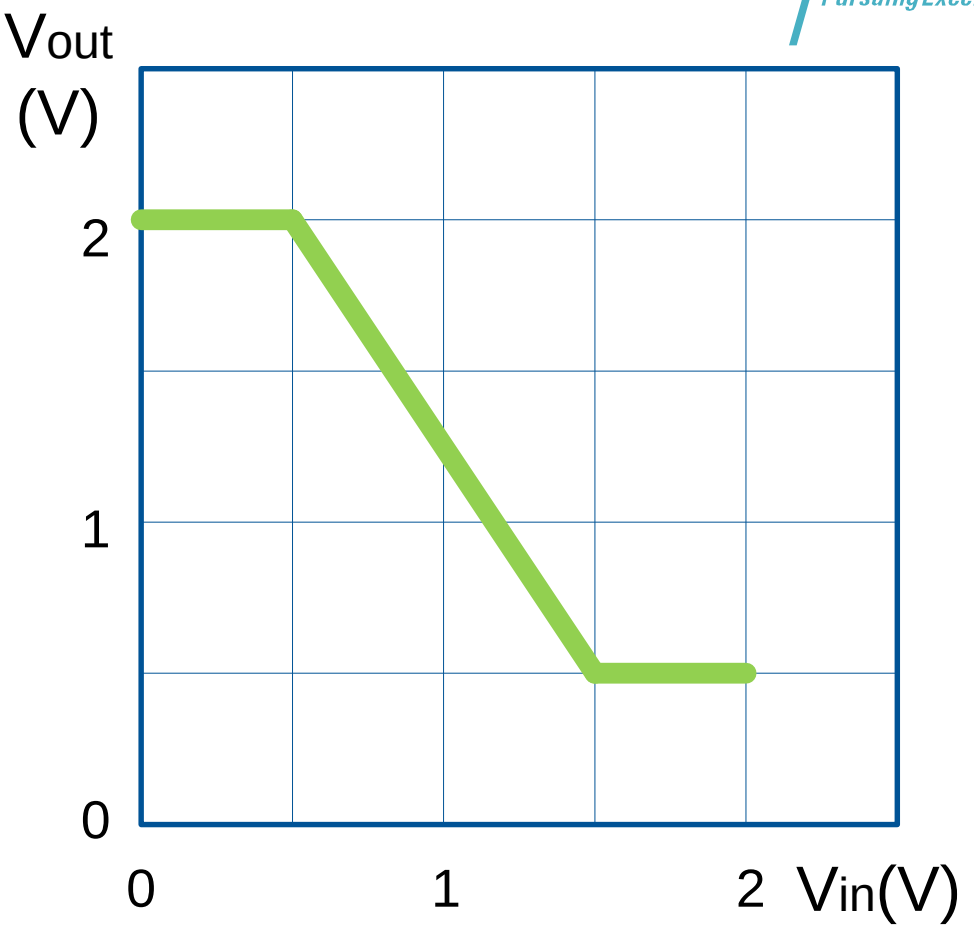


デジタル論理回路(inverter　反転器)



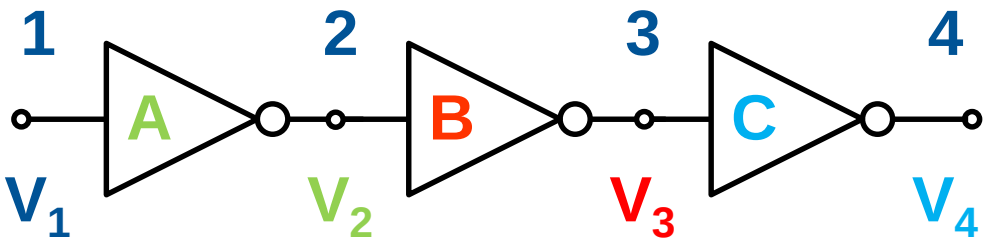


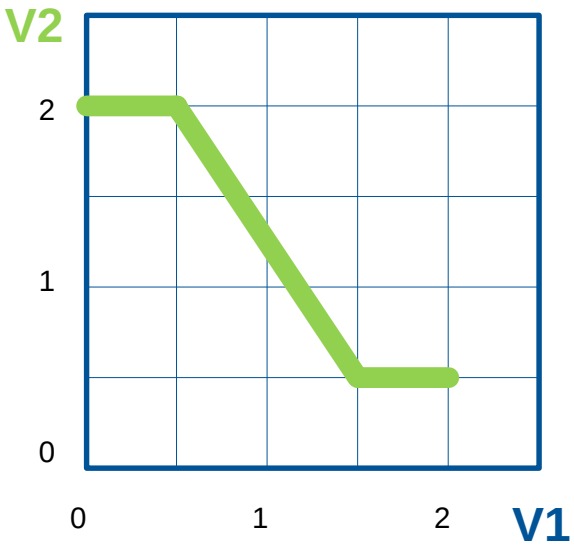
回路記号

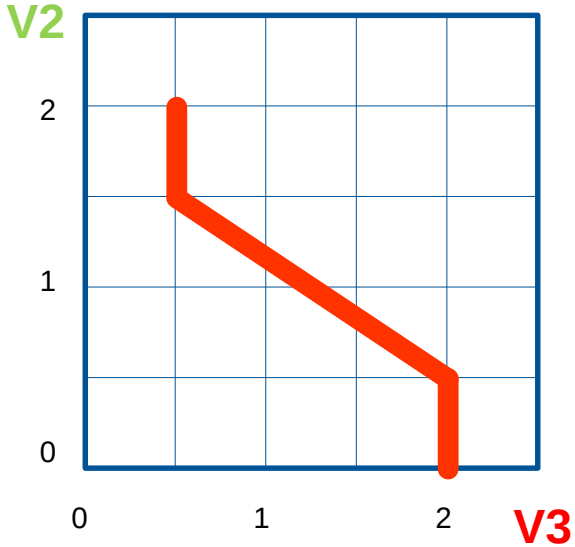


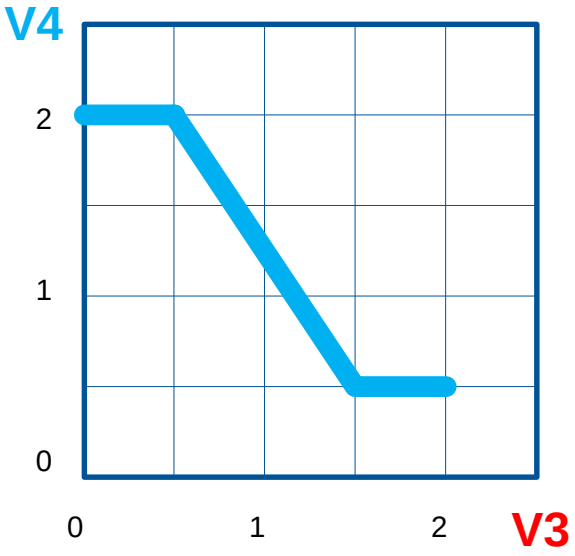
- V_{in}は、0またはV_{DD}(=2 volts)
- Voutは、V_{DD}または 0+α (今の場合、0.5volts)

Inverter chain



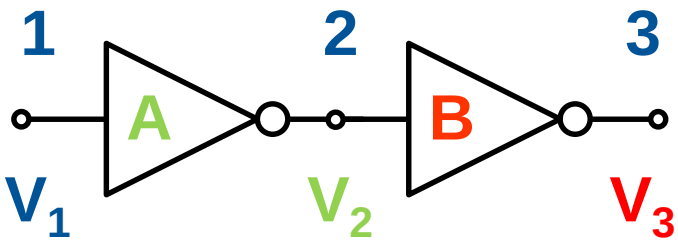






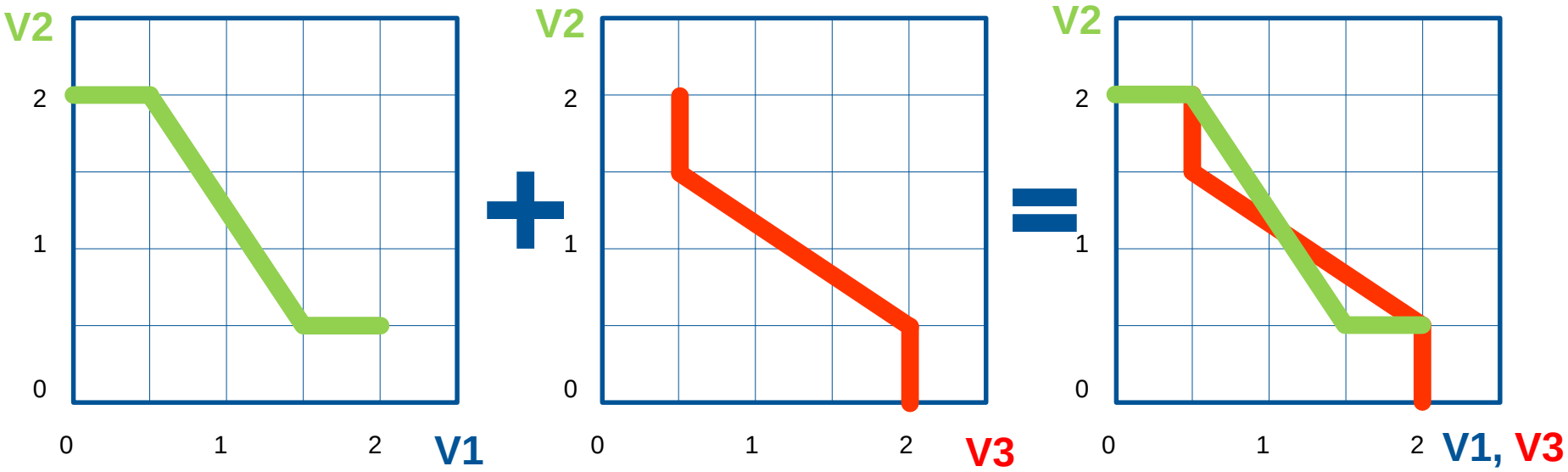
- V1=0(V)→V2=2(V) →V3=0.5(V) →V4=2(V)
- V1=2(V)→V2=0.5(V) →V3=2(V) →V4=0.5(V)
- High → Low → High → Low → High → Low → ・・・

Inverter chain



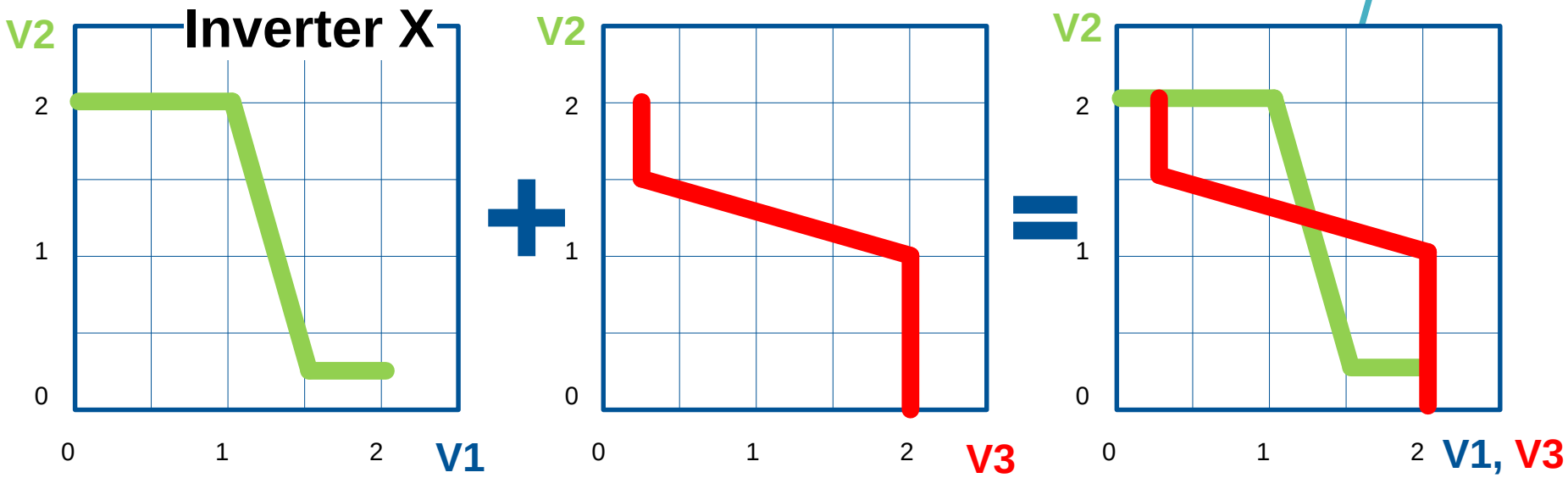
眼鏡カーブ

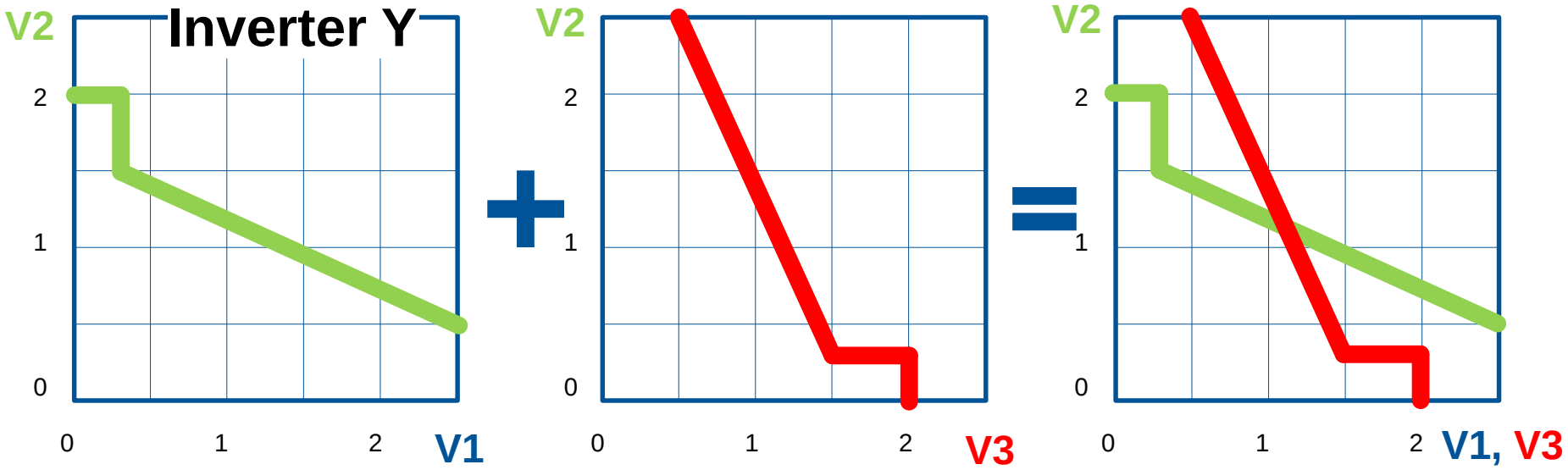
Butterfly curve



- 眼鏡カーブから何がわかる？

Inverter chain





Inverter chain （頭の体操）

TOKYO TECH Pursuing Excellence

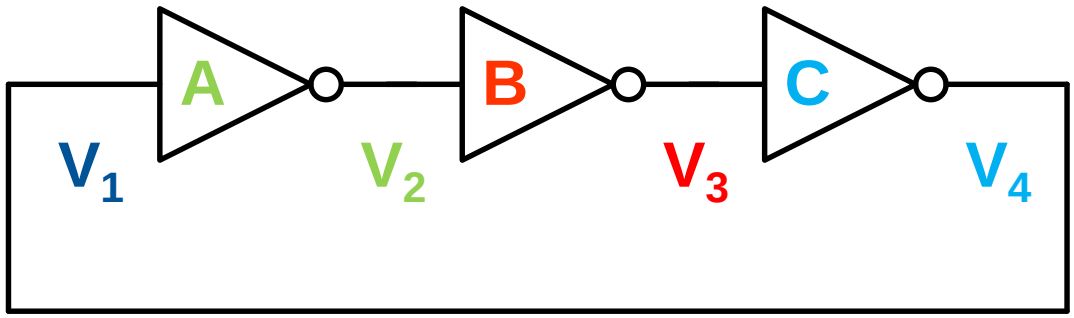
- Inverter X及びYで、inverter chainを作る。

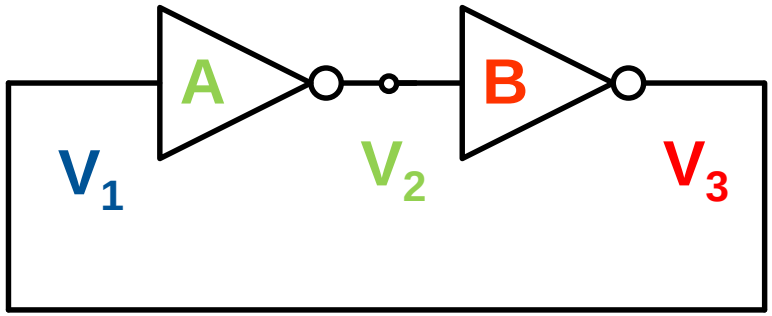
1. 一段目に、1.75(V)の電圧を加えたときの2段目以降の出力電圧(V2,V3,V4,・・・)を求めよ。
2. Inverterがinverterとして動作するためにgainが備える条件は？

- 上記(1)(2)について電子メイルで解答を送付すること。締切：平成25年1月24日（金）正午まで
- Subject欄に「★電気電子基礎・宿題」と書く。
- メイルには、学籍番号、氏名を記載のこと。

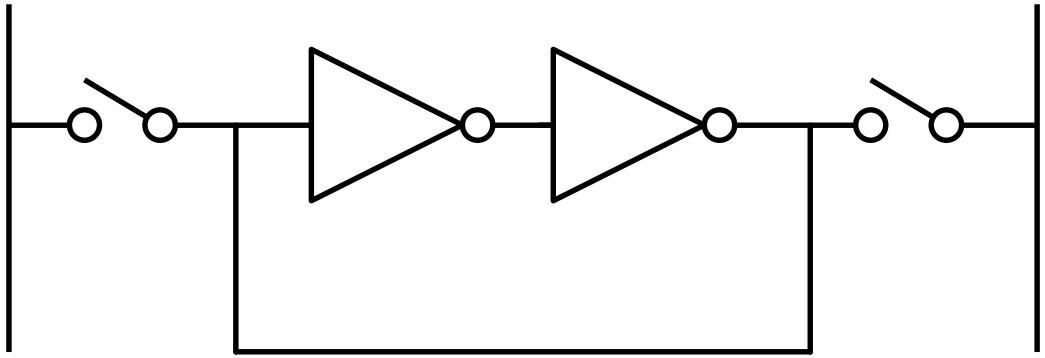
Inverter chain

- どのような動作をするだろうか？

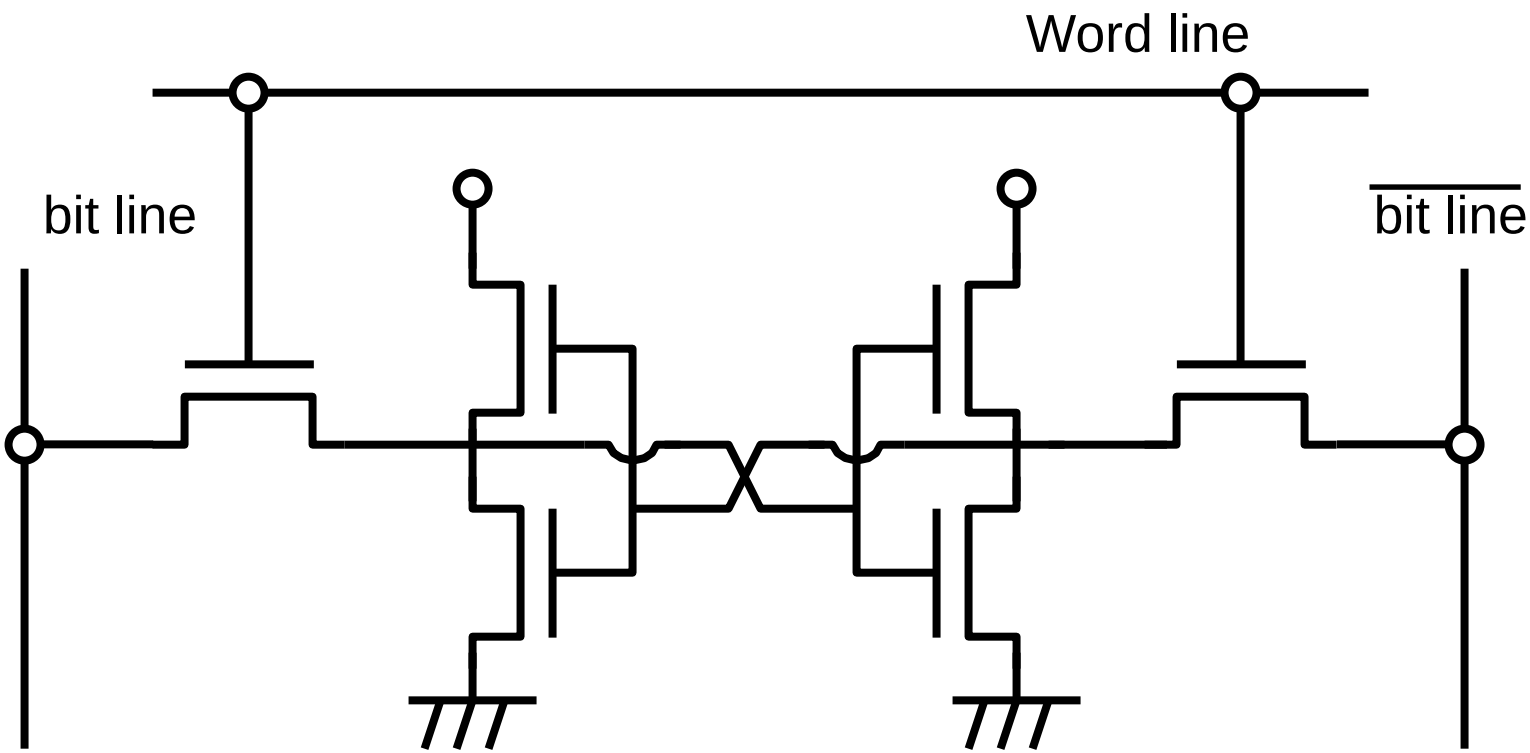




SRAM (Static Random Access Memory)

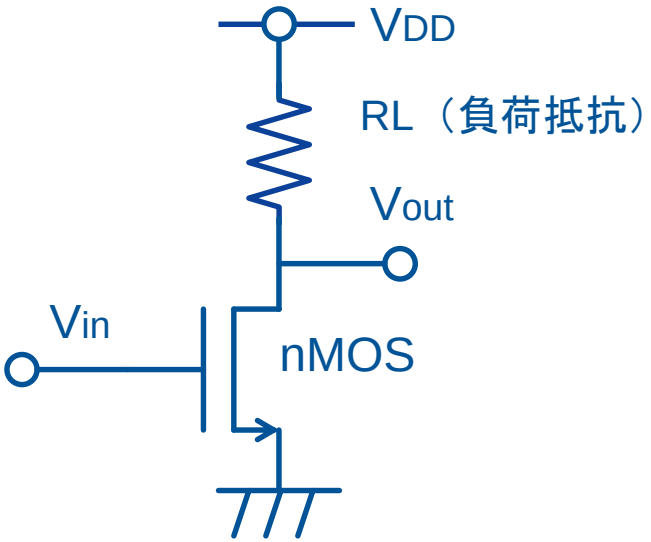


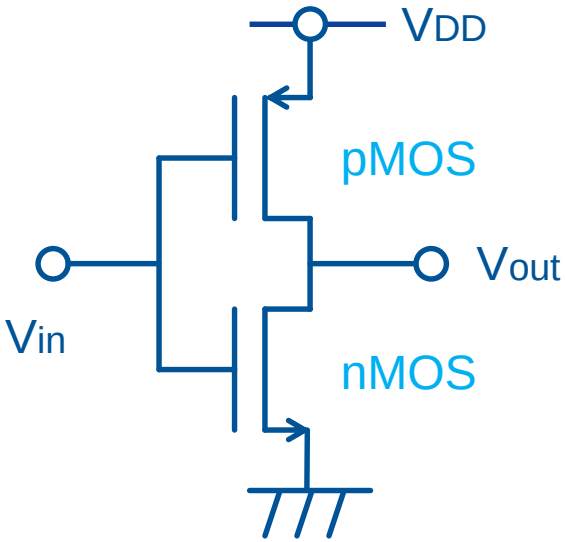
- SRAMはトランジスタのみで構成される。
- 高速動作（キャッシュ）



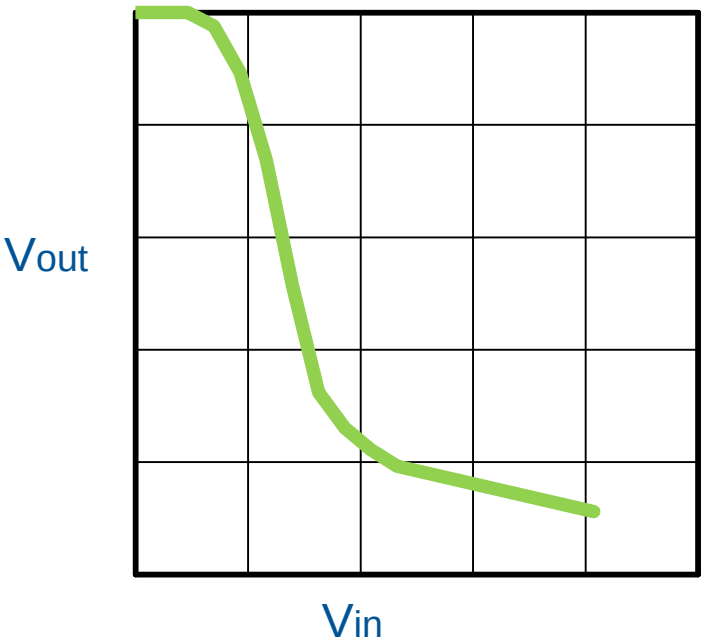
CMOS (Complementary MOS) 相補形

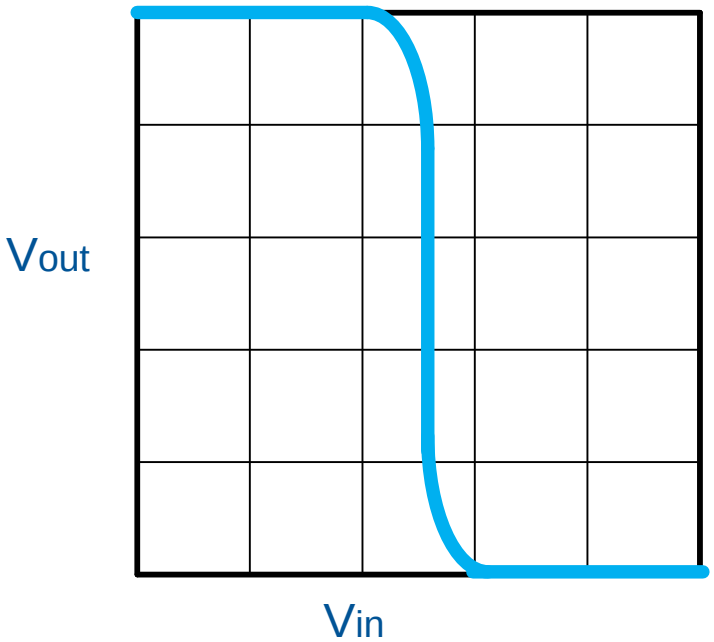
TOKYO TECH
Pursuing Excellence



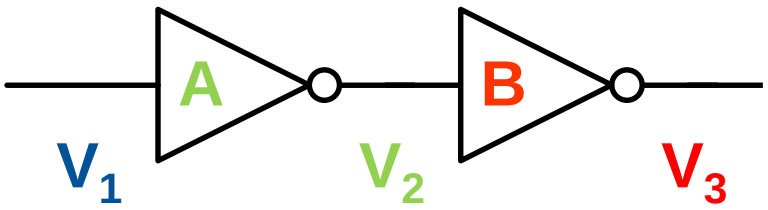


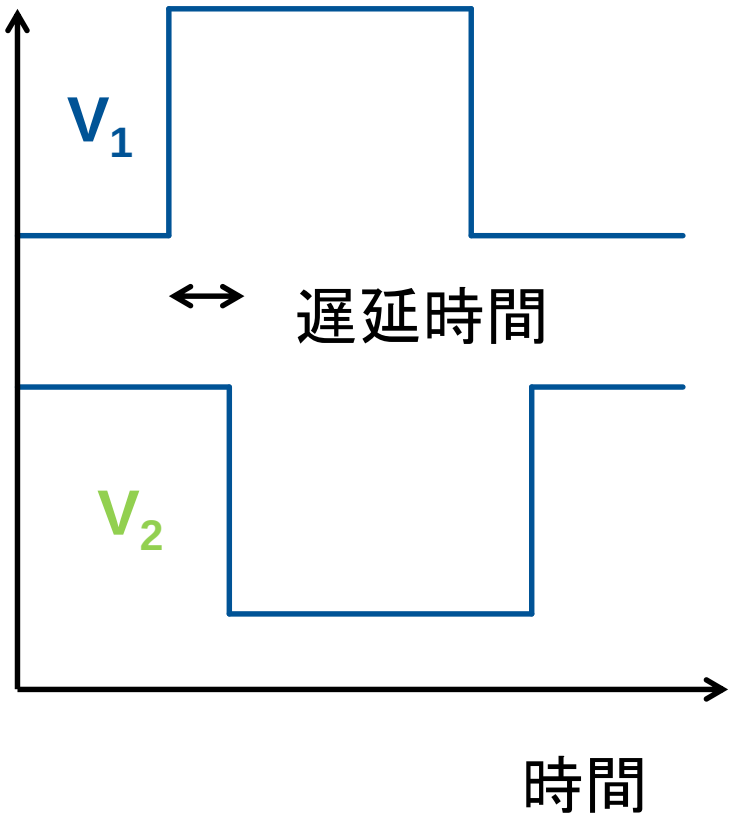
- 実質的に負荷抵抗が大きい。Gainが大きい
- 対称性が良い。
- 貫通電流が流れない。（低消費電力）

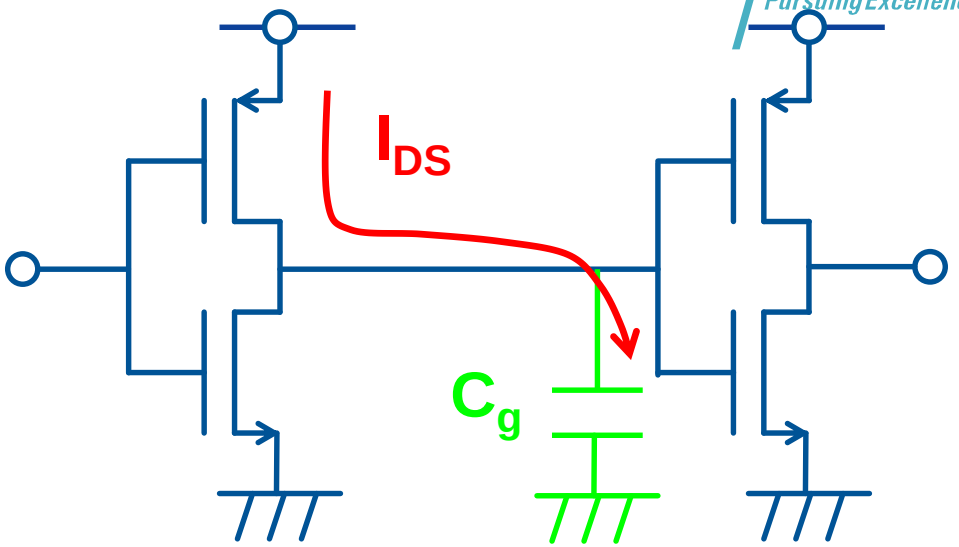




Inverter chain





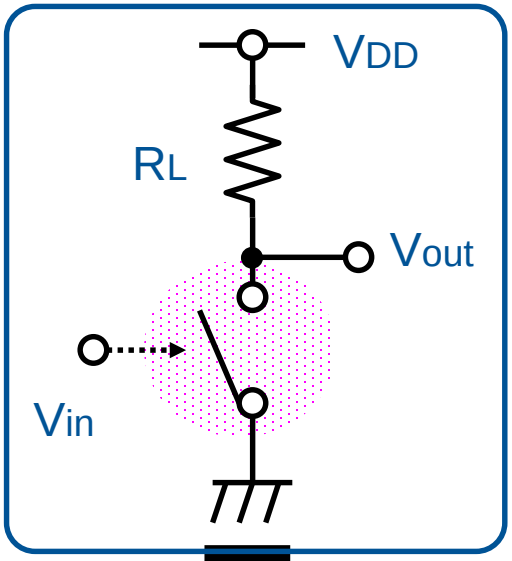


- 遅延時間：次段のゲート容量を充電（放電）する時間
- 消費電力（充放電電力）

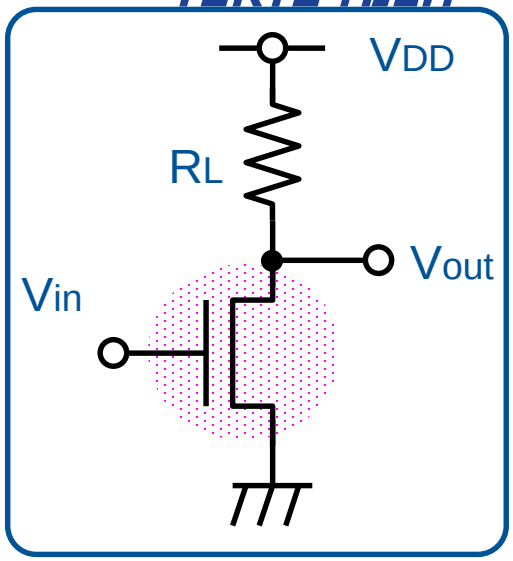
MOSFETスイッチによる論理回路

インバータ回路

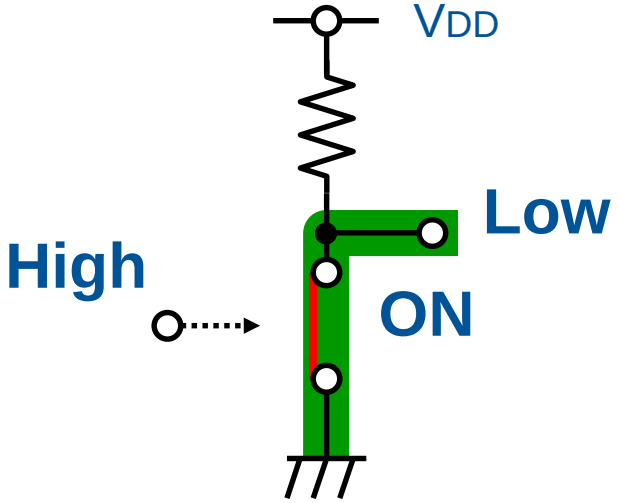
Vin	Vout
High	Low
Low	High

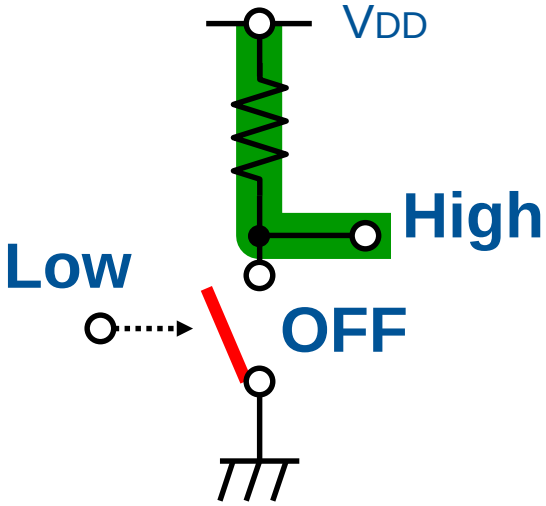


等価



動作



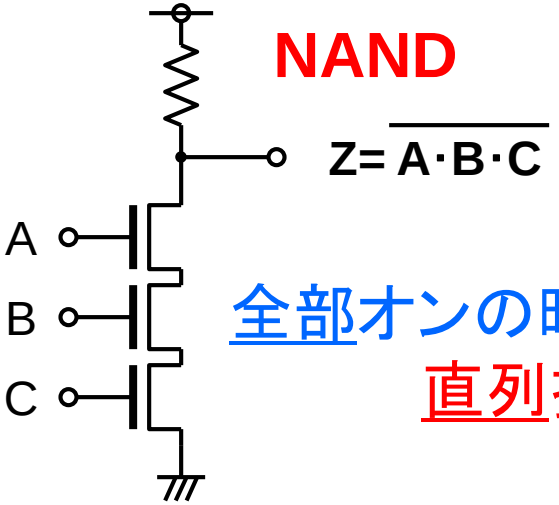


スイッチ回路とブール代数（2値論理）

TOKYO TECH Pursuing Excellence

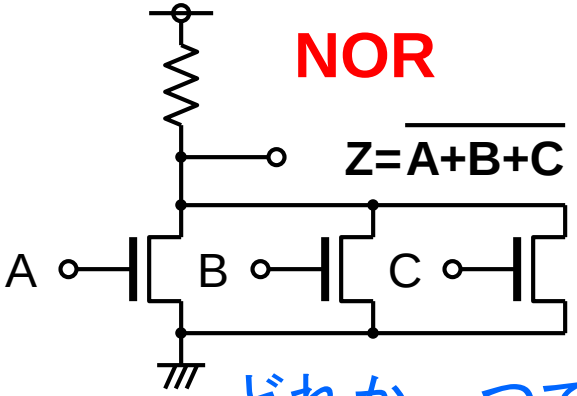
真理値表

A	B	C	NAND Z	NOR Z
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	0



全部オンの時のみ0

直列接続



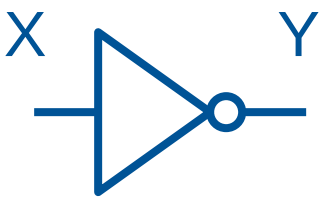
どれか一つでもオンであれば0

並列接続

完全系

NANDやNORは
それだけで，あらゆる
論理関数を合成可能

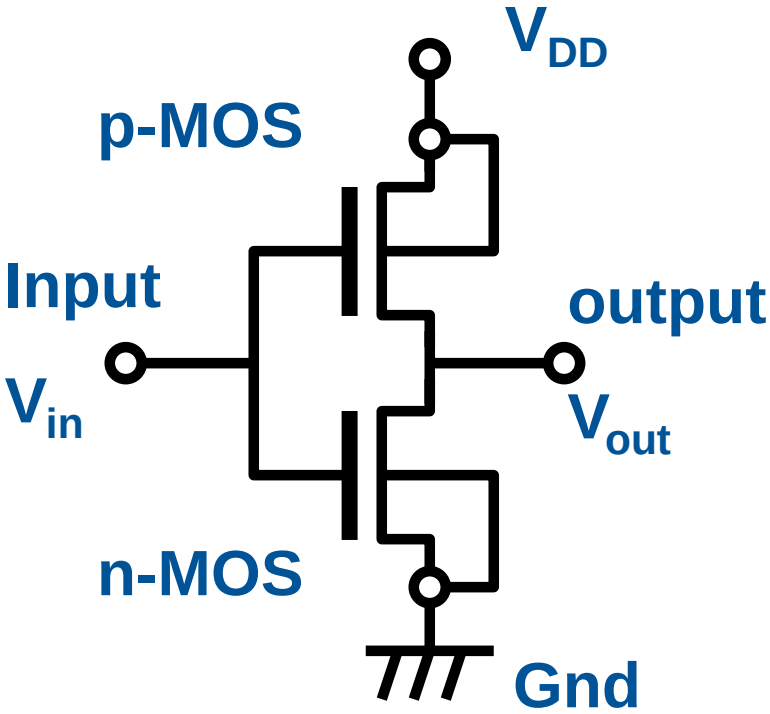
CMOS inverter



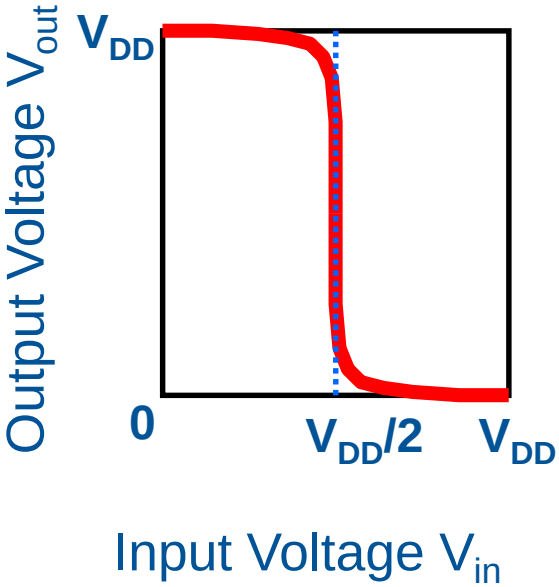
論理記号

真理値表

X	Y
0	1
1	0



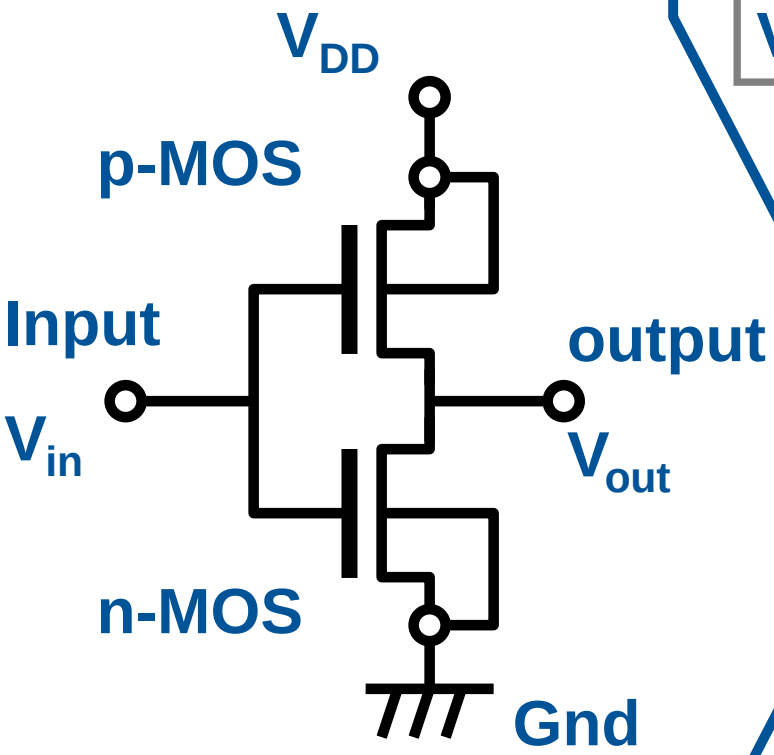
インバーターの閾値：V_{th}^{inv}

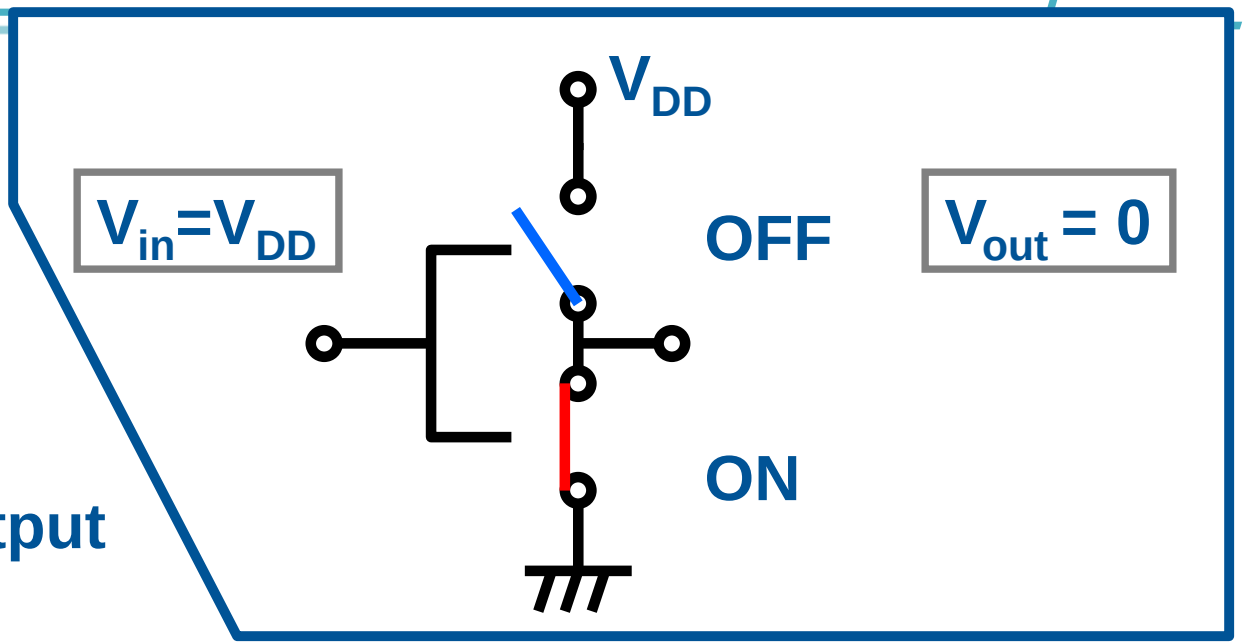


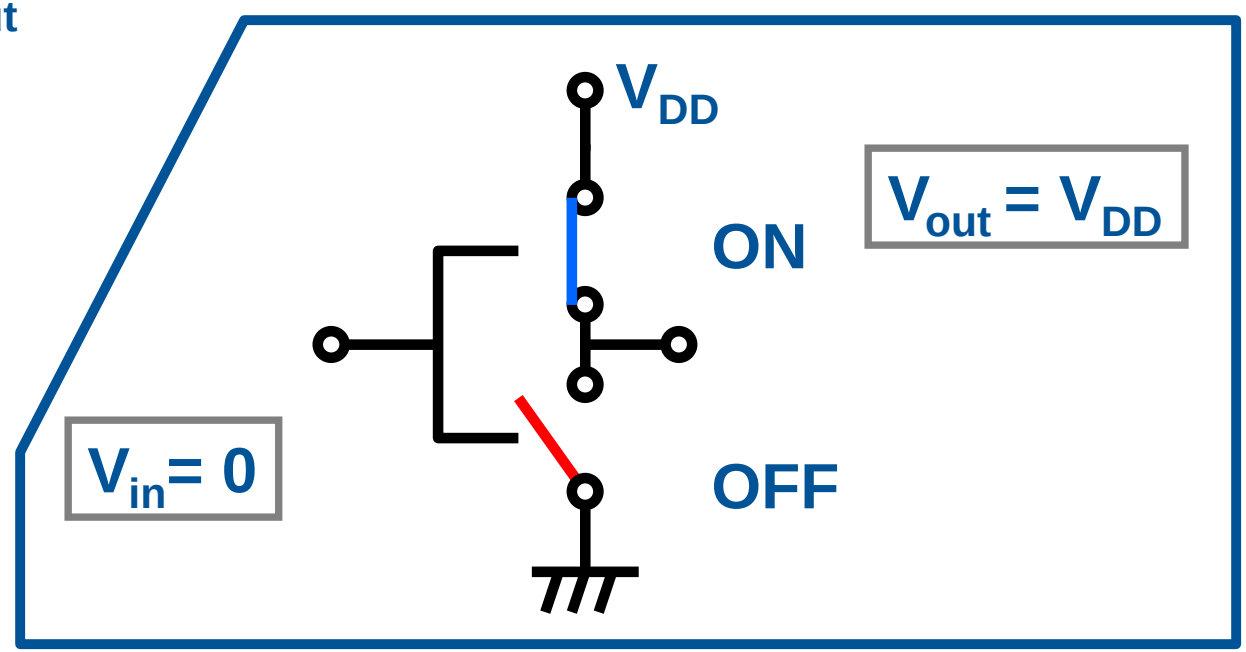
インバーターの閾値：$V_{th}^{inv} \approx V_{DD}/2$

MOSFETの閾値：$V_{th}^{MOSFET} \neq V_{th}^{inv}$

CMOS Inverter動作：スイッチによる等価回路

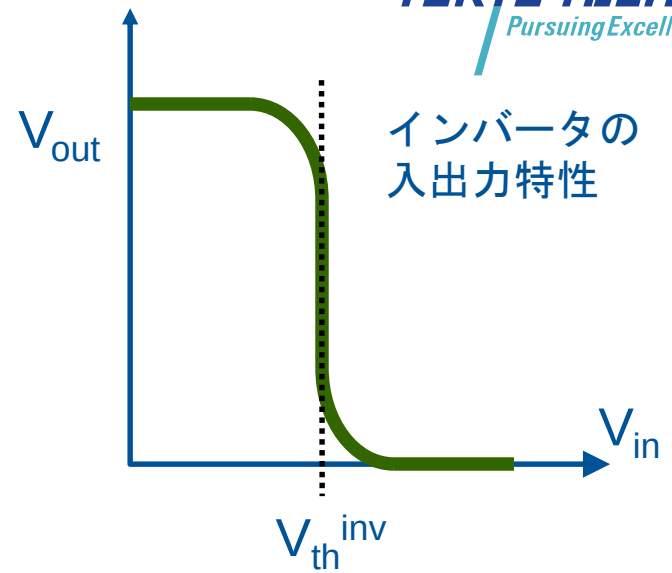


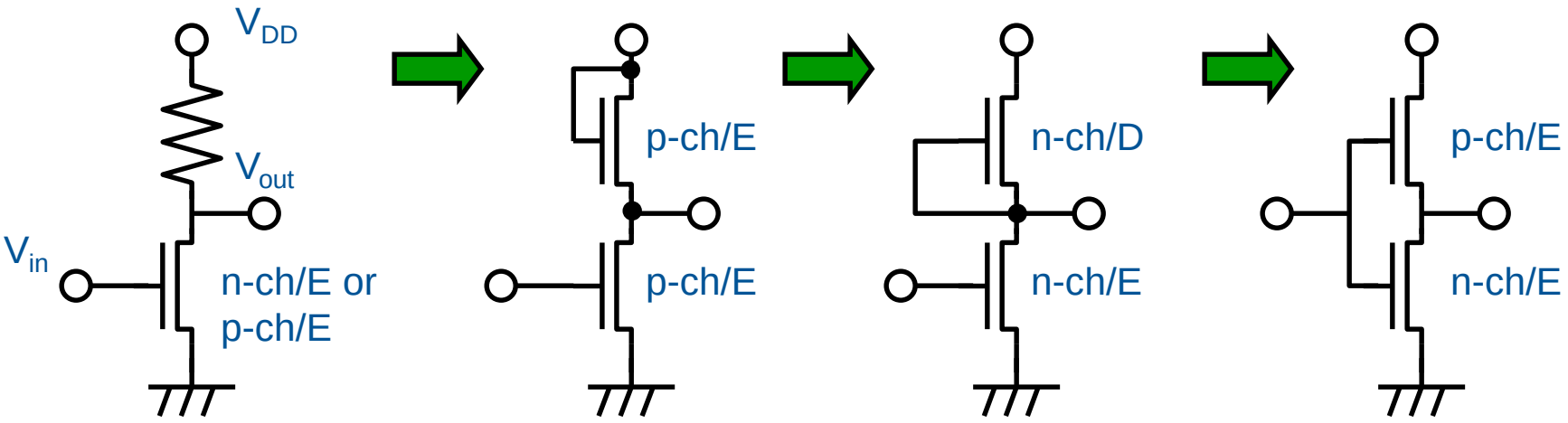




MOSFETの種類（n-channel と p-channel）

- **n-channel / Enhancement**
- **n-channel / Depletion**
- **p-channel / Enhancement**
- **p-channel / Depletion**





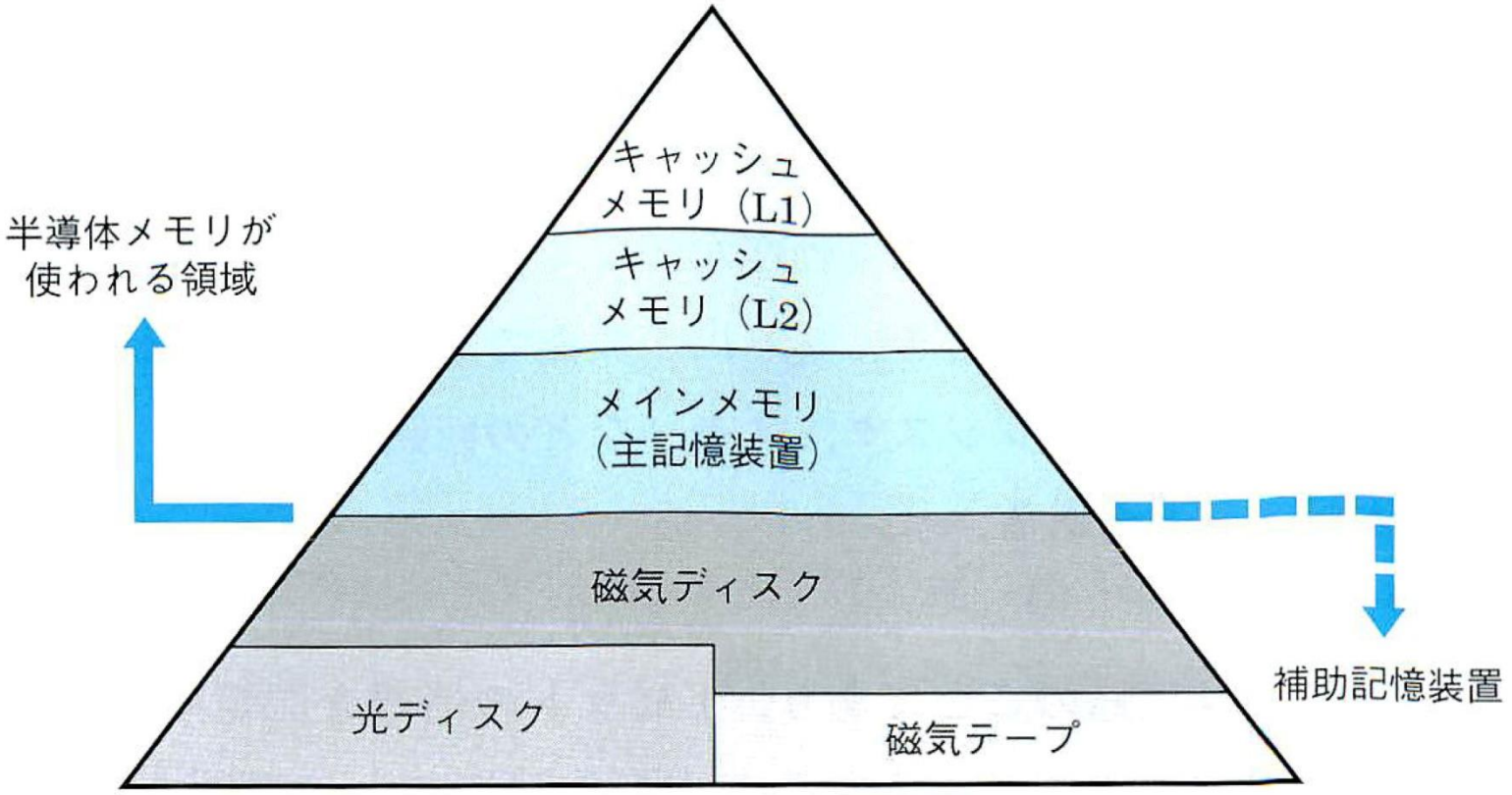
E/R
Enhancement/Resistance

p-ch E/E
1970's

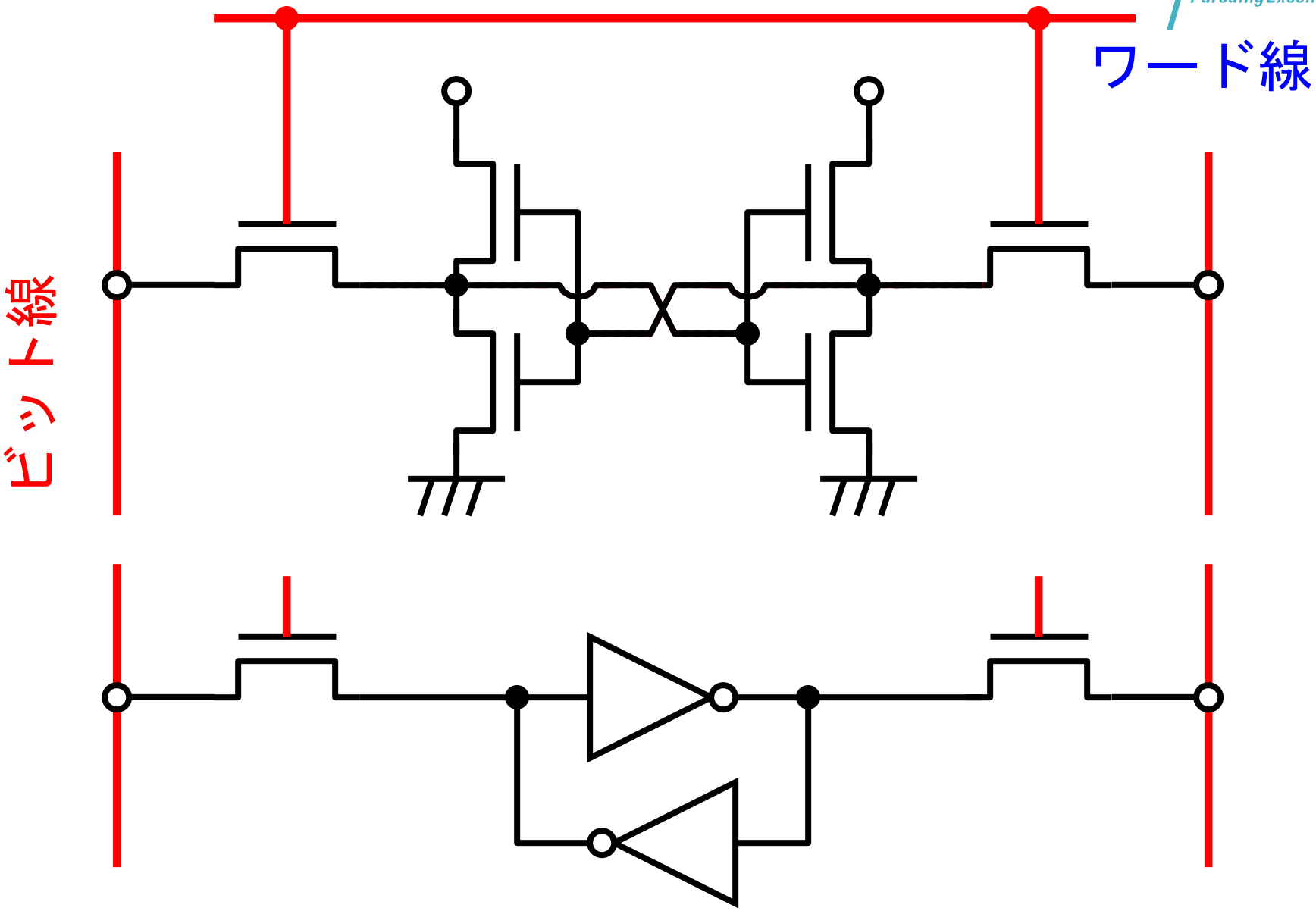
n-ch E/D
1975's

CMOS
1980～

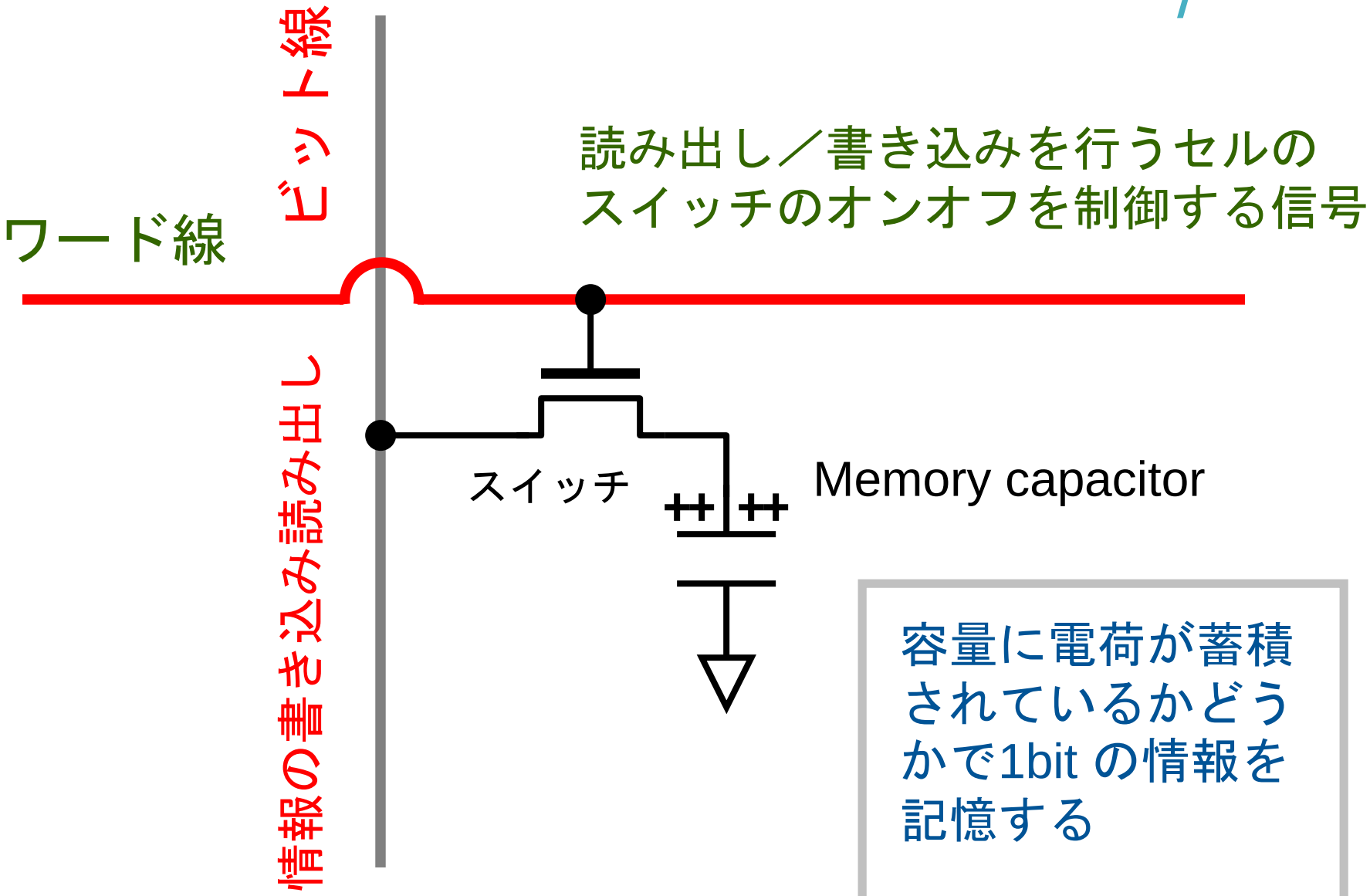
Memory Hierarchy



SRAM（Static RAM）

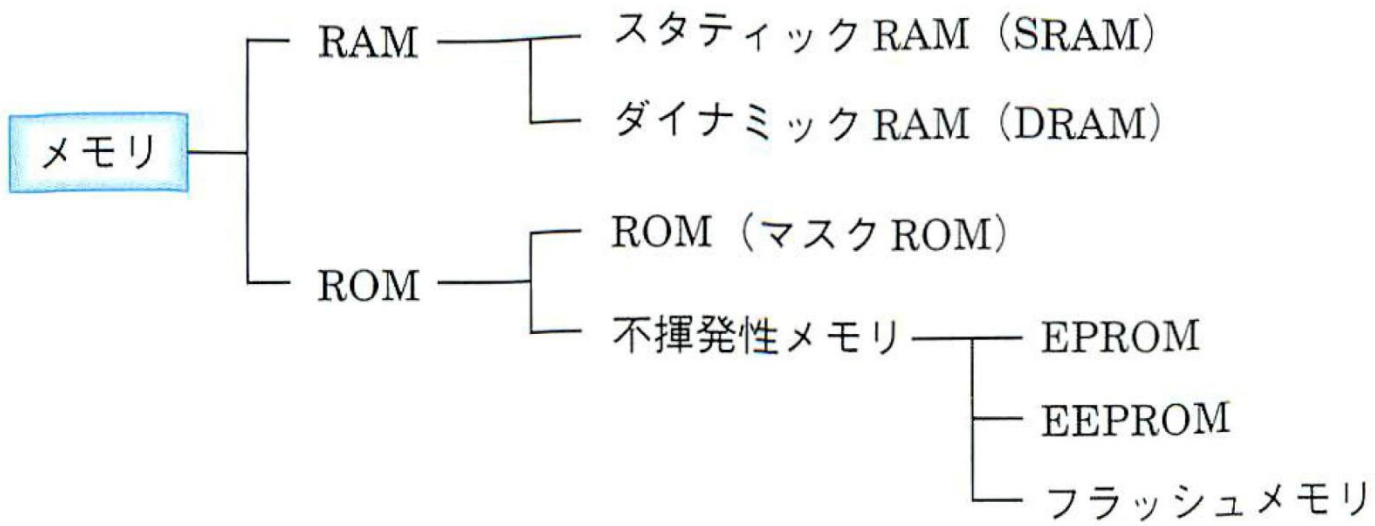


DRAMの記憶原理とメモリセル



容量に電荷が蓄積されているかどうかで1bit の情報を記憶する

Memories



- RAM：Random Access Memory
- SRAM: Static RAM
- DRAM: Dynamic RAM
- ROM: Read Only Memory
- NVM：Non Volatile Memory　不揮発性メモリ
- PROM: Programmable ROM
- EPROM: Electrically PROM
- EEPROM: Electrically Erasable PROM
- Flash Memory: 電気的に一括消去、再書き込みできるメモリ

メモリ分類

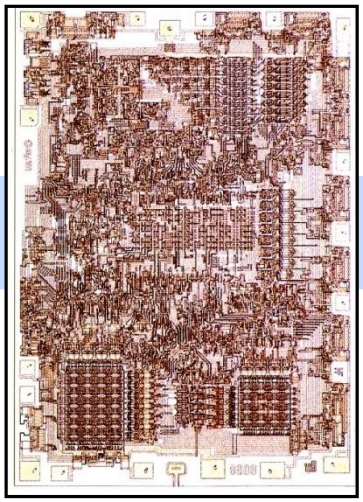
TOKYO TECH
Pursuing Excellence

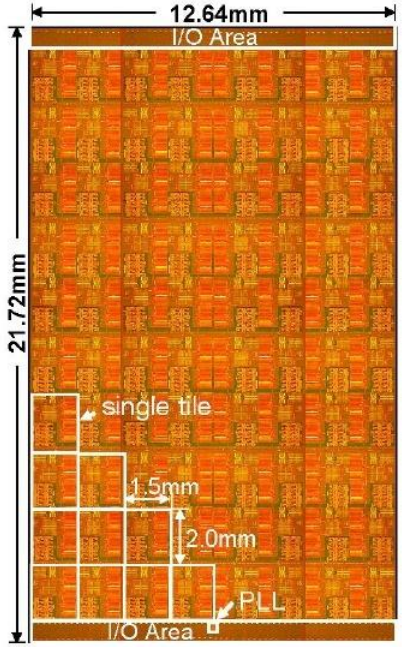
- Memory
  - RAM
    - Static RAM (SRAM)
    - Dynamic RAM (DRAM)
  - ROM
    - ROM (Mask ROM)
    - Nonvolatile Memory
      - EPROM
      - EEPROM
      - Flash
    - Novel Nonvolatile Memory
      - FeRAM
      - MRAM
      - PRAM
      - ReRAM

- **Fe**rroelectric
- **M**agnetic
- **P**hase change
- **Re**sistive

Scaling of integrated circuit

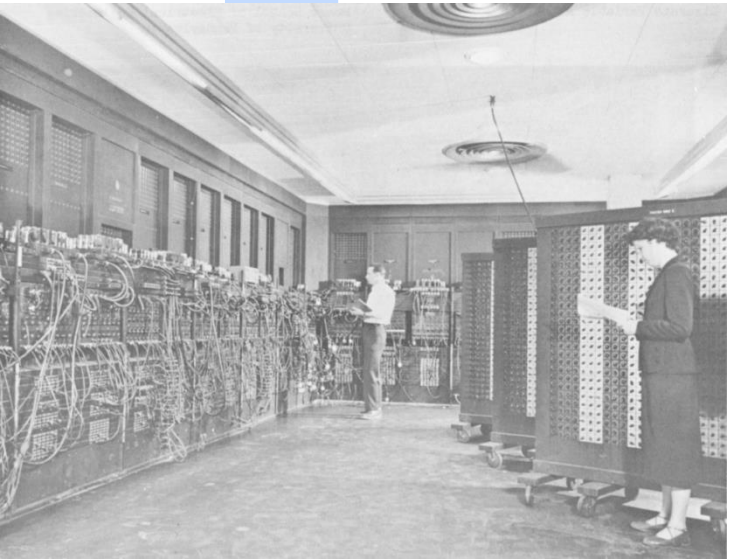
MPU (Intel 4004)
1971, 2,3k Tr,
10μm, 108kHz





State-of-Art
Many Core MPU
(Intel, 2007) 65nm, 10^8Tr/3mm^2-Tile

Invention of transistor, 1947
半導体は“還暦”



Miniaturization has brought

- **High performance**
- **High density(integration)**
- **Low power**

平面寸法を1/kにすると、
- **同じ機能の回路なら、速度k倍、消費電力1/k^2**
- **微細化は元来Green！**

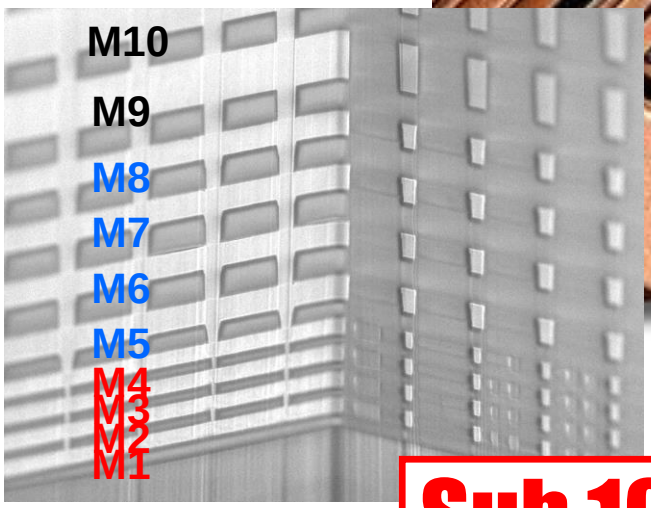
Conventional Multilevel Interconnect

TOKYO TECH Pursuing Excellence

上層配線ほど太く、配線間隔も広い。

Several μm

http://www.ieice.org/jpn/index.html



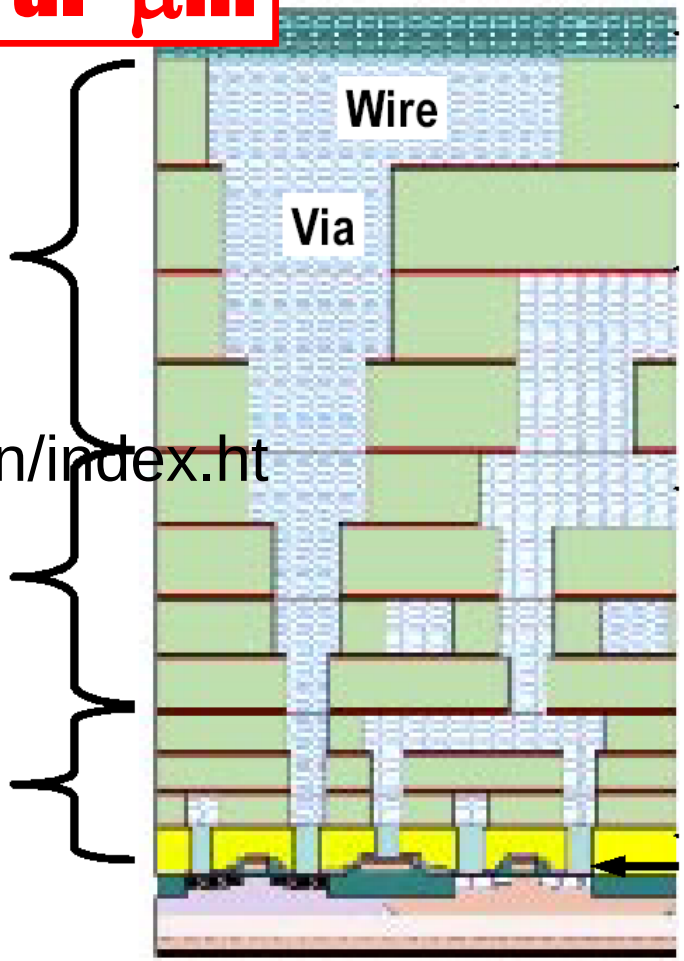
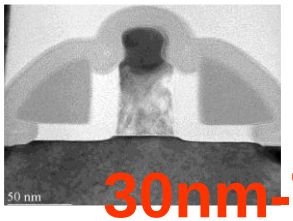


Figure 36 Cross-section of Hierarchica



Sub 100nm to 10nm

30nm-Tr

集積回路の基礎となった発明

トランジスタの発明

点接触トランジスタ	1948
pn接合トランジスタ	1949
電界効果トランジスタ	1952

集積回路の発明　キルビー　1959

基板上にトランジスタを集積化

各素子間の配線は部品内部に作る

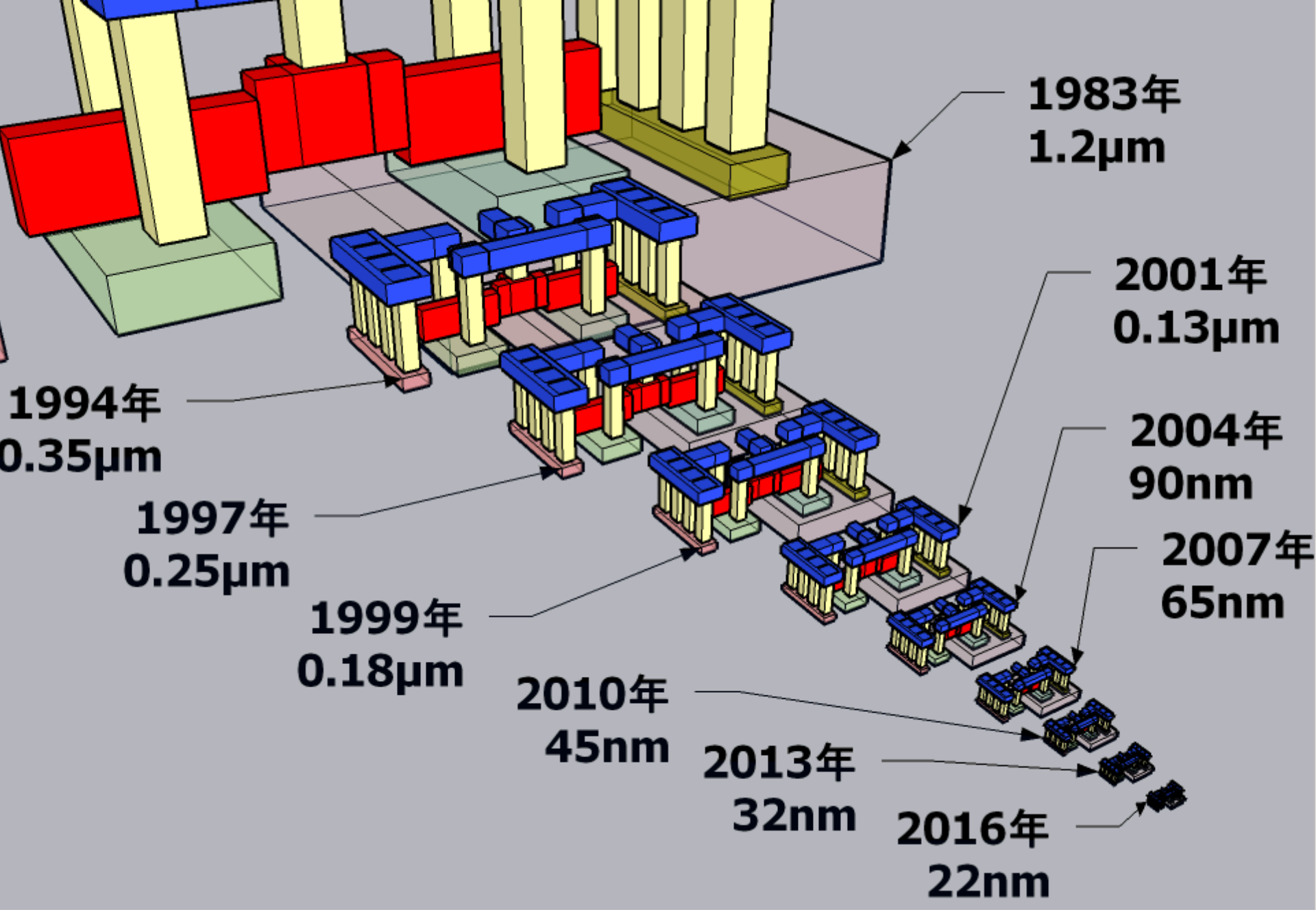
プレーナー技術の発明　ノイス　1959

シリコン酸化膜を素子上に堆積

これを絶縁層として素子間を配線

フォトリソグラフィー技術

微細パターンを大量生産



http://www-lab13.kuee.kyoto-u.ac.jp/~tsuchiya/LSI-3D-CG.html

元祖 Scaling

TOKYO TECH Pursuing Excellence

Device Parameters

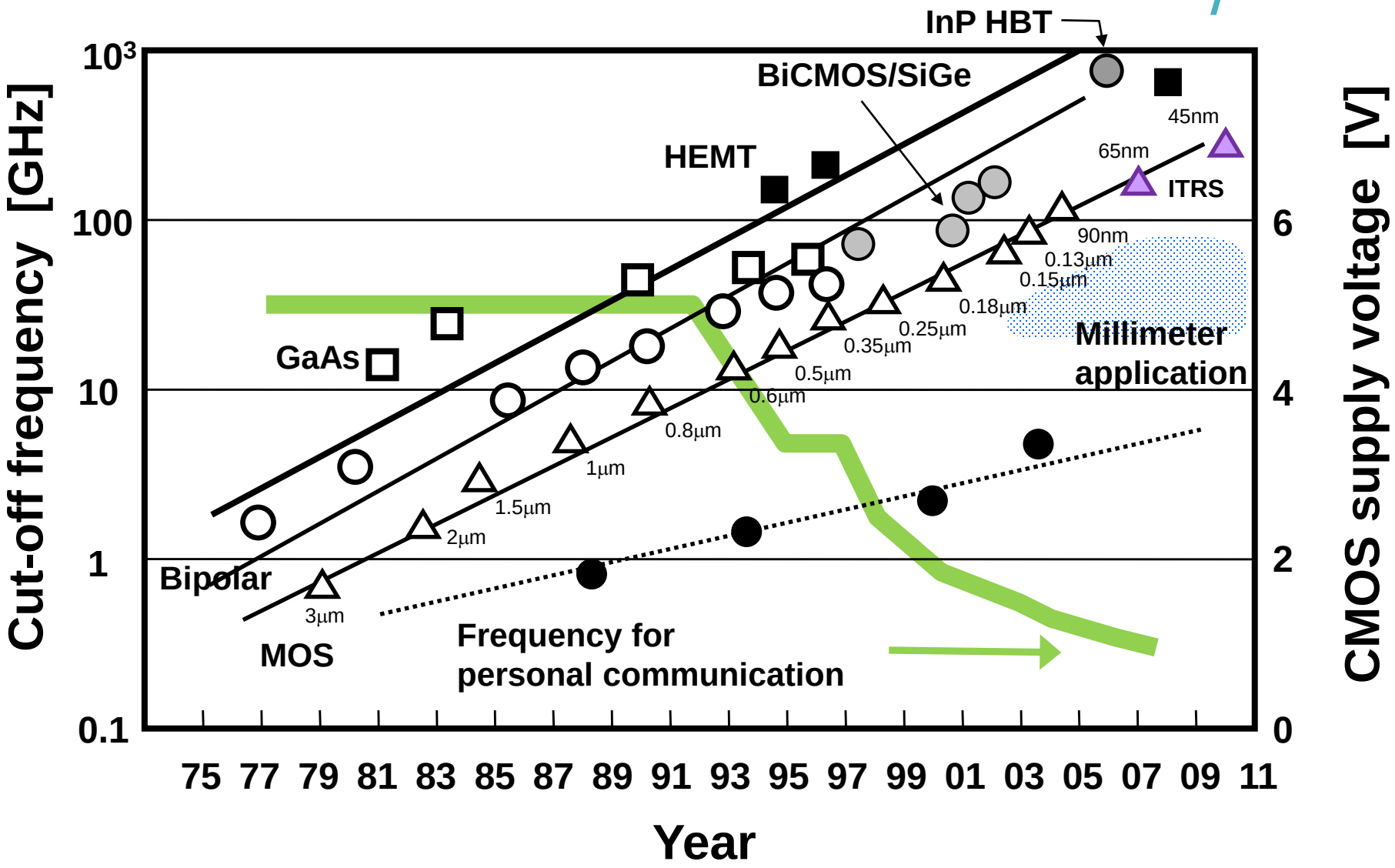
Channel length	L	1/k
Channel width	W	1/k
Oxide thickness	t_{ox}	1/k
Junction depth	x_j	1/k
Depletion layer width	x_d	1/k
Sub. doping conc.	N_A	k
Supply voltage	V	1/k

Circuit Parameters

Drain current	I_D	1/k
Capacitance	$C_{ox} = \varepsilon S/t$	1/k
Gate delay time	$C_{ox}V/I_D$	1/k
Consumption power per gate	$V I_D$	$1/k^2$
Chip area	A_{chip}	$1/k^2$
Power per unit area	$V I_D/A_{chip}$	1
Line Resistance	$R_L=\rho$ lentgh/S	k
RC constant	$R_L C$	1
Current density	$J=I/S$	k
Electric field strength	E	1

寸法を小さくする方法

MOSFET performance

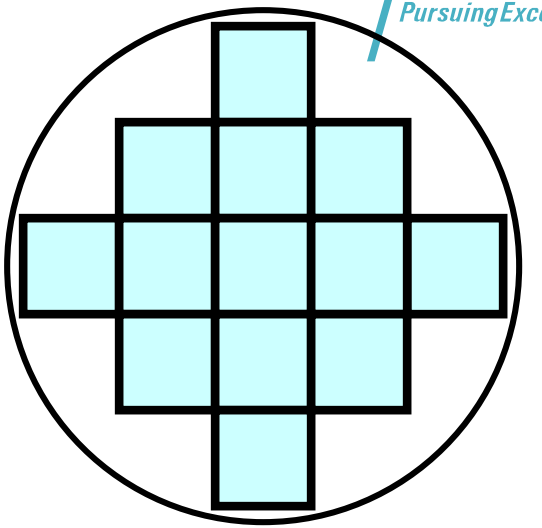


微細化・スケーリングとは

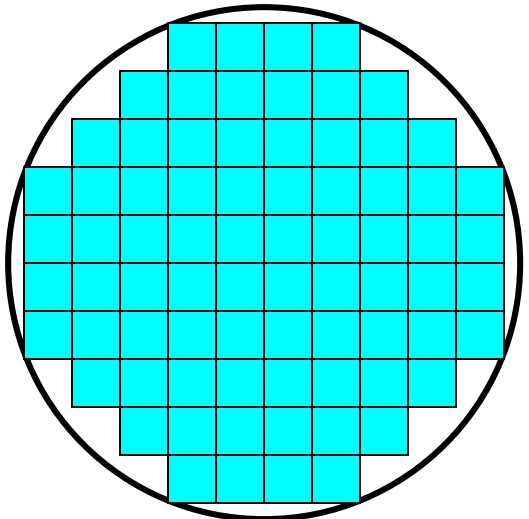
LSIはスケーリング則を唯一絶対の指導原理として微細化をおこなうことにより、

- 高　速
- 低消費電力
- 高密度・高集積・高機能化
- 低コスト

をすべて実現してきた　！



一枚のウエハから沢山のチップ



低コスト化なしに産業としては成立しない。

微細化・スケーリングとは

1. 同じ機能の回路であれば、寸法縮小すれば、一枚から製造されるチップ数は増加。

   チップ数は13から76に増加。

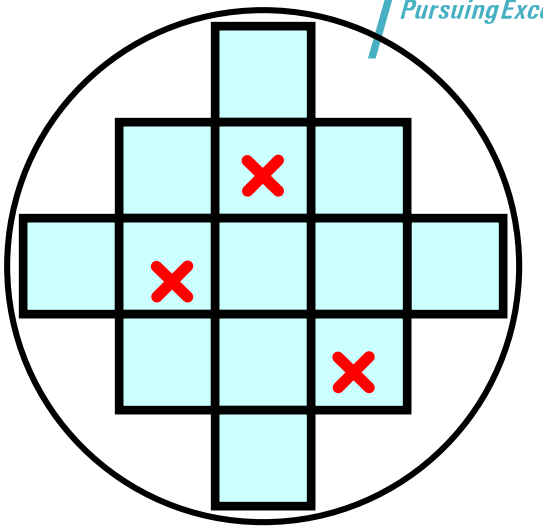
2. 製造時に、欠陥（ゴミ）が3つ入るとする。

$$歩留 = \frac{13-3}{13} = 77\%$$

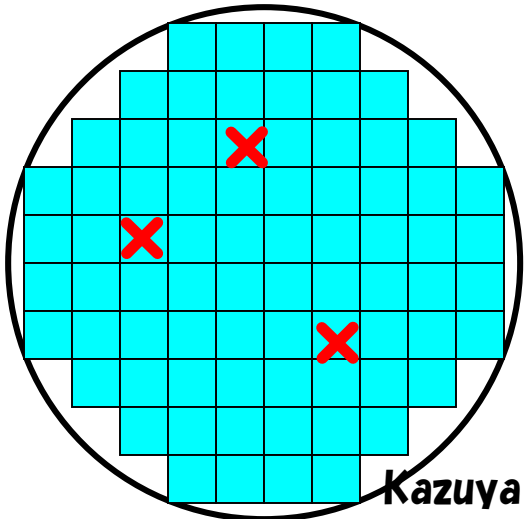
$$歩留 = \frac{76-3}{76} = 96\%$$

3. 個数も増えて、歩留まりも向上する。

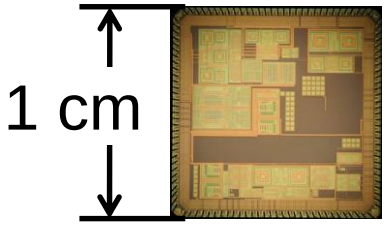
⇨ **低コスト**



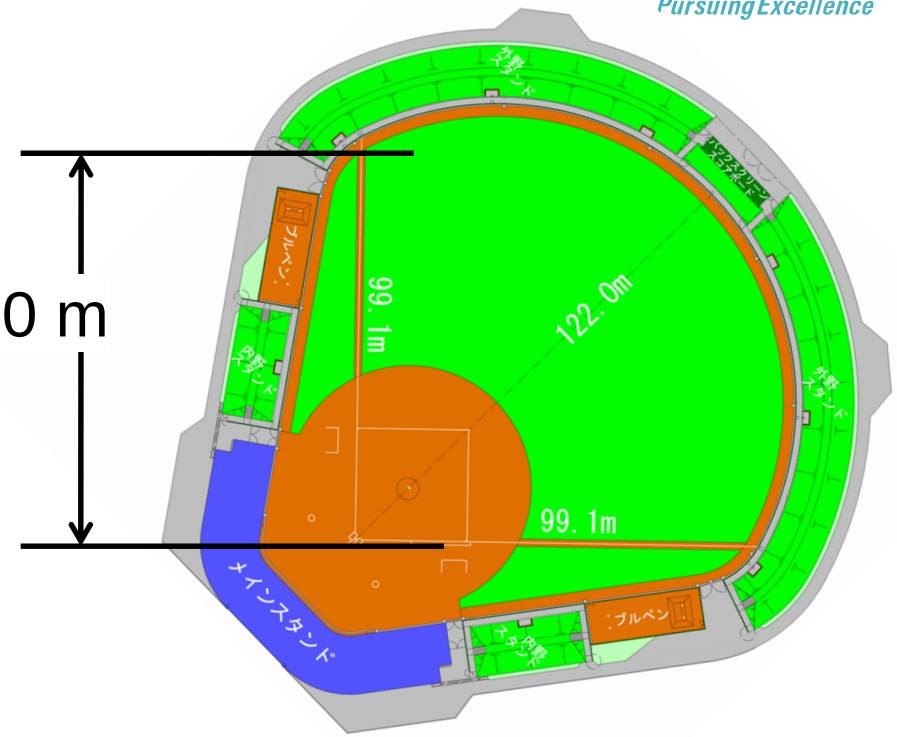
一枚のウエハから沢山のチップ



集積回路の大きさ



10,000倍

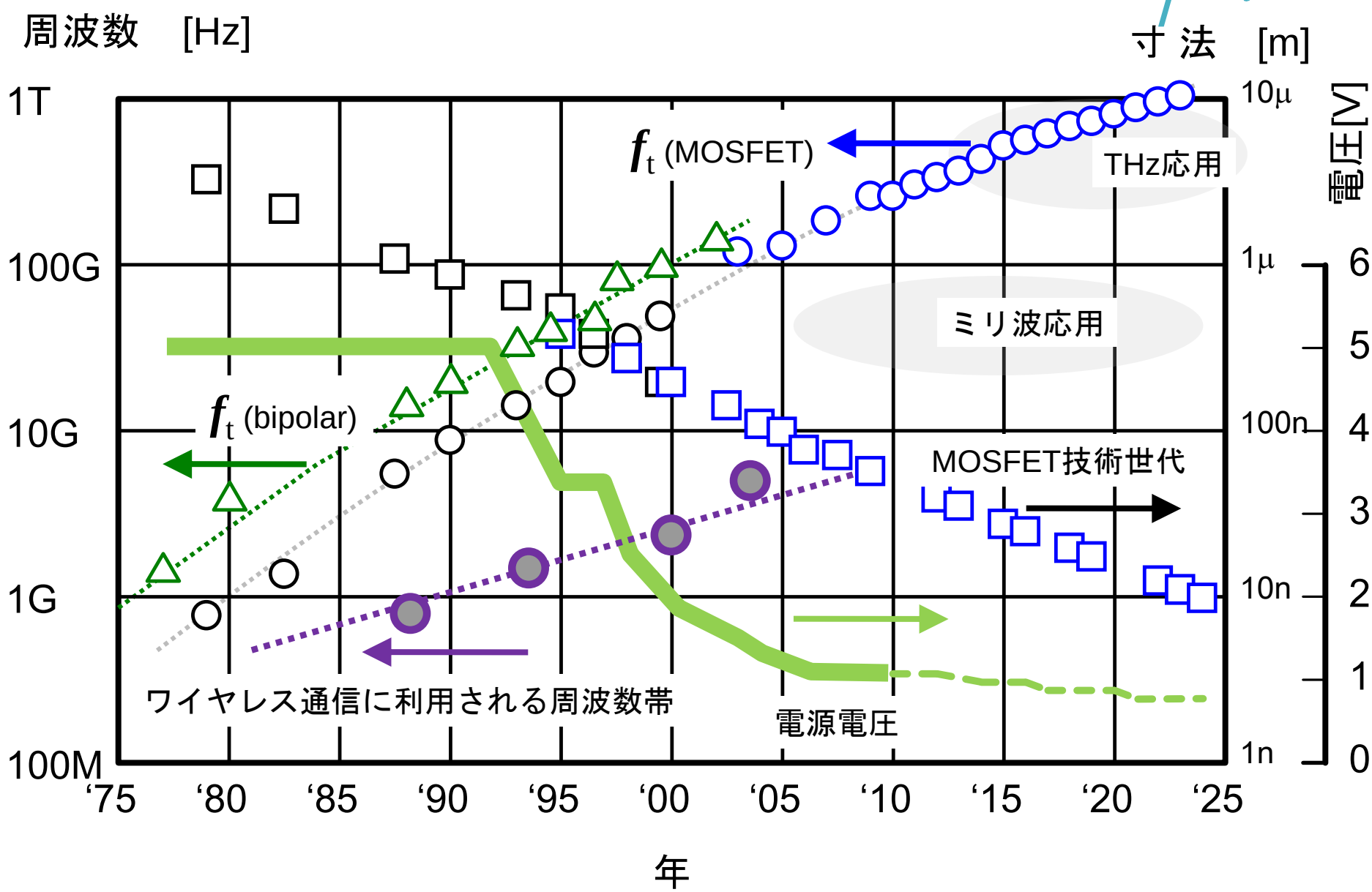


トランジスタゲート長:	40nm
トランジスタゲート酸化膜	1.8nm
最小配線幅:	0.1μm
配線層10層分の厚さ:	8μm

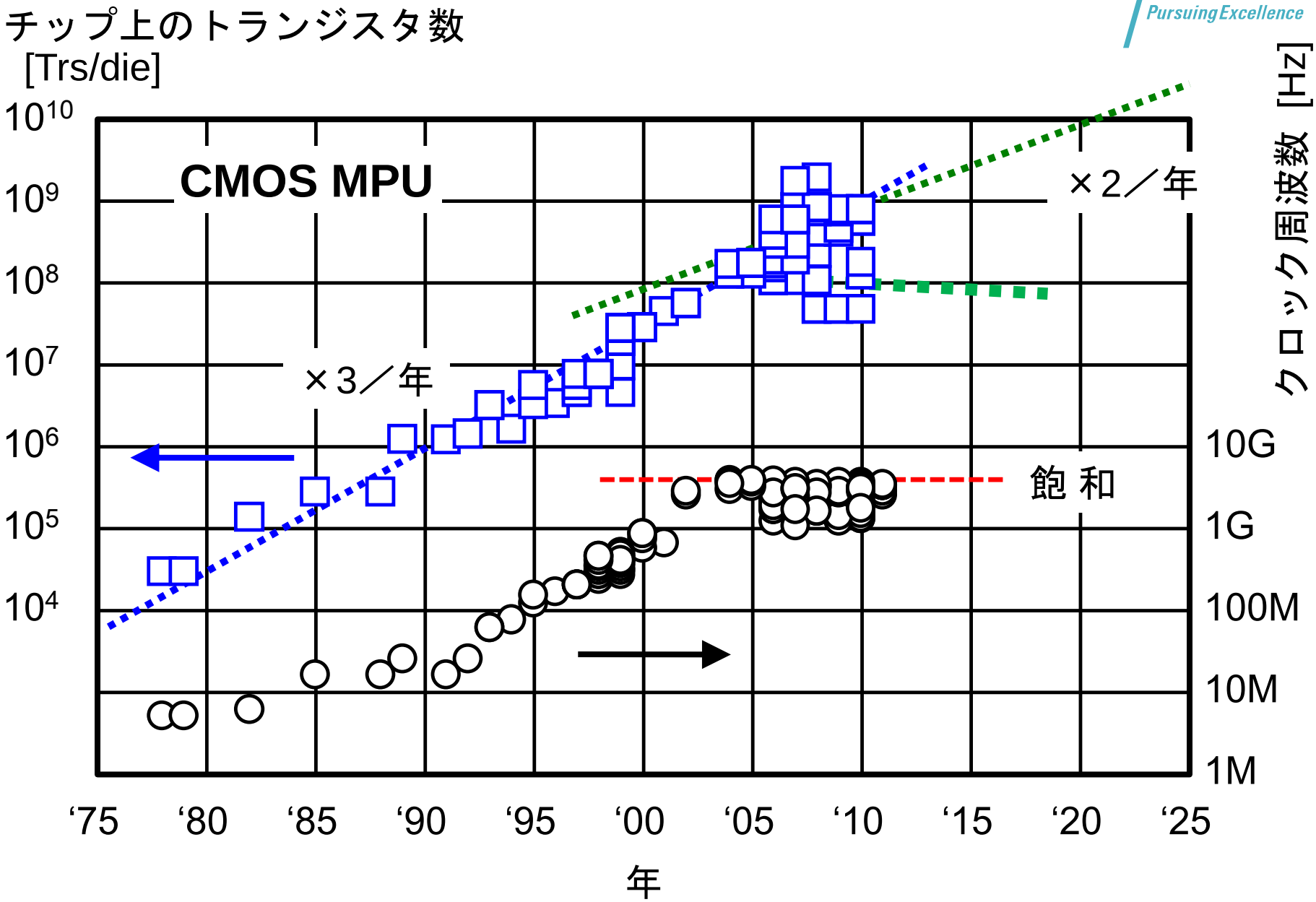
砂粒径(0.1mm)	4個分
砂粒径(0.1mm)	1/5個分
ファールライン幅(8cm):	1/80
走塁ベースの高さ(10cm)程度	

今、パソコンに入っているプロセッサ程度の微細化技術

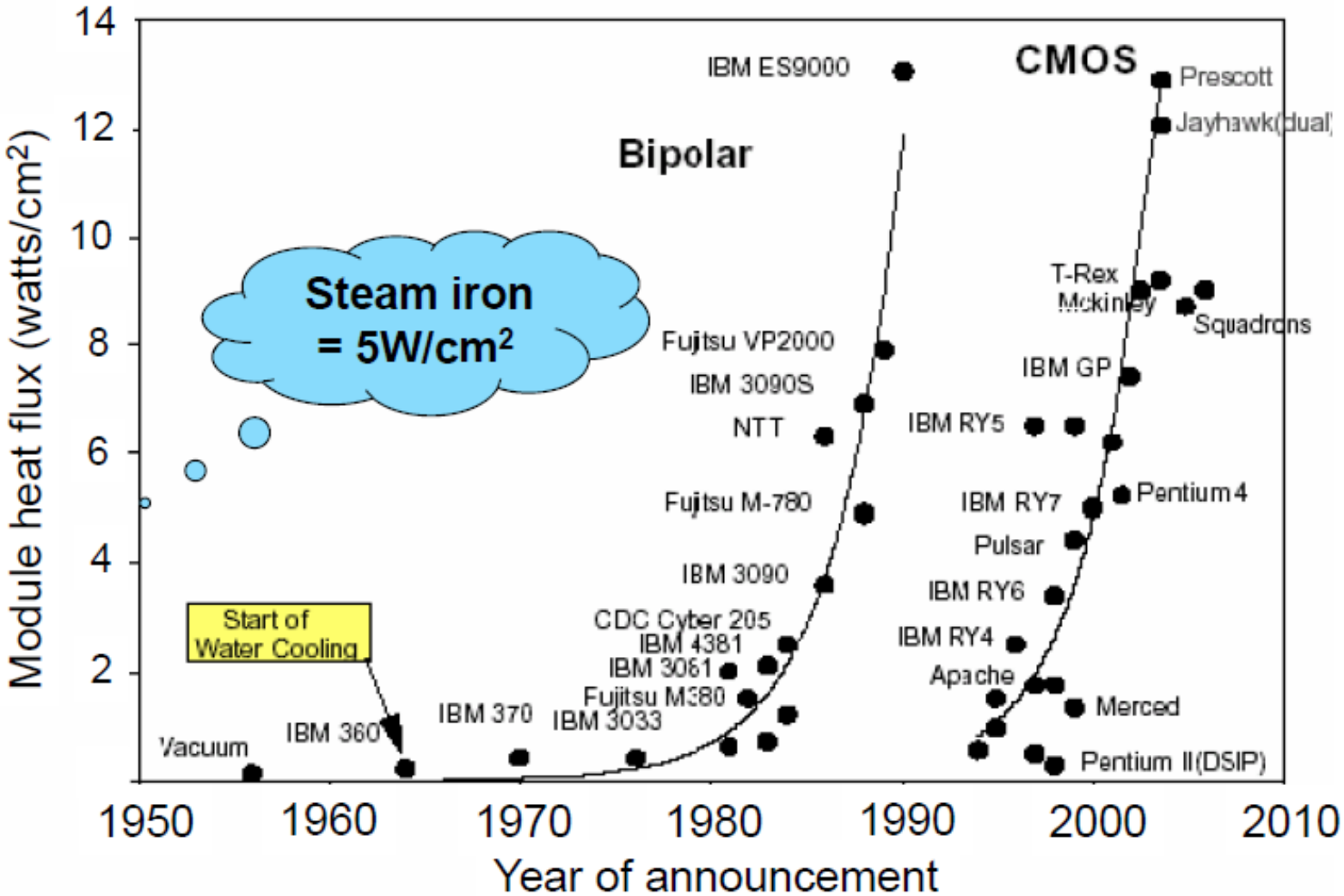
Miniaturization of MOSFET/CMOS



Progress of MPU

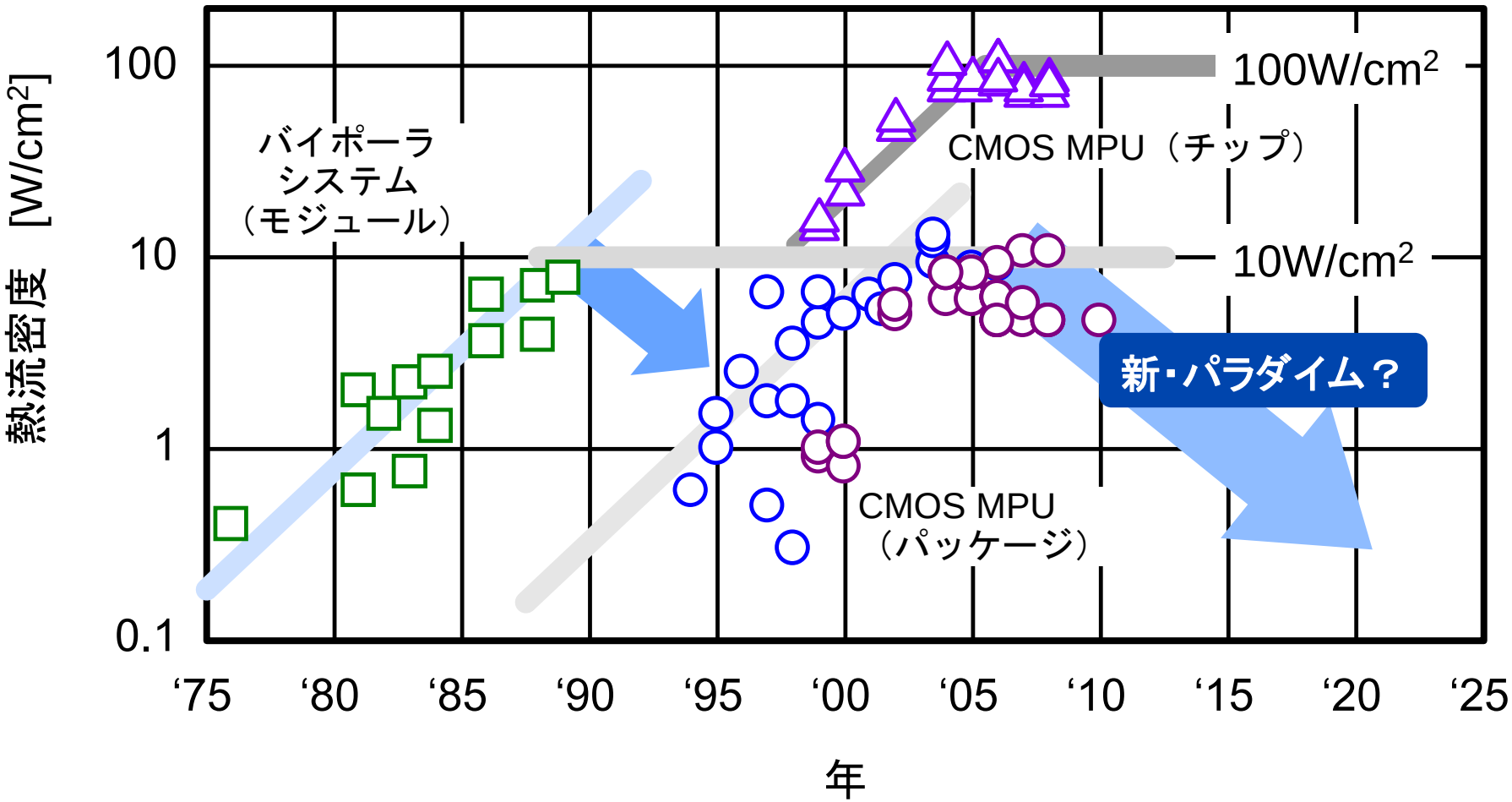


Watts happening in technology

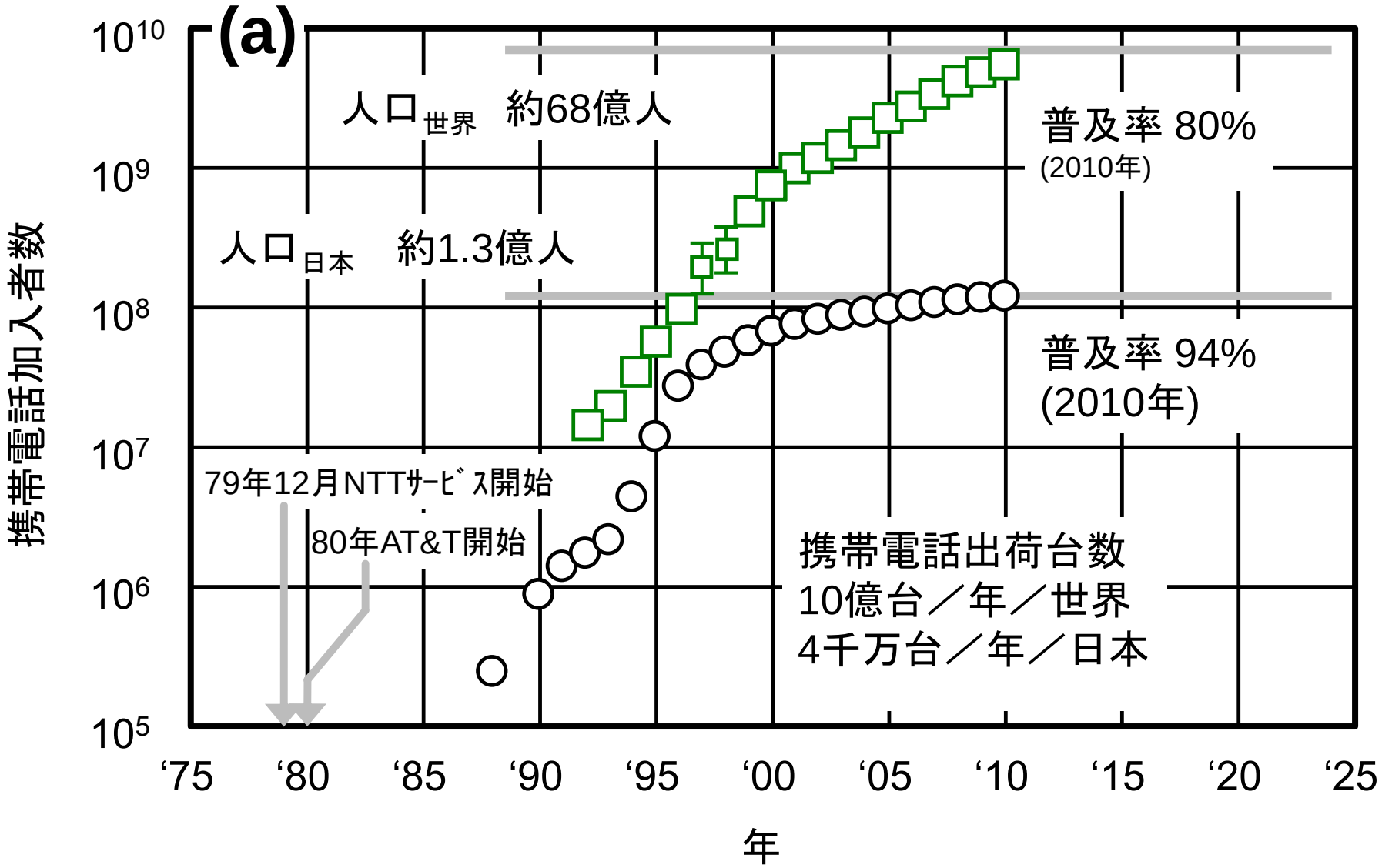


Source: Bernard S. Meyerson, IBM, 2005

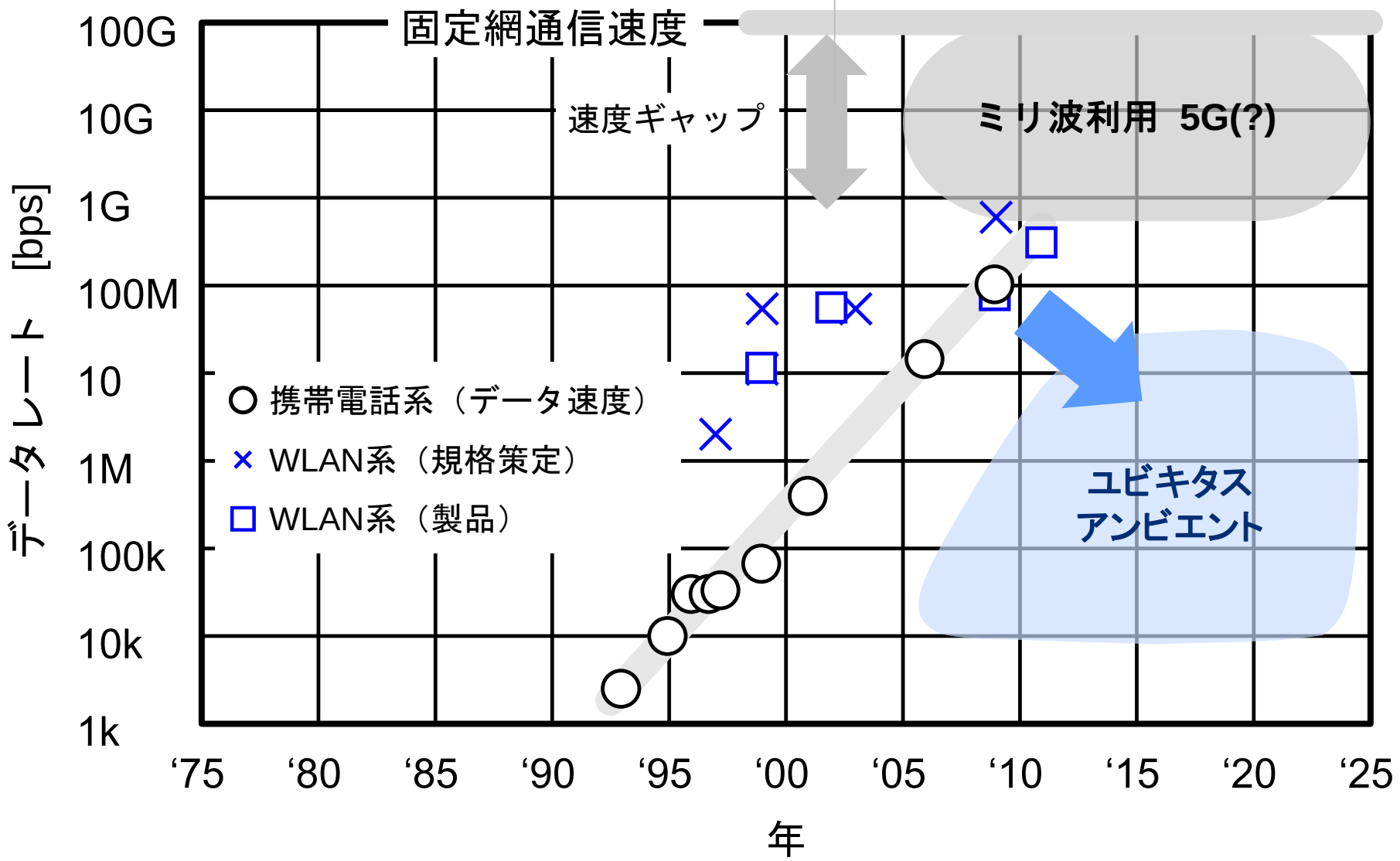
Heat flux of module/chip



Subscribers of mobile phone



Data rate of consumer wireless



45nm・32nm, and beyond

- そもそも微細化デバイスができない。
- 配線が問題:　同じ機能すらチップ面積を低減できない。
  - 専門化的にはリピータの異常な増加による。
- 電力食い過ぎ
  - 1Wも消費したら、すぐ使えなくなる。
  - 1W消費したらバッテリは1時間しか持たない。
- 規模が大きすぎて、設計できない。
  - 新規チップは、Boeing 777を設計する手間と同じ
- そもそも、何つくるの？