

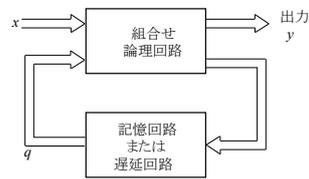
デジタル電子回路

順序回路

組み合わせ論理回路

出力の状態は入力の状態により決定される。
(記憶や前の状態により出力を変えることはできない。)
前の記憶がない!

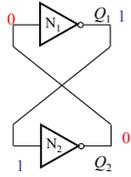
順序回路: 出力が現在の入力、**および過去の入力**によって決定。



フリップフロップ

過去の状態を記憶するための回路
→帰還作用を利用して1ビットの情報を記憶

2個のNOT回路の入出力を相互接続した回路を考えると...

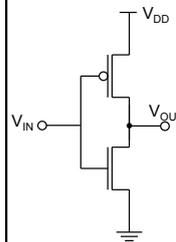


N_1 の出力 Q_1 が1だとすると
 N_2 に1が入力され Q_2 は0となる。これが再び
 N_1 に入力される。 Q_1 は1となり、回路は安定。

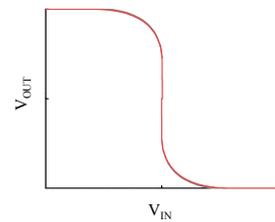
N_1 の出力 Q_1 が0だとすると
 N_2 に0が入力され Q_2 は1となる。これが再び
 N_1 に入力される。 Q_1 は1となり、回路は安定。

2安定回路 または **双安定回路**
→**双安定マルチバイブレータ**とも呼ばれる

インバータの動作

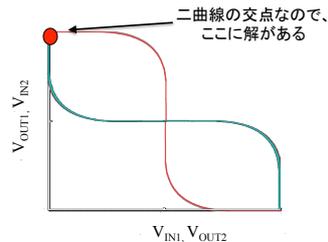
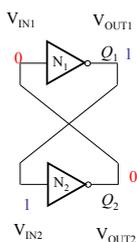


伝達特性(Transfer curve)



双安定の動作

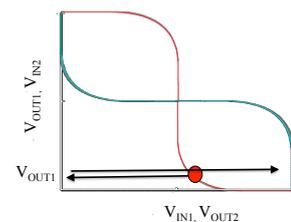
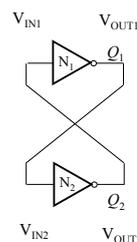
二つのインバーターをつなぎ合わせる



二曲線の交点なので、
ここに解がある

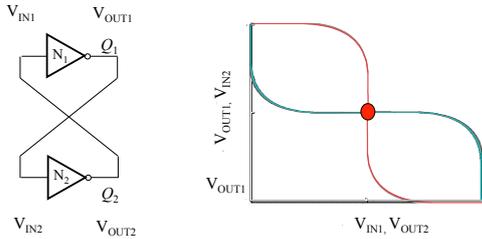
双安定の動作

V_{IN1} に強制的に $V_{DD}/2$ をすこし超える電圧をいれたら?



N_2 は V_{OUT2} にはほぼ V_{DD} の値を出力したい。
強制的な電圧が切れたら、 V_{DD} になる。

双安定の動作

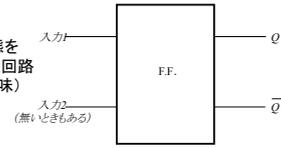


真ん中は非常に不安定。
数式的にはここで安定できるが、
雑音などで通常どっちかに行く。

フリップフロップ(2)

フリップフロップ

2安定回路の二つの安定状態を外部より選択できるようにした回路(英語でバタバタするという意味)



安定状態を決定するための入力と、互いに相補の関係にある出力Q, \bar{Q} からなる。

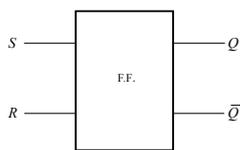
Q=1をすることを「フリップフロップを**セット**する」、

Q=0をすることを「フリップフロップを**リセット**する」という

SRフリップフロップ

S:セット入力
R:リセット入力

現在の出力 Q^n, \bar{Q}^n
↓
変化後の出力 Q^{n+1}, \bar{Q}^{n+1}



特性表

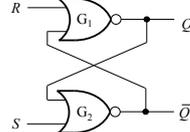
入 力	出力
S R	Q^{n+1}
0 0	Q^n
0 1	0
1 0	1
1 1	不定

- (1) S=0, R=0の時
出力は入力前の出力と同一
- (2) S=0, R=1の時
常に $Q^{n+1}=0$ (強制的にリセット)
- (3) S=1, R=0の時
常に $Q^{n+1}=1$ (強制的にセット)
- (4) S=1, R=1の時
禁止(出力状態は定義されない。)

SRラッチ回路 SC(セット-クリア)フリップフロップ ということもある。

SRフリップフロップ(NOR構成)

注: Rが上(出力Q)側



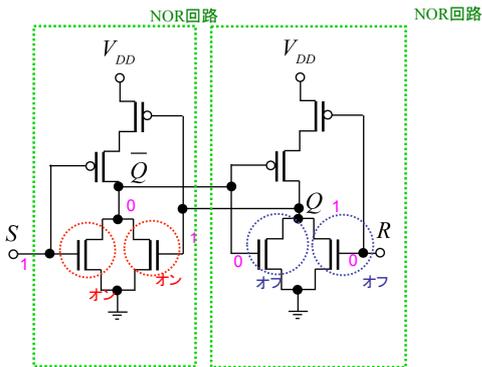
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

特性表

入 力	出力
S R	Q^{n+1}
0 0	Q^n
0 1	0
1 0	1
1 1	不定

- (1) S=0, R=0の時
 $Q=1$ なら G_1 には1が入力され、 $\bar{Q}=0$ となる。
これが G_2 に入力されるので $Q=1$ で変化なし
 $Q=0$ なら G_2 には0が入力され、 $Q=1$ となる。
これが G_1 に入力されるので $Q=0$ で変化なし
- (2) S=0, R=1の時
R=1であるから \bar{Q} にかかわらず $Q=0$
- (3) S=1, R=0の時
S=1であるから Q にかかわらず $\bar{Q}=0$, 即ち $Q=1$
- (4) S=1, R=1の時
禁止(両方0になり相補の出力にならない。)

SRフリップフロップ(NOR構成CMOS回路)

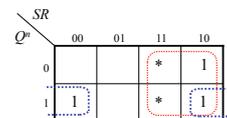


SRフリップフロップ(特性方程式)

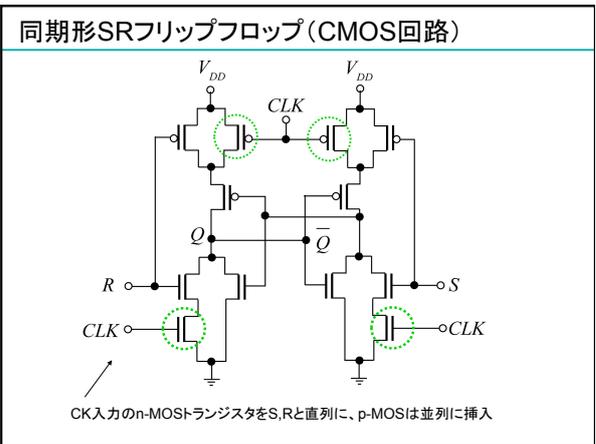
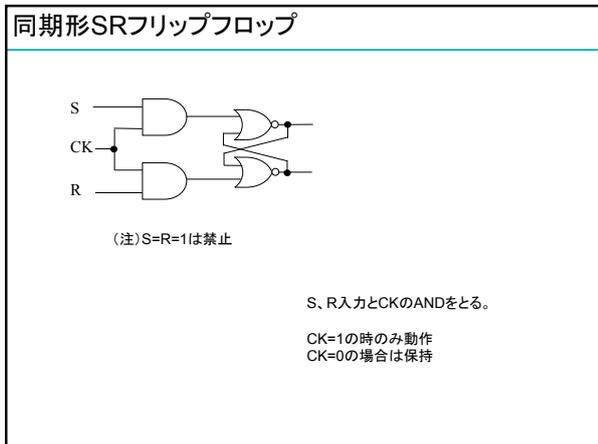
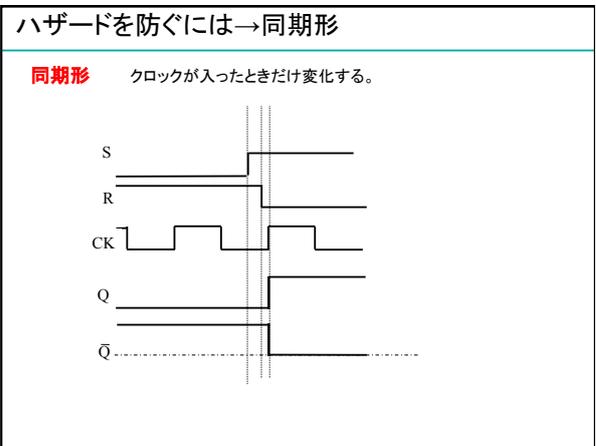
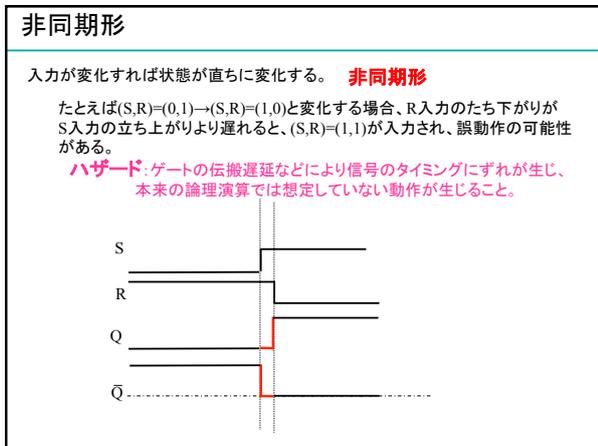
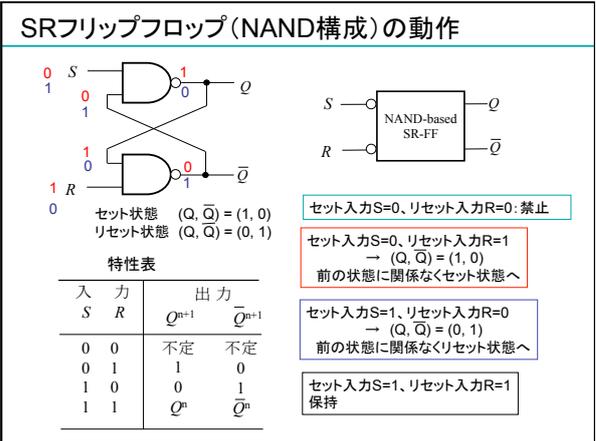
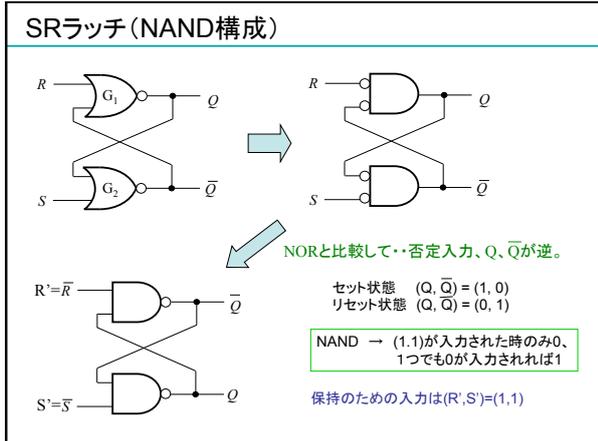
S, R, Q^n を入力, Q^{n+1} を出力として
真理値表を書く...

S	R	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

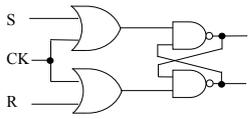
- (1) S=0, R=0の時
出力は入力前の出力と同一
- (2) S=0, R=1の時
常に $Q^{n+1}=0$ (強制的にリセット)
- (3) S=1, R=0の時
常に $Q^{n+1}=1$ (強制的にセット)
- (4) S=1, R=1の時
禁止(出力状態は定義されない。)



$Q^{n+1} = S + Q^n \bar{R}$
これを特性方程式という。



NANDを用いた構成

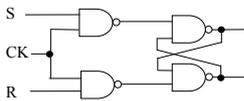


S, R入力とCKのORをとる。

CK=1の時は保持
CK=0の場合に動作

Active Low

クロック信号 CK=1の時に動作するようにすることも可能

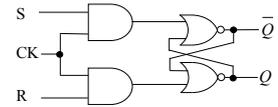


S, RもActive High (正論理)

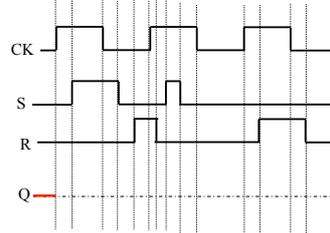
S=1, R=0 でセット(Q, Q-bar)=(1, 0)
S=0, R=1 でリセット(Q, Q-bar)=(0, 1)

例題

図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？

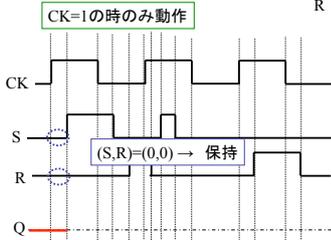
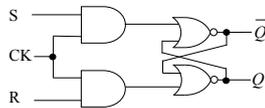


初期状態はQ=0とする



例題解答: 同期型SRフリップフロップ

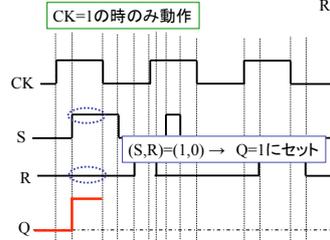
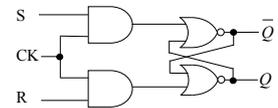
図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0とする。



- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

例題解答: 同期型SRフリップフロップ

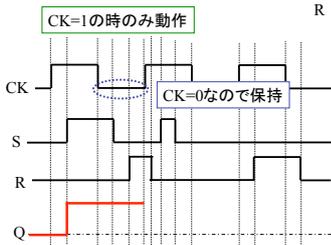
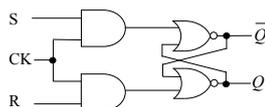
図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0



- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

例題解答: 同期型SRフリップフロップ

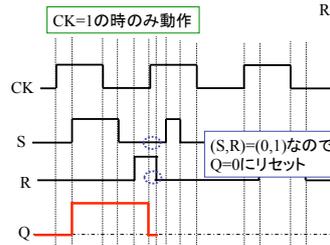
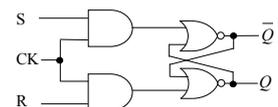
図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0



- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

例題解答: 同期型SRフリップフロップ

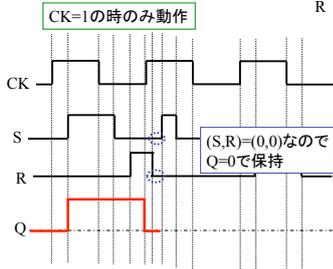
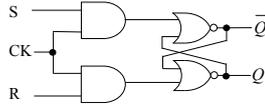
図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0



- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

例題解答: 同期型SRフリップフロップ

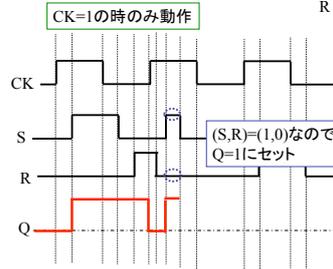
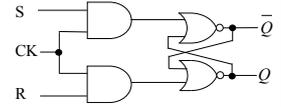
図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0



- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

例題解答: 同期型SRフリップフロップ

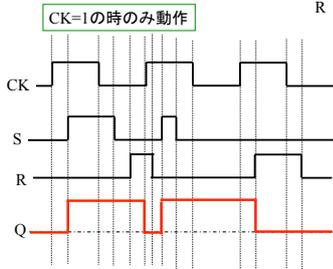
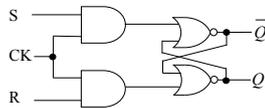
図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0



- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

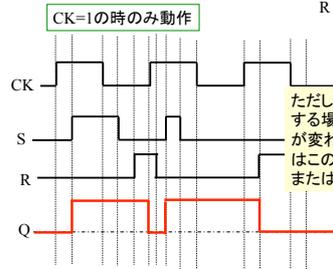
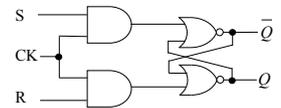
例題解答: 同期型SRフリップフロップ

図に示すようなSRフリップフロップに以下のようにクロック(CK)とS入力、R入力が印加されたとする。Qはどのように変化するか？初期状態はQ=0

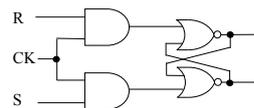


- (1) S=0, R=0の時 保持
- (2) S=0, R=1の時 リセット Q=0
- (3) S=1, R=0の時 セット Q=1
- (4) S=1, R=1の時 禁止

例題解答: 同期型SRフリップフロップ



同期型SRフリップフロップ

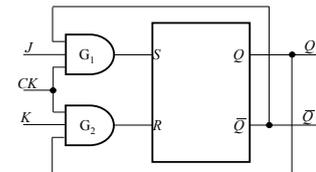
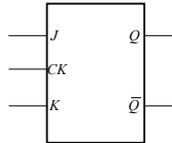


動作の表

S	R	Q ⁿ	Q ⁿ	S'	R'	Q ⁿ⁺¹	Q ⁿ⁺¹
0	0	0	1	0	0	0	1
		1	0	0	0	1	0
0	1	0	1	0	1	0	1
		1	0	0	1	0	1
1	0	0	1	1	0	1	0
		1	0	1	0	1	0
1	1	0	1	1	1	0	0
		1	0	1	1	0	0

JKフリップフロップ

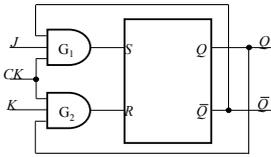
SRフリップフロップ: 禁止入力の組み合わせがある。→ JKフリップフロップ
CK=0の時は保持
CK=1の場合に動作



入 力	出力	
J	K	Q ⁿ⁺¹
0	0	Q ⁿ
0	1	0
1	0	1
1	1	Q ⁿ

- (1) J=0, K=0の時 出力は入力前の出力と同一(保持)
- (2) J=0, K=1の時 常にQⁿ⁺¹=0 (強制的にリセット)
- (3) J=1, K=0の時 常にQⁿ⁺¹=1 (強制的にセット)
- (4) J=1, K=1の時 Qⁿ⁺¹=Qⁿ (反転)

JKフリップフロップ



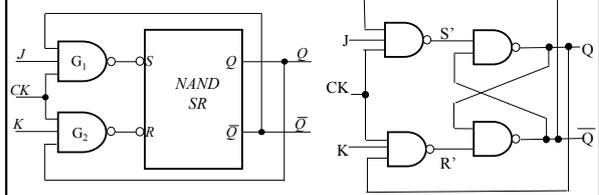
入 力		出力
J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	Q^n

- (1) J=0, K=0の時
G₁, G₂はANDゲートなので、Q, \bar{Q} にかかわらず、S=0, R=0で保持。
- (2) J=0, K=1の時
S=0, Q=1の時はR=1となりリセット。
Q=0の時はR=0で保持。つまり常に $Q^{n+1}=0$ (強制的にリセット)
- (3) J=1, K=0の時
R=0, Q=1 ($\bar{Q}=0$)の時はS=0となり保持。Q=0 ($\bar{Q}=1$)の時はS=1となり、セット。つまり...常に $Q^{n+1}=1$ (強制的にセット)
- (4) J=1, K=1の時
• Q=1 (Q=0)の時は(S,R)=(0,1)となりリセットされ、Q=0と反転する。
• Q=0 (Q=1)の時は(S,R)=(1,0)となりセットされ、Q=1と反転する。
 $Q^{n+1} = Q^n$ (反転)

JKフリップフロップ (NAND構成)

NANDでの構成

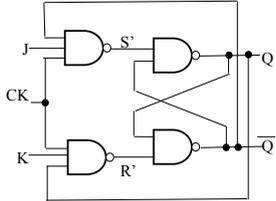
CK=0の時は保持
CK=1の場合に動作



問題

NAND構成のJKフリップフロップについて、以下の表を完成させてみよう。

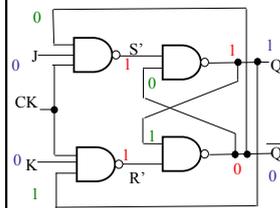
CK=0の時は保持 CK=1の場合に動作



J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0				
0	1	0	1				
		1	0				
1	0	0	1				
		1	0				
1	1	0	1				
		1	0				

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

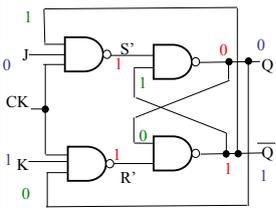


J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1				
		1	0				
1	0	0	1				
		1	0				
1	1	0	1				
		1	0				

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

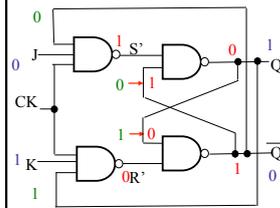


J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0				
1	0	0	1				
		1	0				
1	1	0	1				
		1	0				

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

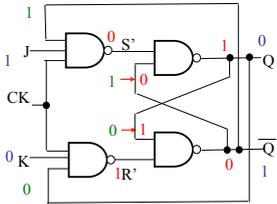


J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0	1	0	0	1
1	0	0	1				
		1	0				
1	1	0	1				
		1	0				

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

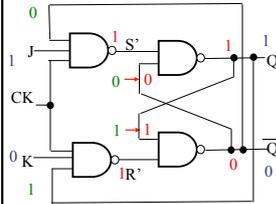


A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0	1	0	0	1
1	0	0	1	0	1	1	0
		1	0				
1	1	0	1				
		1	0				

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

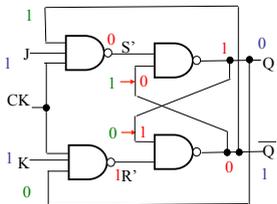


A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0	1	0	0	1
1	0	0	1	0	1	1	0
		1	0	1	1	1	0
1	1	0	1				
		1	0				

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

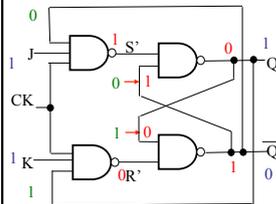


A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0	1	0	0	1
1	0	0	1	0	1	1	0
		1	0	1	1	1	0
1	1	0	1	0	1	1	0
		1	0				

NAND構成JKフリップフロップ

NAND構成のJKフリップフロップについて、以下の表を完成させよ

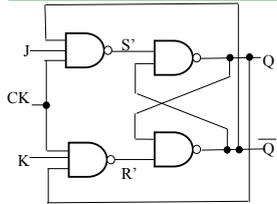


A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0	1	0	0	1
1	0	0	1	0	1	1	0
		1	0	1	1	1	0
1	1	0	1	0	1	1	0
		1	0	1	0	0	1

NAND構成JKフリップフロップ

NAND構成のSR-FF
 $S'=0$ でセット $R'=0$ でリセット
 $S'=1, R'=1$ は保持

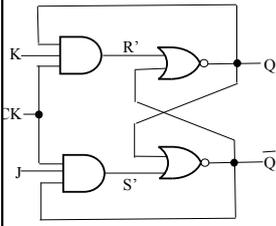


JKフリップフロップ
 (J,K)=(0,0)で保持
 (J,K)=(0,1)でリセット(Q=0)
 (J,K)=(1,0)でセット(Q=1)
 (J,K)=(1,1)で反転

J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	1	1	0	1
		1	0	1	1	1	0
0	1	0	1	1	1	0	1
		1	0	1	0	0	1
1	0	0	1	0	1	1	0
		1	0	1	1	1	0
1	1	0	1	0	1	1	0
		1	0	1	0	0	1

JKフリップフロップ(NOR構成)

J,Kと S',R' の上下がNAND形と逆になっていることに注意!



A	B	AND
0	0	0
0	1	0
1	0	0
1	1	1

A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

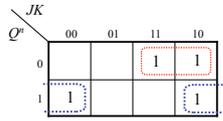
J	K	Q^n	\bar{Q}^n	S'	R'	Q^{n+1}	\bar{Q}^{n+1}
0	0	0	1	0	0	0	1
		1	0	0	0	1	0
0	1	0	1	0	0	0	1
		1	0	0	1	0	1
1	0	0	1	1	0	1	0
		1	0	0	0	1	0
1	1	0	1	1	0	1	0
		1	0	0	1	0	1

JKフリップフロップの特性方程式

J, K, Qⁿを入力、Qⁿ⁺¹を出力として
真理値表を書くと...

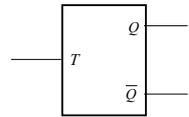
J	K	Q ⁿ	Q ⁿ⁺¹
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

- (1) J=0, K=0の時
出力は入力前の出力と同一
- (2) J=0, K=1の時
常にQⁿ⁺¹=0 (強制的にリセット)
- (3) J=1, K=0の時
常にQⁿ⁺¹=1 (強制的にセット)
- (4) J=1, K=1の時
Qⁿ⁺¹= \bar{Q}^n (反転)



$$Q^{n+1} = J \cdot \bar{Q}^n + \bar{K} \cdot Q^n$$

Tフリップフロップ



T	Q ⁿ⁺¹
0	Q ⁿ
1	\bar{Q}^n

Tが1になるごとに出力の
状態が反転する。
Toggle = ひっくり返る

JKフリップフロップのJ,K入力を1とし、CK入力をTとすれば実現できる。

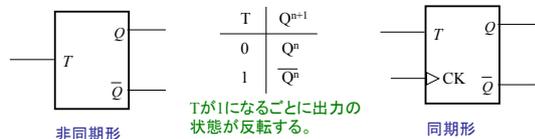
◎ T入力にパルスが2個印加されるごとに元の状態に戻る。

→ 2進のバースカウンタ (従続につなげば、2ⁿ進カウンタ)
Frequency divider (周波数分割器)

入力を出力に繋ぐと発振器になる 発振周波数はトグル周波数と呼ばれ、高速性の指標

Tフリップフロップにセット入力端子S、リセット入力端子Rを付加した
SRTフリップフロップというもある。

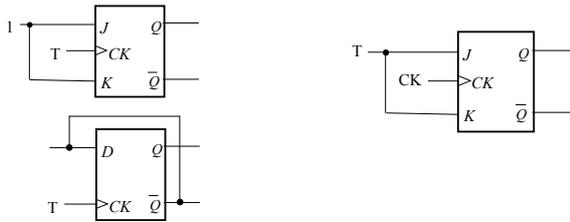
Tフリップフロップの構成例



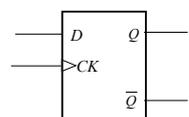
非同期形

同期形

Tが1になるごとに出力の
状態が反転する。



Dフリップフロップ



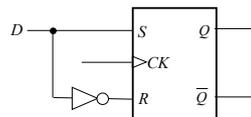
D	Q ⁿ⁺¹
0	0
1	1

CK=1の時、入力と同一の出力。

入力Dの状態を一時的に記憶。
入力Dの情報をクロックパルスが入力されるまで遅らせる。(Delay)

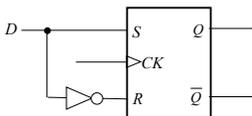
(データフリップフロップ、遅延フリップフロップ)

CK=1で入力を記憶、CK=0で出力状態を保持 (Dラッチ)



Dラッチ

CK=1で入力を記憶、CK=0で出力状態を保持 (Dラッチ)



Dラッチは、現在の回路において、もっともよく使われているフリップフロップ
トランミッションゲートという概念の導入により
マルチプレクサとNOTループ構造をもちいたD-FFが非常にコンパクトになるから

なお、一般的にはDだけでなく、セット入力端子S、リセット入力端子Rを付加して
強制的に出力が変えられるようになっているICが多い。

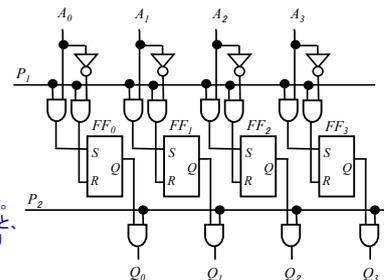
フリップフロップの応用(レジスタ)

フリップフロップ: 情報の一時記憶 ⇔ レジスタとカウンタ

1個のフリップフロップ
1ビットの2進データを記憶。

n個のフリップフロップ
nビットの2進データを記憶。
(メモリレジスタ, orレジスタ)

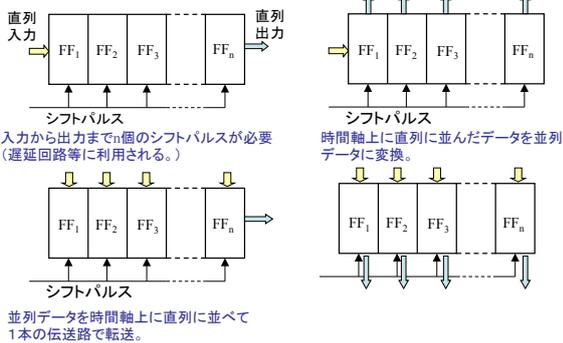
2進データをA₀~A₃へ入力
P₁: 書き込み信号
P₁=1でA₀~A₃の状態が、
FF₀~FF₃の各出力Qに記憶。
書き込み終了後P₁=0とすると、
FFのSR入力がともに0となり
状態を保持する。



並列入力並列出力レジスタ

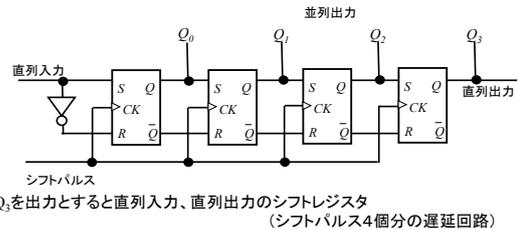
シフトレジスタ(1)

外部より加えられる信号(シフトパルス)により、各段のフリップフロップの内容が隣のフリップフロップに順次転送される。



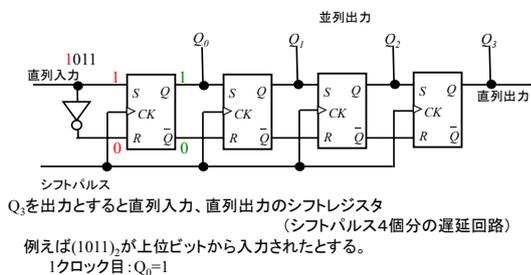
シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。



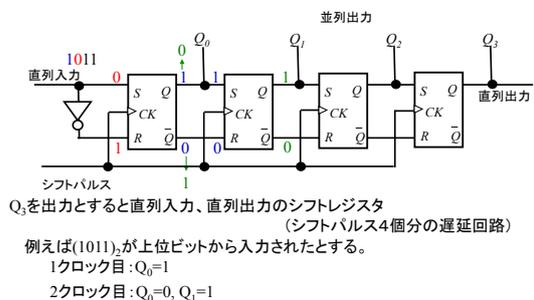
シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。



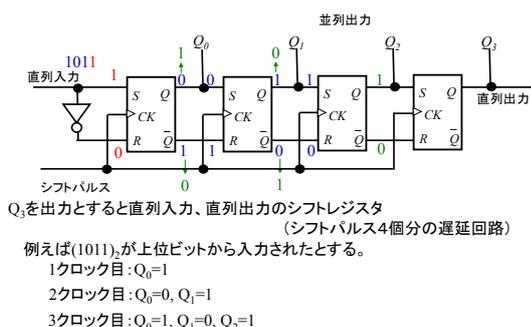
シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。



シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。



シフトレジスタ(2)

4ビット直列入力並列出力形シフトレジスタ。

