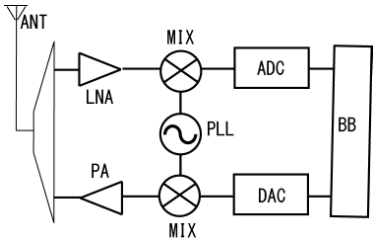
第 15 回講義メモ

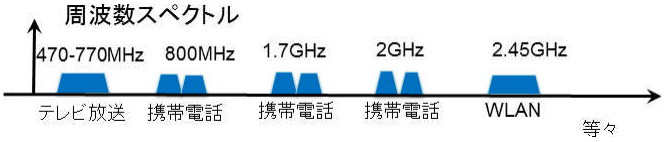
さて、最終回である。
第一回に話した現在の無線回路の例を再掲しよう。



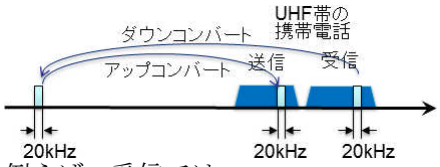
LNA は低雑音増幅器、PA は電力増幅器であり、いままでやってきたアンプの延長線上にある。

電波の電力としては、携帯電話ならば、受信される信号の大きさは-90 dBm　（dBm というのは、1mW を 0dBm として、これを中心に電力の大きさを書き換えた単位。-90 dBm は、1×10^{-12} W に当たる。）位であり、出て行く信号の大きさは 1W＝30dBm 位である。12 桁もの電力の差を扱っている。

使える電波の周波数は限られている。（だからこそ、テレビがデジタル放送にして、いままでより効率よく放送を送ろうとしたりする。）携帯電話などが使われている UHF（300MHz-3GHz）帯の利用状況を見てみよう。
　（その下の 30-300MHz は VHF 帯であり、アナログテレビや FM ラジオが、その上の SHF 帯（3-30GHz 帯）は衛星放送などが使っている。クルマの衝突防止レーダーは EHF 帯）



音声信号だけなら 20Hz-20kHz であり、20kHz しか使わない。
この 20kHz 幅の信号を電波に載せるために、他の回路がある。



例えば、受信では、
① LNA で増幅。できるだけ雑音が入らないように。
② ミキサーでダウンコンバートする。

ミキサーは乗算器　であり、$\sin\omega_1 t \cdot \cos\omega_2 t = \frac{1}{2}\sin(\omega_1+\omega_2)t + \frac{1}{2}\sin(\omega_1-\omega_2)t$

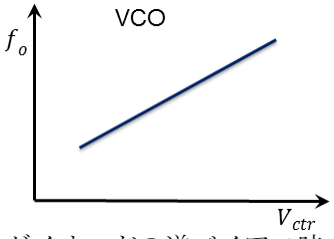
であり、ω_1 を 2GHz、ω_2 を 1.9GHz とすれば、$\omega_1+\omega_2$ は 3.9GHz に、$\omega_1-\omega_2$ は、100MHz になる。
受信時は、周波数を下げたいので、3.9GHz を捨てて、100MHz を取る。
（実際には、ミキサーと次段の間に LPF 低域通過フィルタを入れる。）

③ ADC(アナログ－デジタル変換器)でデジタル信号に変換する（100MHz 程度なら、自由に扱える集積回路ができたから。昔は、中間周波数に落とし、そのあと直接音声に落としていた。）
④ BB はベースバンド部であるが、最近はデジタル集積回路の速度が早くなったことから、DAC/ADC を入れてデジタル信号処理回路 DSP などで信号処理をしている。

送信は逆の手順で
受信では、
　① DSP で変調信号を作る。
　② DAC（ディジタル－アナログ変換器）でアナログ信号にする。

③　ミキサーでアップコンバート。
④　PA で増幅

ここで、ダウンコンバートする・アップコンバートにつかう発振器だが、昔は単純な発振器を使っていたが、最近は、PLL（位相同期回路）を用いている例が多い。
PLL は、電圧制御発振器（VCO）と周波数分周器、および基準周波数との位相差を出力する比較器とでループを組む。VCO は、入力電圧で周波数を変えられる発振器である。

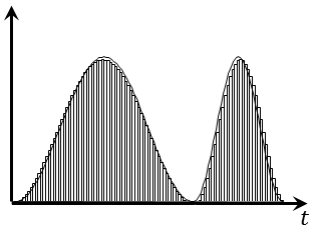


ダイオードの逆バイアス時の接合容量が電圧に依存して変化する特性などを使う。

周波数分周器は、例えば T-FF を使って、周波数を 1/2,1/4 とするが、最近はデジタル回路を使って、自由な分周率を取れる。そして水晶振動子の周波数（例えば 20MHz）と比較して、差があるときは VCO の電圧を変化させて、欲しい周波数に、安定させる。分周器が 100 倍ならば、2GHz ぴったりに固定する。

さて、今日はこの中で DAC,ADC について示そう。

アナログの値をデジタル化するときには、
　　標本化（sampling）　ある周期でデータをサンプリングすること　時間の離散化
　　量子化（quantization）　有限の分解能のデジタル値にまるめ込むこと　信号強度の離散化
　　が必要である。

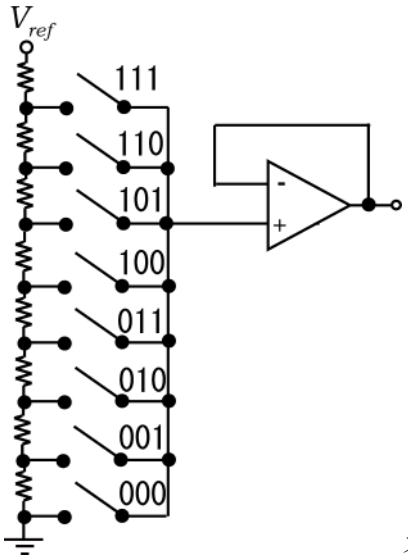


量子化後の信号は、元の信号との差（量子化誤差）を持つ
ADC　6bit（64 値）～14bit(16,384 値)くらいが良く用いられる。
デジタルの値をアナログの値にするときは、この逆過程であり、有限の分解能の数値に対応するアナログ値（電圧、電流など）を決まった周期のタイミングで出力することになる。
ADC には DAC を使ったりするので、DAC から先に説明しよう。

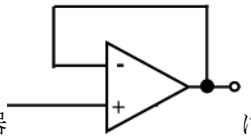
DAC

DAC の代表例としては、デコーダ形とバイナリー形がある。
それぞれの動作を説明しよう。

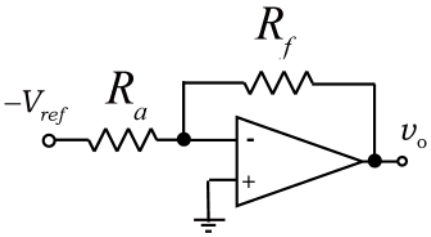
デコーダ形
簡単に言えば最小単位の電圧を必要な数だけ（3 ビットなら 8 個）用意して、それを切り替える回路である。3 ビットなら、例えば抵抗 8 本で参照電圧を分割する。



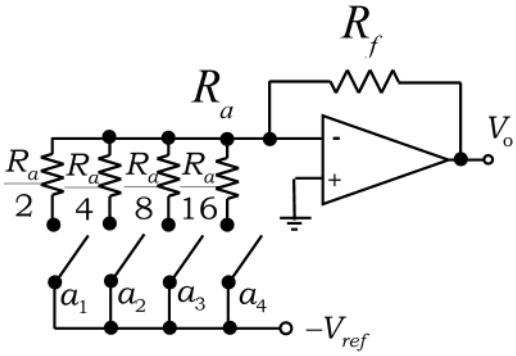
スイッチは MOSFET で作る。

次段の増幅器  は、$v_{in}^{+} = v_{out}$ とするが、出力インピーダンスの変化の影響を電圧を作るところが受けなくなる。

バイナリ形
1 ビット毎に一つのスイッチをつけたものである。
まず、次の回路でのオペアンプの動作だが、



$\frac{v_{ref}}{R_a} = \frac{v_o}{R_f}$　　$v_o = \frac{R_f}{R_a} v_{ref}$ である。ここで、



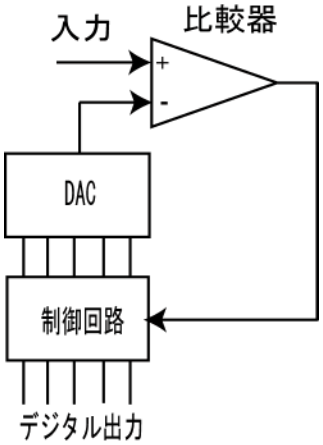
とすれば、

$v_o = \frac{R_f}{R} v_{ref} (2 \bullet a_1 + 4 \bullet a_2 + 8 \bullet a_3 + 16 \bullet a_4)$ となる。

なお、ここで述べたのは抵抗を用いた物であるが、2^n 倍の精度を作るのが難しいことから、R-2R ラダー抵抗網を用いる方法が実用的である。さらに、容量形も電流形もある。

<u>ADC</u>

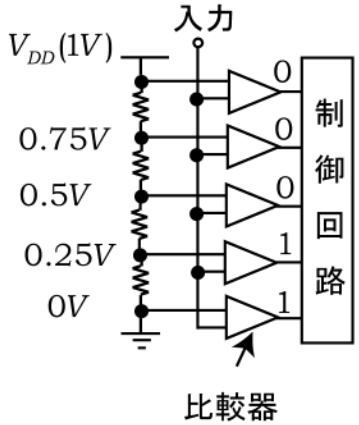
ADC の一番基本の回路は、DAC で作った電圧と較べて同じにする方法である。



ここでは比較器にオープンループのオペアンプを用いる。すなわち入力と DAC の作る電圧が等しければ 0(V)を、入力が大きければ V_{DD}＝1 を出力する。
そこで、始めに DAC で零（V）をつくり、比較器で比較して、0 なら入力電圧は 0 で出力も 0 で確定、出力が 1 なら、DAC の電圧よりも入力が大きいので、DAC の出力を最小単位の電圧分だけ足す。
これを繰り返すと、確定する。

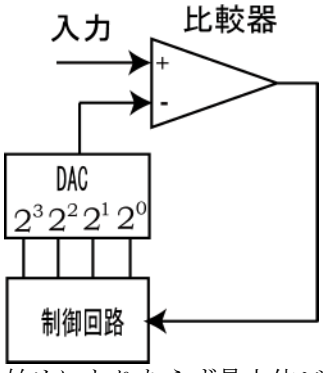
この方法は、値の数だけ繰り返すので大変。そこで以下の二つの方法がある。

並列形 ADC（フラッシュ形 ADC）

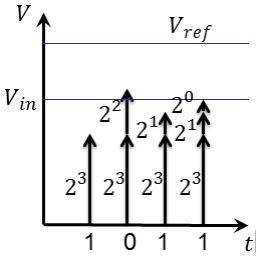


あらかじめ、抵抗分割などで、必要な電圧を作り、一辺に比較する。
速く動作させることができるが、回路は大きくなる。

遂次比較型 ADC



始めにとりあえず最上位ビット(Most Significant Bit:MSB)が 1 の時の電圧（参照電圧の半分）と比較する。もし入力電圧が大きければ、MSB の 1 は確定。小さければ 0 が確定。次に、MSB 分の電圧を加えながら、次のビットについて同様に比較する。そうやって遂次比較して、上位ビットから決めていく。



図は、最上位ビットが 1 だが、次のビットは 0, その次のビットは 1，その次が 1 の例であり、電圧は、$\frac{11}{16}v_{ref} < v_{in} < \frac{12}{16}v_{ref}$ の範囲にいることが判る。

ここで示した並列型 ADC や逐次比較型 ADC 以外にも、直並列型 ADC, 積分型 ADC, パイプライン型 ADC, Δσ型 ADC などがある。