

電子デバイス

Electron Devices

資料 (11)

Kazuya Masu

Director, ICE Cube Center
Solutions Research Laboratory
Precision and Intelligence Laboratory
Dept. Electronics and Applied Physics

益 一 哉

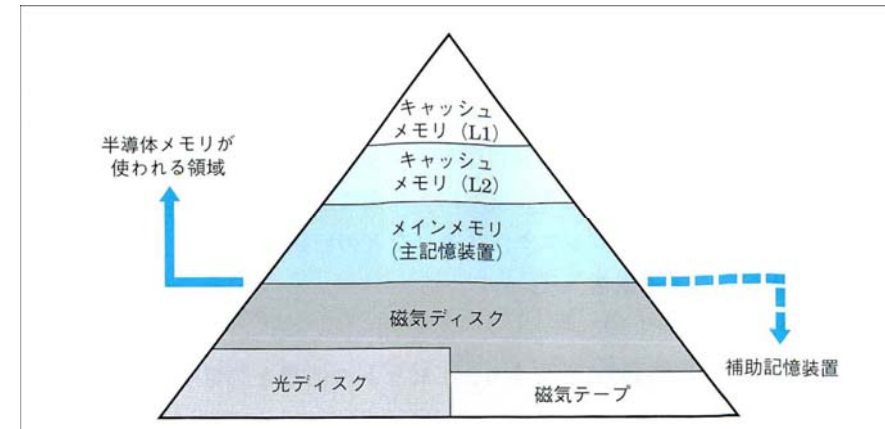
異種機能集積研究センター
ソリューション研究機構
精密工学研究所
大学院・物理電子システム創造専攻

Tel & Fax: 045-924-5022 Email: masu@ieee.org,
http://masu-www.pi.titech.ac.jp/~masu/index-j.html



Memory Hierarchy

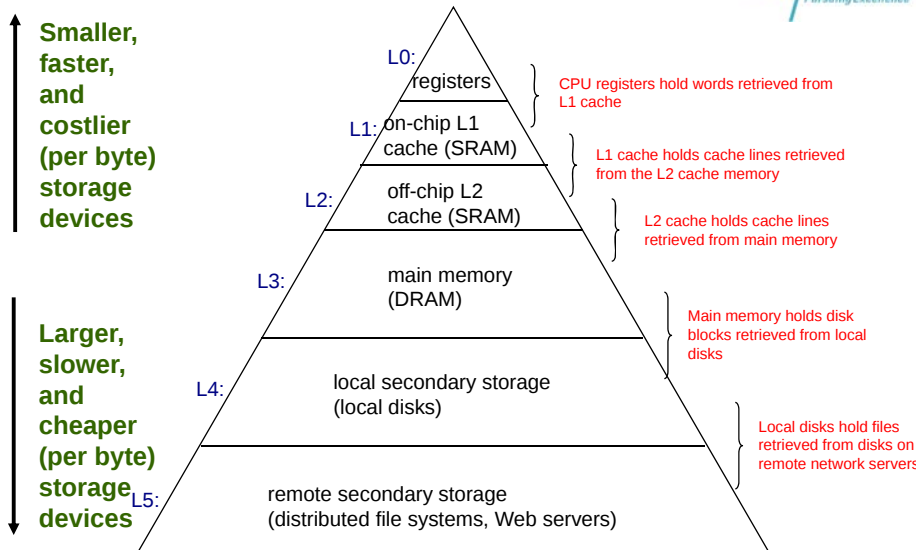
2



Kazuya Masu

Memory Hierarchy

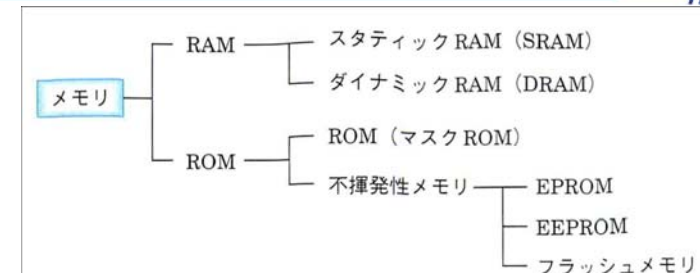
3



Kazuya Masu

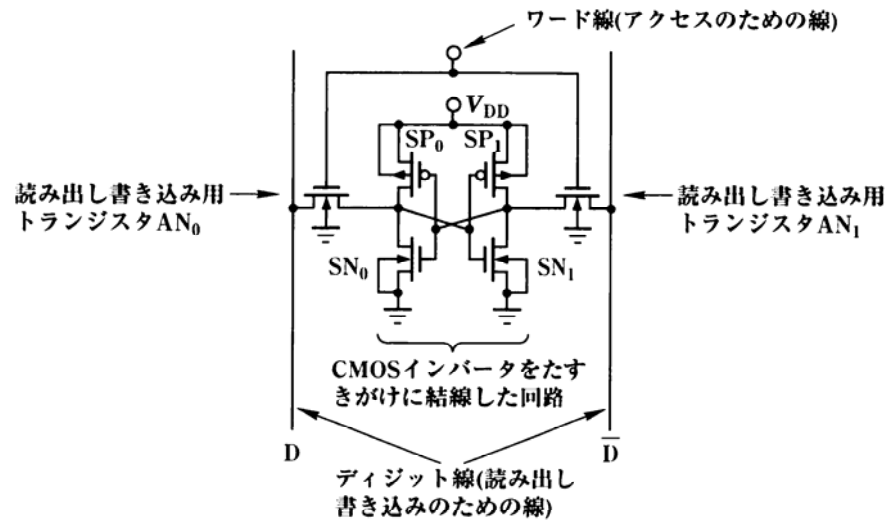
Memories

4

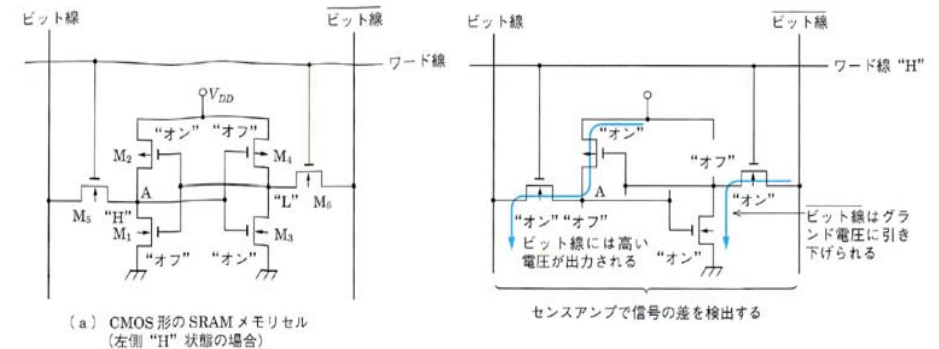


- RAM: Random Access Memory
- SRAM: Static RAM
- DRAM: Dynamic RAM
- ROM: Read Only Memory
- NVM: Non Volatile Memory 不揮発性メモリ
- PROM: Programmable ROM
- EPROM: Electrically PROM
- EEPROM: Electrically Erasable PROM
- Flash Memory: 電氣的に一括消去、再書き込みできるメモリ

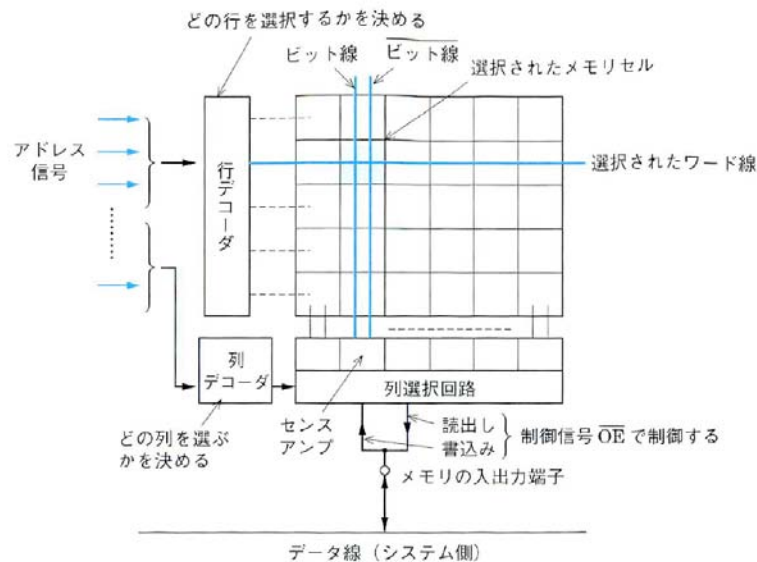
Kazuya Masu



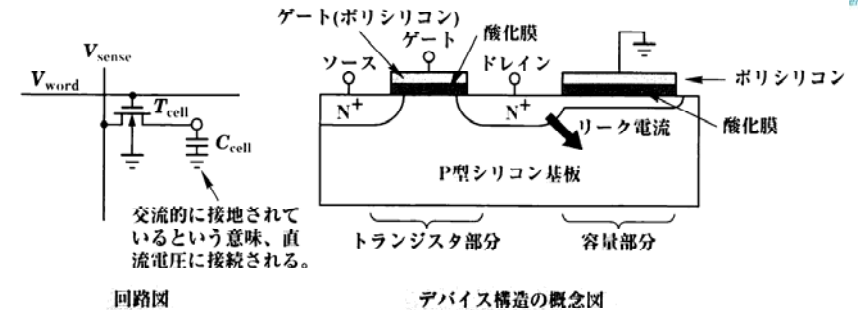
Kazuya Masu



Kazuya Masu

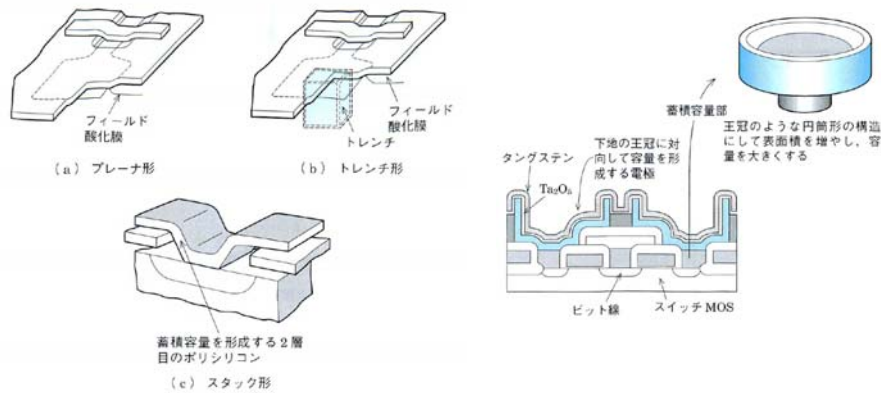


Kazuya Masu

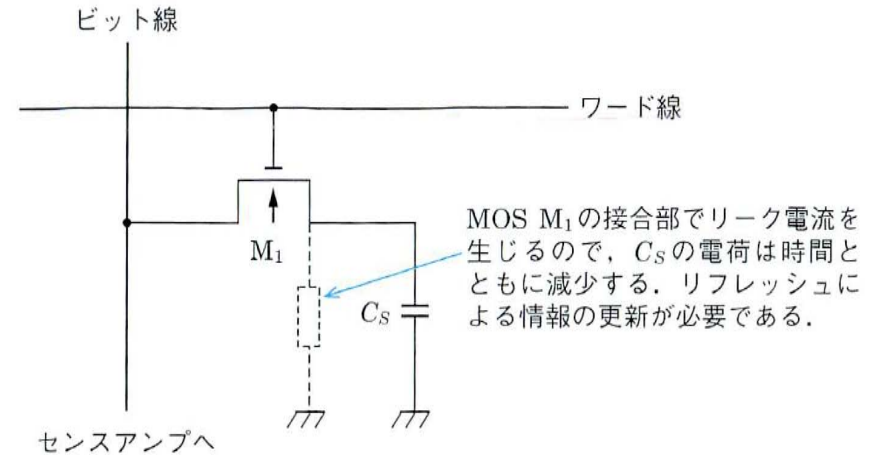


- 書き込み: Word線に電圧を印加して、Bit線に高電圧(1)またはゼロバイアス(0)をする。コンデンサに電荷が蓄積される。
- 読み出し: Word線に電圧を印加して、蓄積された電荷の有無をbit線から読み出す。
- 一度、読み出したら電荷がなくなるので、再書き込みをする。また、電荷保持時間が短いのでRefresh(再書き込み)をする。Msec~数十msec程度。

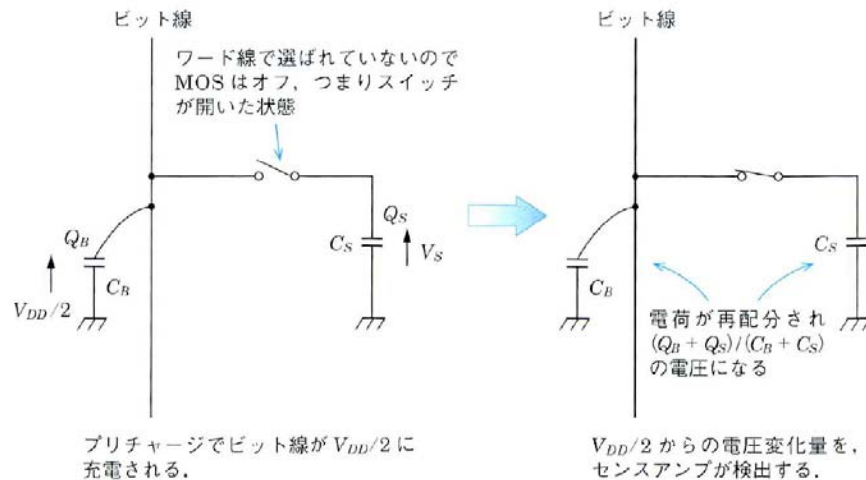
Kazuya Masu



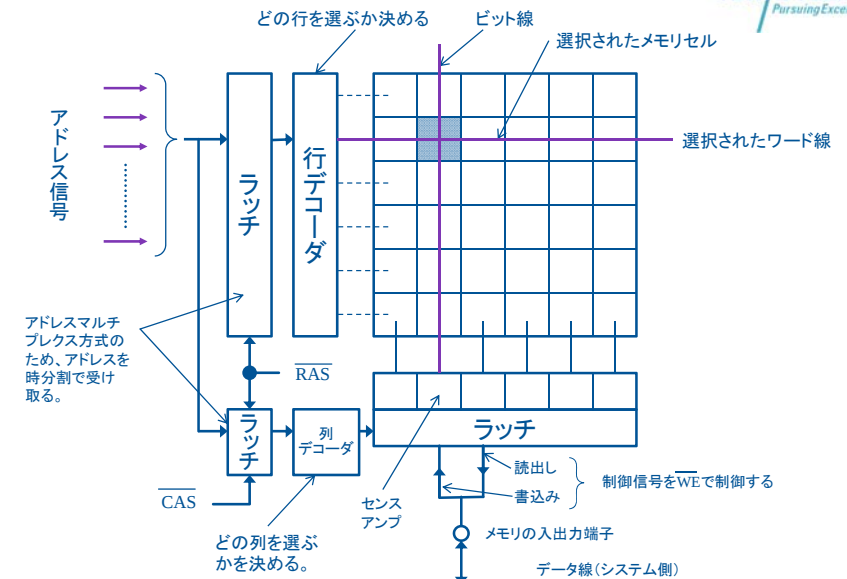
Kazuya Masu



Kazuya Masu



Kazuya Masu



Kazuya Masu

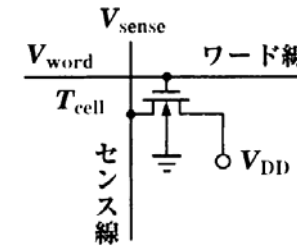
● SRAM

- SRAM consists of only transistors.
- Feature is high access time (nsec order).
Appropriate to cache memory on MPU/CPU.

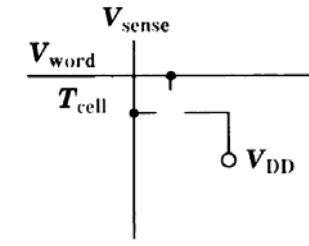
● DRAM

- DRAM cell consists of 1 Transistor and 1 capacitor.
- Area per bit is smaller than SRAM, but larger read time (several tens nsec).
- Larger integration density than SRAM

Kazuya Masu



トランジスタのあるセル

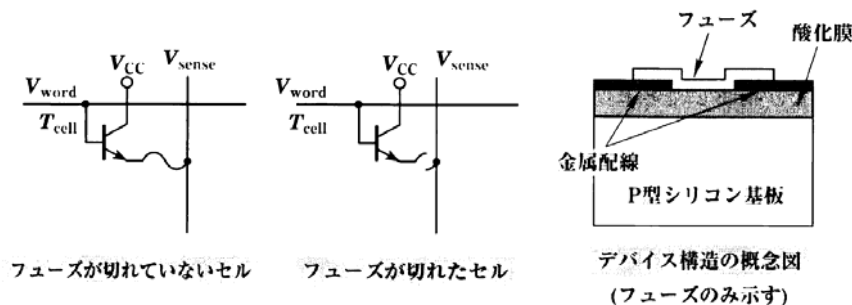


トランジスタのないセル

マスクROMの1トランジスタセル

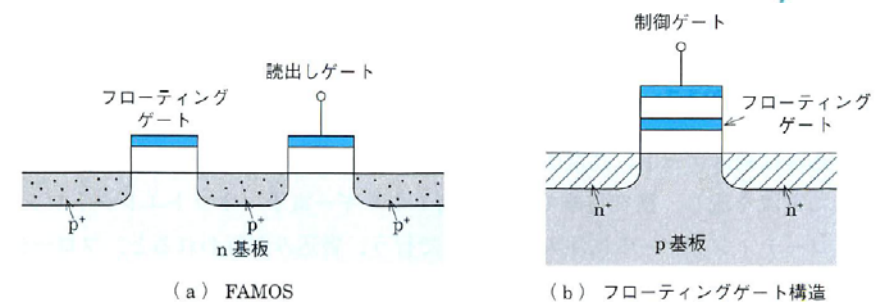
- メモリトランジスタの有無が記憶情報
- 書き換え不可(読み出しのみ)。不揮発性。
- 今は、ほとんどない(はず)

Kazuya Masu



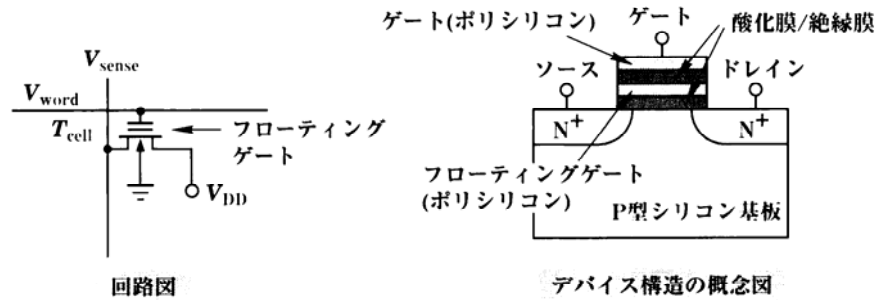
- Fuse式
- 書き込みは一回限り。ROM(不揮発性)
- 今は、ほとんどない。
- PLD(Programmable Logic Device)として、80年代に多少進化

Kazuya Masu



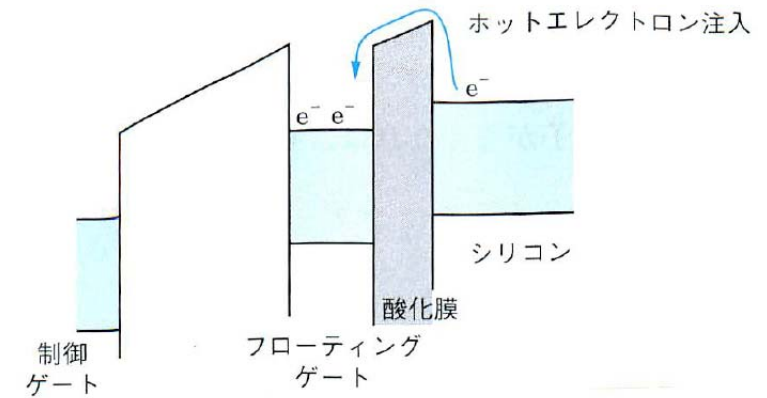
- 歴史的にはFAMOSが最初(今はない)
 - Floating gateに電荷を蓄積させ、読み出す。
- 今は、(b)のようなFloating gate構造が主流

Kazuya Masu



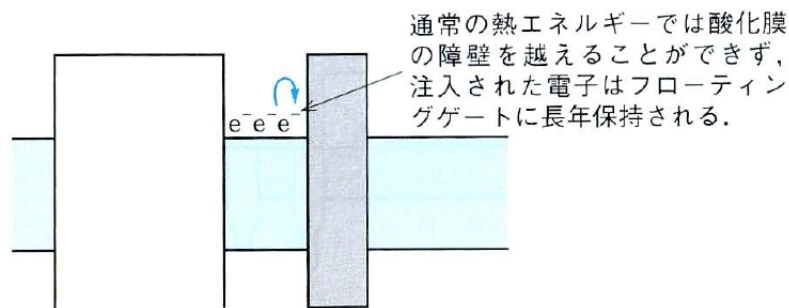
EPROM, EEPROM, フラッシュメモリの1トランジスタセル

Kazuya Masu



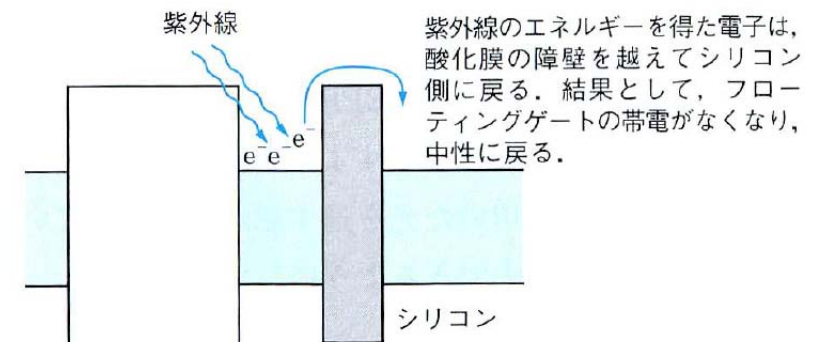
(a) ホットエレクトロン注入で書き込みをする

Kazuya Masu



(b) 情報の保持状態

Kazuya Masu



(c) 紫外線照射による情報の消去

Kazuya Masu

● 特徴: Floating gateがある。

● 書き込み方法

- ホットエレクトロン注入:ドレインに十分な正電圧を印加してドレイン接合を雪崩破壊状態にする。このときゲートに正電圧を印加。ホットエレクトロン(大きなエネルギーをもつ)がFloating gateに飛び込む。
- トンネル注入:ゲートに正電圧を印加。チャネルから電子をトンネル注入させる。

● 読み出し方法

- トランジスタの閾値電圧がことなるので、ドレイン電流が異なる。

● 消去方法

1. (昔)紫外線 :EPROM
2. (今)電氣的 :EEPROM
3. (今)電氣的 :一括で書き込み、消去ができるようにしたのがFlash

Kazuya Masu

● 特徴: Floating gateがある。

● 書き込み方法

- ホットエレクトロン注入:ドレインに十分な正電圧を印加してドレイン接合を雪崩破壊状態にする。このときゲートに正電圧を印加。ホットエレクトロン(大きなエネルギーをもつ)がFloating gateに飛び込む。
- トンネル注入:ゲートに正電圧を印加。チャネルから電子をトンネル注入させる。

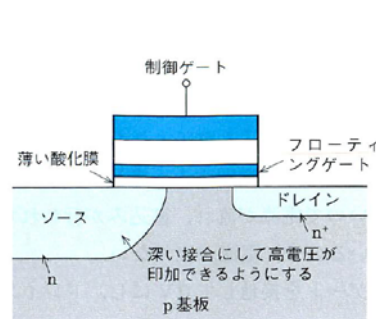
● 読み出し方法

- トランジスタの閾値電圧がことなるので、ドレイン電流が異なる。

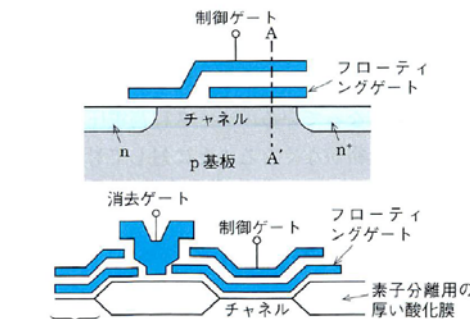
● 消去方法

1. (昔)紫外線 :EPROM
2. (今)電氣的 :EEPROM
3. (今)電氣的 :一括で書き込み、消去ができるようにしたのがFlash

Kazuya Masu

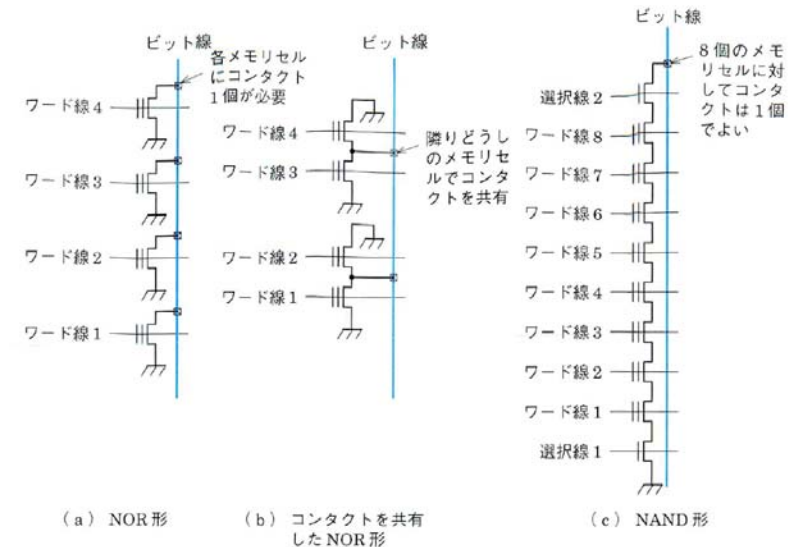


(a) 基本的な構造



(A-A'で見た断面図)
(b) スプリットゲート構造

Kazuya Masu

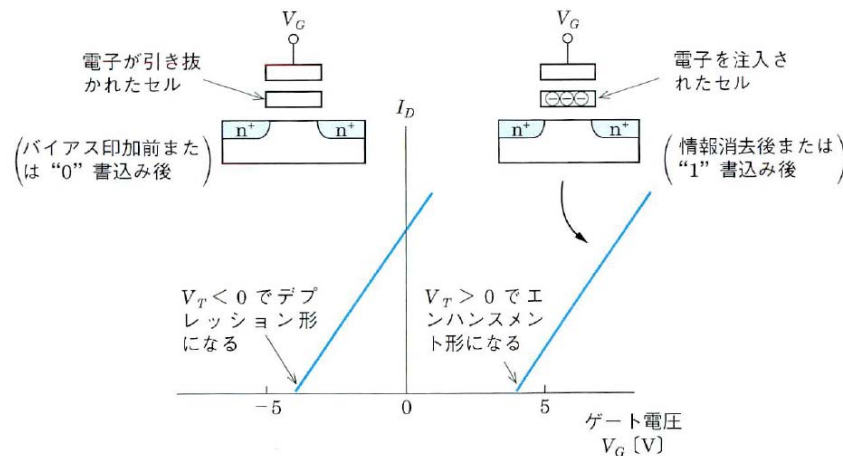


(a) NOR形

(b) コンタクトを共有したNOR形

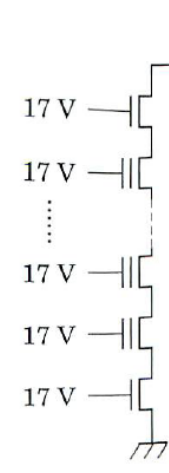
(c) NAND形

Kazuya Masu



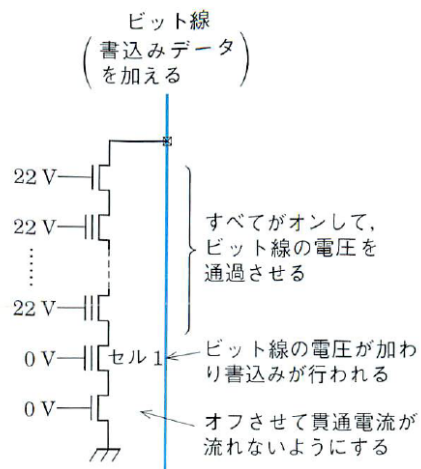
(b) メモリセルの電流特性

Kazuya Masu

ビット線
0Vを印加

- Gateに17Vの高電圧を印加。Source, drainは0 volt.
- すべてのメモリセルのフローティングゲートに電子が注入させる。
- すべてのセルは、エンハンスメント動作Tr。

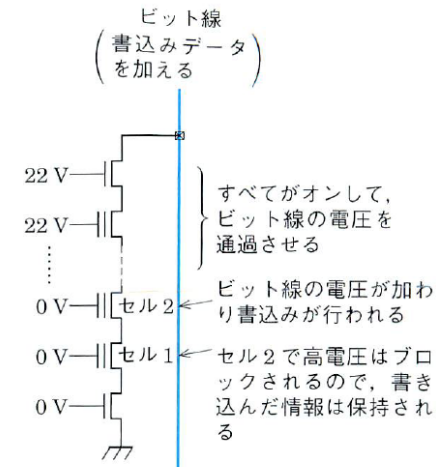
Kazuya Masu



(a) セル1の書き込み

- セル1より上のセルをonさせるためにゲートに22Vを印加
- セル1のゲート: 0V
- ビット線がLなら、セル1はenhancementのまま。
- ビット線がHなら、セル1のゲートの電子は引き抜かれて、depletion形に変化。

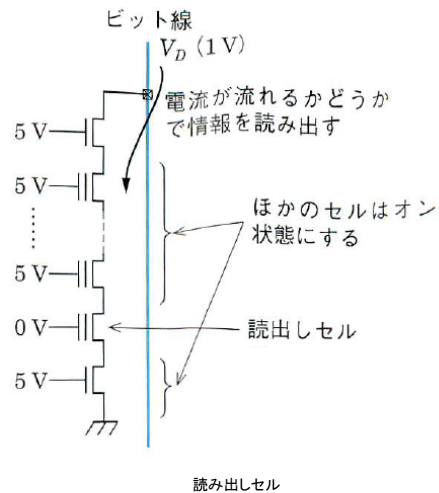
Kazuya Masu



(b) セル2の書き込み

- セル2より上のセルをonさせるためにゲートに22Vを印加。セル1にはビット線の電圧は印加されない。
- セル2のゲート: 0V
- ビット線がLなら、セル2はenhancementのまま。
- ビット線がHなら、セル2のゲートの電子は引き抜かれて、depletion形に変化。
- 順次、下のセルから書き込む

Kazuya Masu



- 読み出しセルは、電子を保持していれば enhancement(E)、電子がなければ depletion(D) 動作する。
- 読み出しセル以外はゲート電圧を印加してon状態にする。読み出しセルはゲート電圧をゼロとする。
- 読み出しセルがEであればビット線に電流は流れない。Dであればビット線に電流が流れる。 Kazuya Masu

● NOR Flash

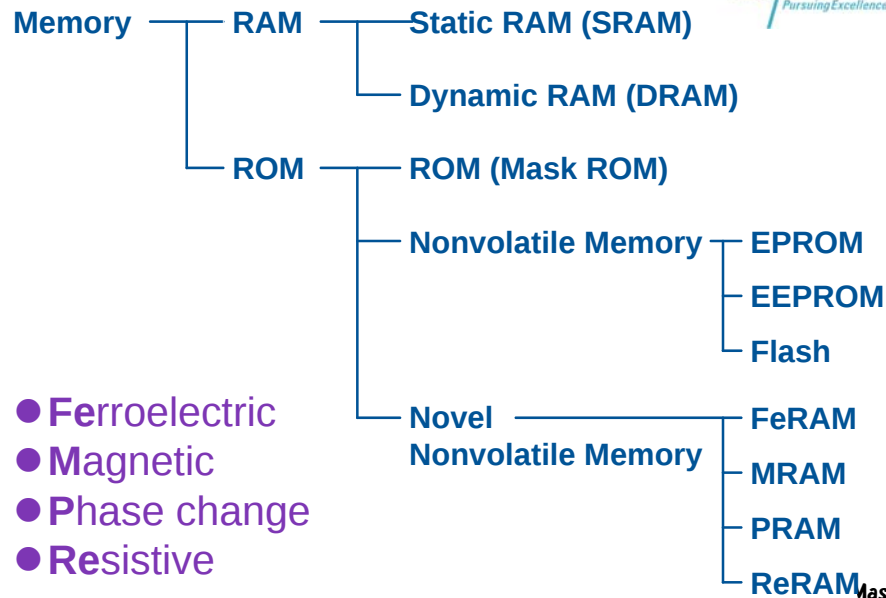
- Random accessが可能。高速読み出し。
- 一発立ち上げなどへの応用が期待(された)
- 最近はいまいち元気がない。

● NAND Flash

- Random accessが不能。Page書き込み・読み出し。
- 大容量が特徴
- 最近はNORの領域までカバーしはじめた。
- セルの微細化追求の一方、エラー訂正など回路技術などの重要性が大きくなっている。

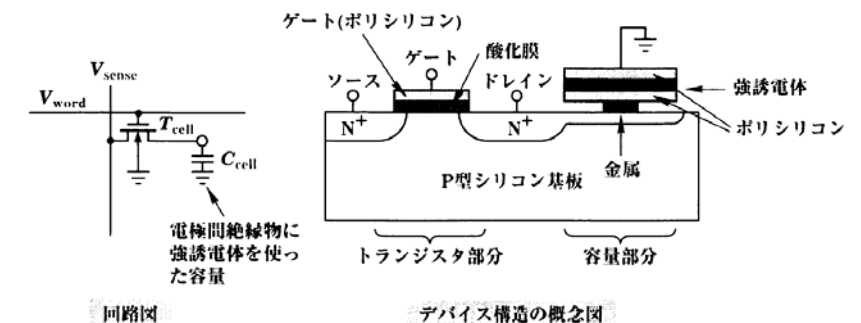
Kazuya Masu

メモリ分類



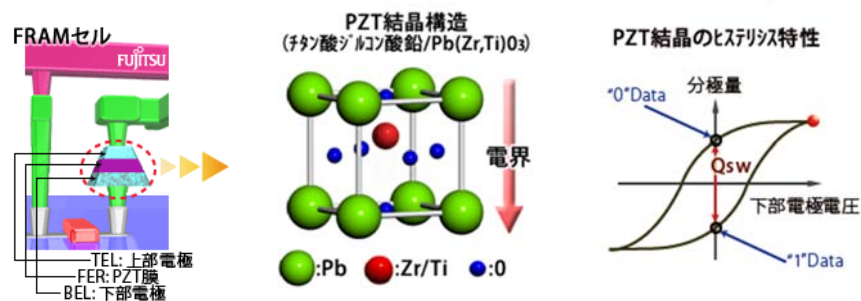
Masu

FRAM: Ferroelectric RAM (強誘電体)



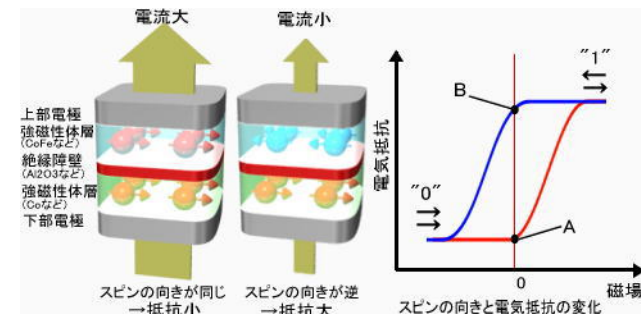
- 強誘電性を利用して、情報を保持
- 書き換え可能
- SUICAなどに利用

Kazuya Masu



1. 電界を印加すると分極が発生。(Zr/Tiイオンが結晶内部で上下する)
2. 電界をかけるのをやめても分極は残る。(残留分極)
3. 2つの安定点を「0」「1」データとして記憶。

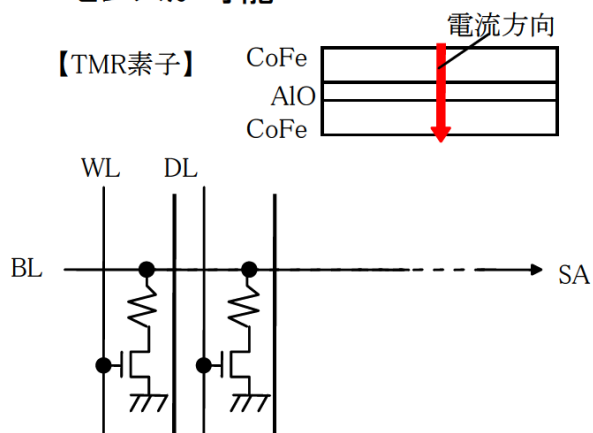
Kazuya Masu



- Spinの向きによって抵抗が異なる(Tunnel Magnetic Resistance effect)現象を利用する。
- Spinの向きは磁場を加えて変化させる。
- TMR素子を

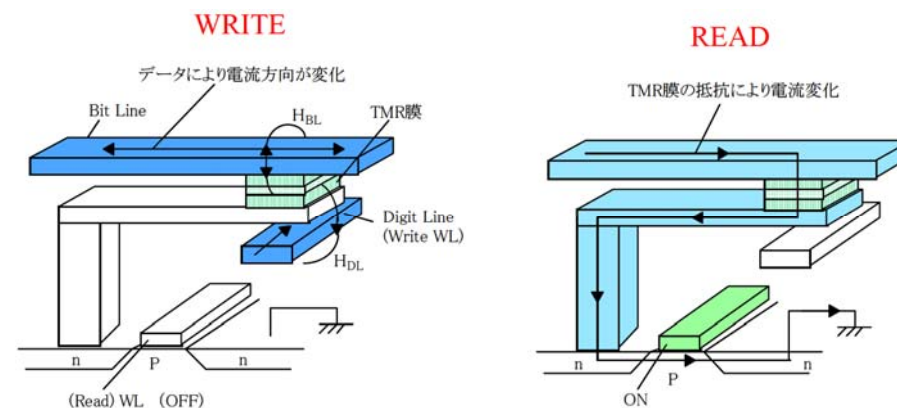
Kazuya Masu

- ① X・Y交点選択アレイでSNR高く、
- ② 一様なレファレンスレベルによるセンスが可能



TMR-MRAM
TMR比=40%
セル抵抗=数10KΩ

Kazuya Masu

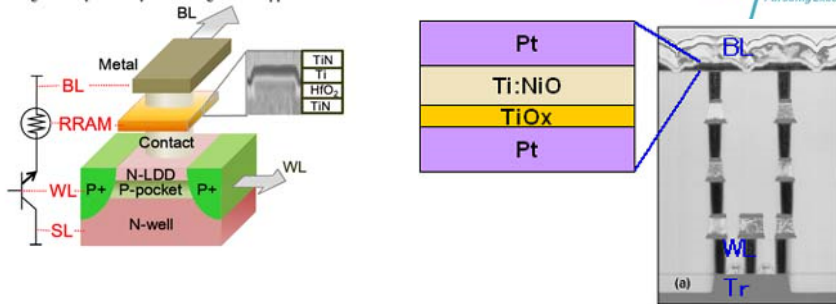


Kazuya Masu

ReRAM Resistive RAM

37

TOKYO TECH
Pursuing Excellence



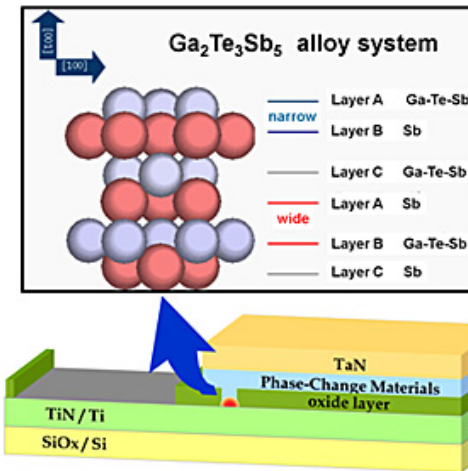
- ReRAMは電圧印加による電気抵抗の大きな変化(電界誘起巨大抵抗変化、CER(Colossal Electro-Resistance)効果)を利用
- 電圧で書き換えるため(電流が微量で)消費電力が小さい
- 比較的単純な構造。セル面積が約 $6F^2$ (Fは配線の径で、数十nm程)と小さく、高密度化(=低コスト化)が可能
- 電気抵抗の変化率が数十倍にものぼり、多値化も容易
- 読み出し時間が10ナノ秒程度と、DRAM並に高速

Kazuya Masu

PRAM : Phase Change Memory

38

TOKYO TECH
Pursuing Excellence



- 材料の相変化を利用する。
- 結晶相は低抵抗でアモルファス相は高抵抗である事を利用する。

Kazuya Masu

接頭辞

39

TOKYO TECH
Pursuing Excellence

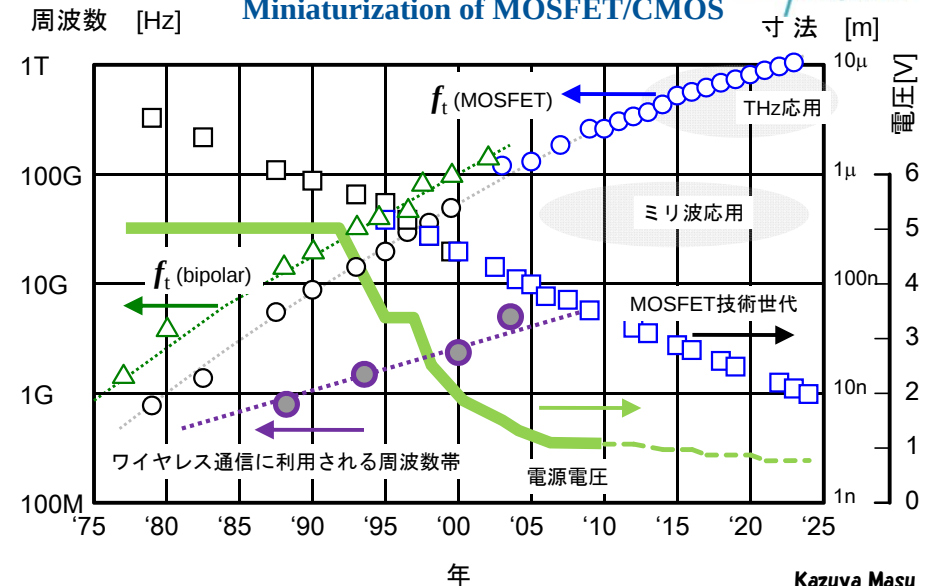
10^{24}	ヨタ (yotta)	一秭	10^{-1}	デシ (deci)	分
10^{21}	ゼタ (zetta)	十垓	10^{-2}	センチ (centi)	厘
10^{18}	エクサ (exa)	百京	10^{-3}	ミリ (milli)	毛
10^{15}	ペタ (peta)	千兆	10^{-6}	マイクロ (micro)	微
10^{12}	テラ (tera)	一兆	10^{-9}	ナノ (nano)	塵
10^9	ギガ (giga)	十億	10^{-12}	ピコ (pico)	漠
10^6	メガ (mega)	百万	10^{-15}	フェムト (femto)	須臾
10^3	キロ (kilo)	千	10^{-18}	アト (atto)	刹那
10^2	ヘクト (hecto)	百	10^{-21}	ゼプト (zepto)	清浄
10^1	デカ (deca, deka)	十	10^{-24}	ヨクト (yocto)	涅槃寂静

京 = 10 peta

Kazuya Masu

技術のTrendを読む

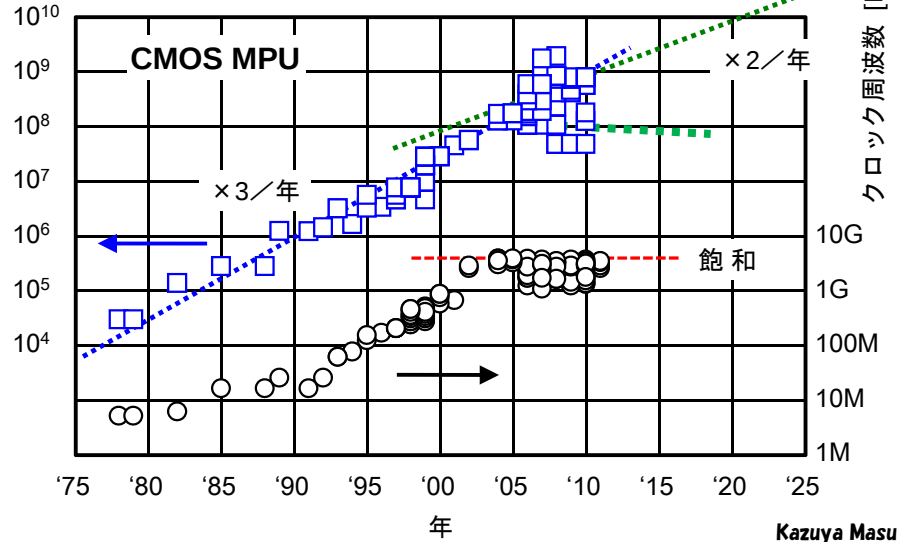
Miniaturization of MOSFET/CMOS



Kazuya Masu

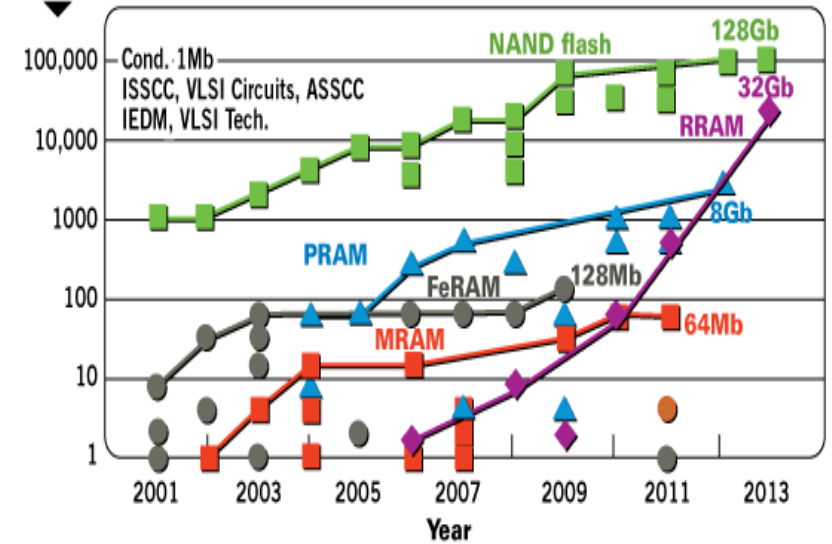
Progress of MPU

チップ上のトランジスタ数
[Trs/die]



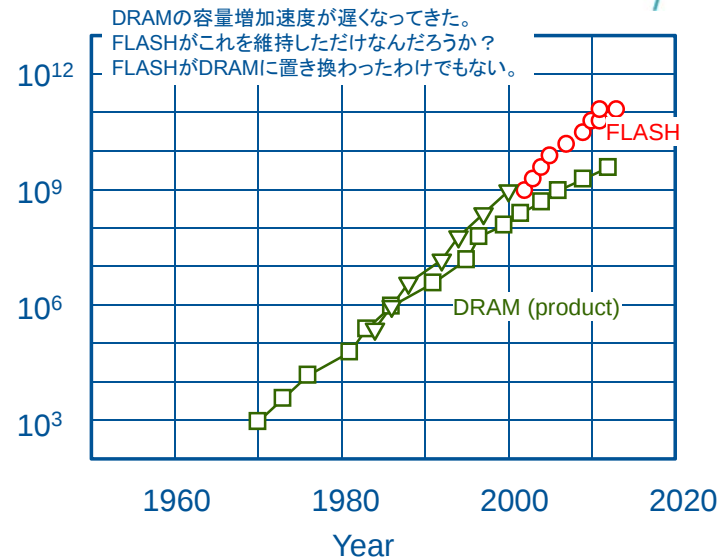
Memory Trend in Conference

Storage capacity (Mb)



Memory Trend

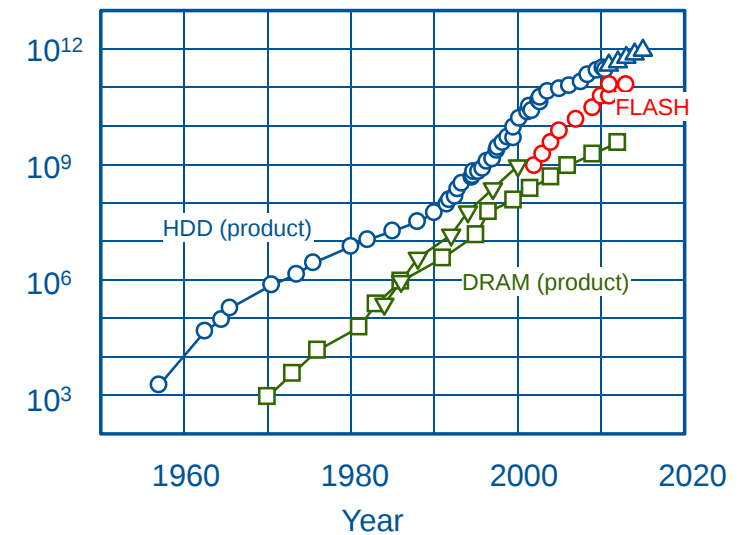
bit/die for DRAM/NAND Flash



DRAMの容量増加速度が遅くなってきた。
FLASHがこれを維持したただけなんだろうか？
FLASHがDRAMに置き換わったわけでもない。

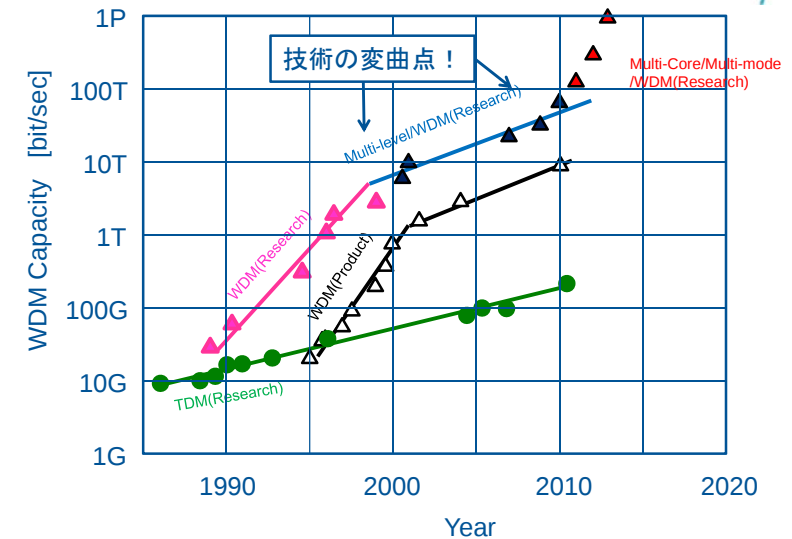
Memory Trend

bit/die for DRAM/NAND Flash
bit/in² for HDD



- 垂直磁気記録という革新技術が実用化された。(2005年)
- これが、HDDの利用を飛躍的に伸ばしたの
だろうか？あるいはICTにどのようなイノ
ベーションをもたらしたのだろうか。
- 革新的技術は、イノベーションといかなる関
係にあるのだろうか。

Kazuya Masu



Kazuya Masu

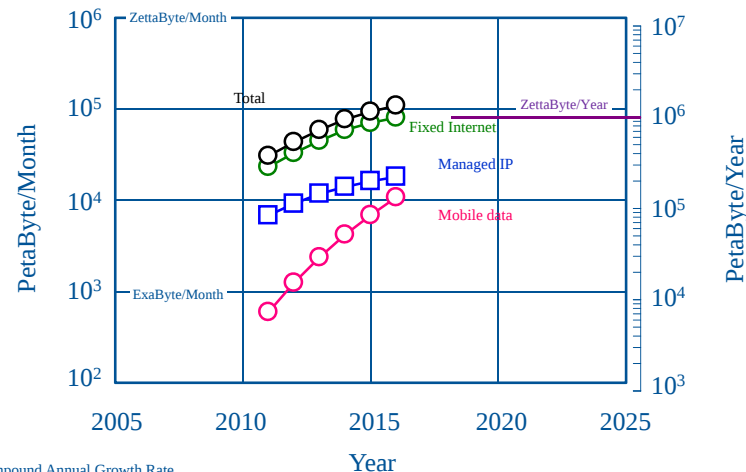
Global IP Traffic, 2011-2016

47

TOKYO TECH
Pursuing Excellence

Data from Cisco Visual Networking Index*,
http://www.cisco.com/en/US/solutions/collateral/ns341/ns525/ns537/ns705/ns827/white_paper_c11-481360_ns827_Networking_Solutions_White_Paper.html
 Plotted by K. Masu,

CAGR 2011-2016
 Total:29%, Mobile:78%



CAGR: Compound Annual Growth Rate

Mobile: Includes mobile data and Internet traffic generated by handsets, notebook cards, and mobile broadband gateways
Internet: Denotes all IP traffic that crosses an Internet backbone
Managed IP: Includes corporate IP WAN traffic and IP transport of TV and VoD

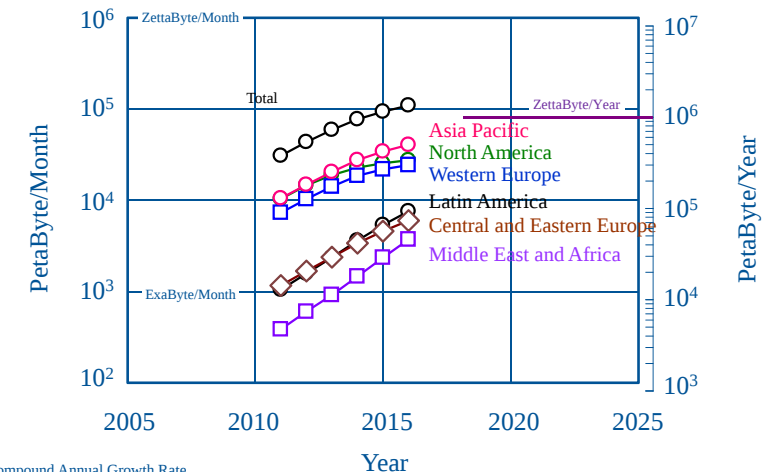
Kazuya Masu

Global IP Traffic, 2011-2016

48

TOKYO TECH
Pursuing Excellence

Data from Cisco Visual Networking Index*,
http://www.cisco.com/en/US/solutions/collateral/ns341/ns525/ns537/ns705/ns827/white_paper_c11-481360_ns827_Networking_Solutions_White_Paper.html
 Plotted by K. Masu,



CAGR: Compound Annual Growth Rate

Mobile: Includes mobile data and Internet traffic generated by handsets, notebook cards, and mobile broadband gateways
Internet: Denotes all IP traffic that crosses an Internet backbone
Managed IP: Includes corporate IP WAN traffic and IP transport of TV and VoD

Kazuya Masu

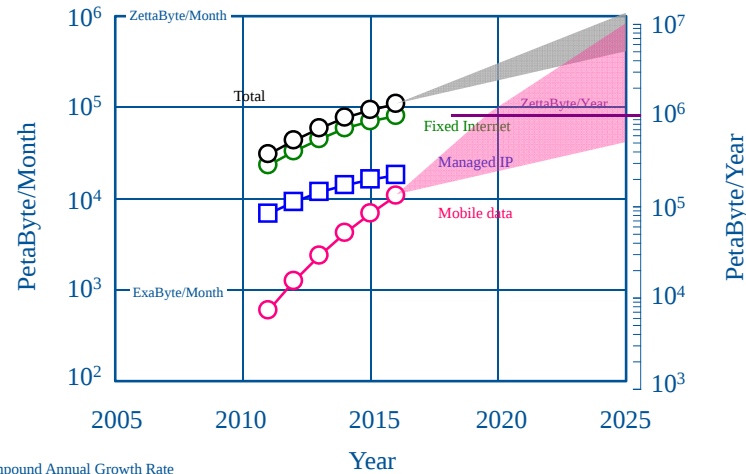
Global IP Traffic, 2011-2016

49

Data from Cisco Visual Networking Index*,
http://www.cisco.com/en/US/solutions/collateral/ns341/ns525/ns537/ns705/ns827/white_paper_c11-481360_ns827_Networking_Solutions_White_Paper.html
Plotted by K. Masu,

CAGR 2011-2016
Total:29%, Mobile:78%

TOKYO TECH
Pursuing Excellence



CAGR: Compound Annual Growth Rate

Mobile: Includes mobile data and Internet traffic generated by handsets, notebook cards, and mobile broadband gateways
Internet: Denotes all IP traffic that crosses an Internet backbone
Managed IP: Includes corporate IP WAN traffic and IP transport of TV and VoD

Kazuya Masu

最後に

50

TOKYO TECH
Pursuing Excellence

●常に基本に戻る。

- 基本的なことは、何度も学んでこそ、新しい発見をすることができる。

●常に、次はどうなるかを考えよう。

- 自分なりの考えを持つことができると、一流の研究者であり、技術者。
- どの分野、例えば経営者になっても同じです。

Kazuya Masu