平成25年度前期東京工業大学学部講義

電子デバイス

Electron Devices

資料（6）

Kazuya Masu
Director, ICE Cube Center
Solutions Research Laboratory
Precision and Intelligence Laboratory
Dept. Electronics and Applied Physics

益　一　哉
異種機能集積研究センター
ソリューション研究機構
精密工学研究所
大学院・物理電子システム創造専攻

Tel & Fax: 045-924-5022 Email: masu@ieee.org,
http://masu-www.pi.titech.ac.jp/~masu/index-j.html

Green ICE Tokyo Tech Information Communication Energy
Semiconductor Solution Research

TOKYO TECH Pursuing Excellence

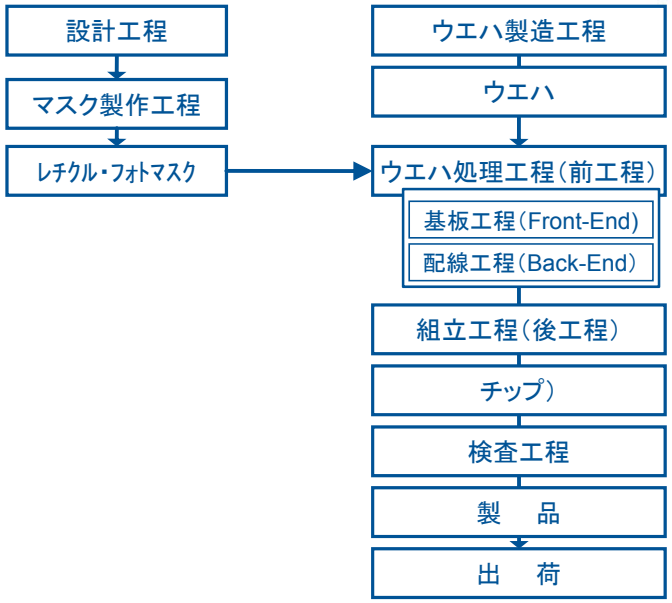
集積回路 Introduction

TOKYO TECH Pursuing Excellence

1. 集積回路プロセスの基礎
2. 集積回路の基礎

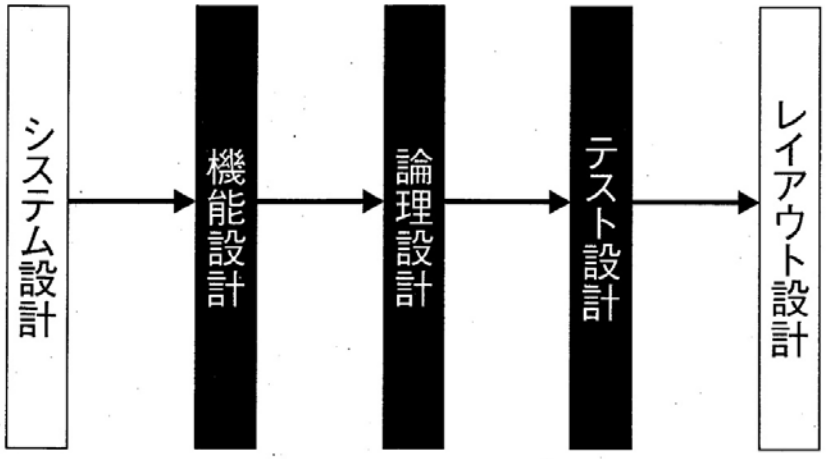
LSI製造のフローチャート

TOKYO TECH Pursuing Excellence

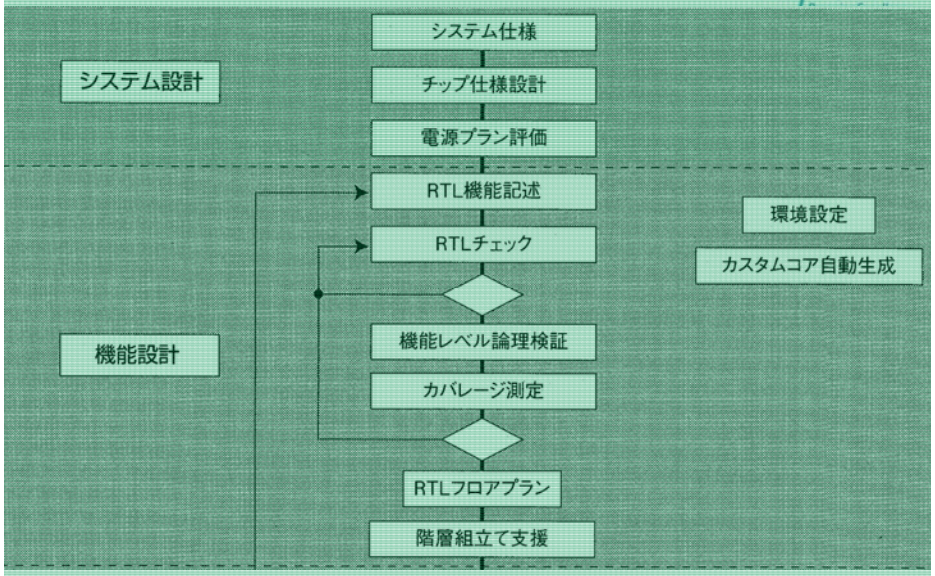


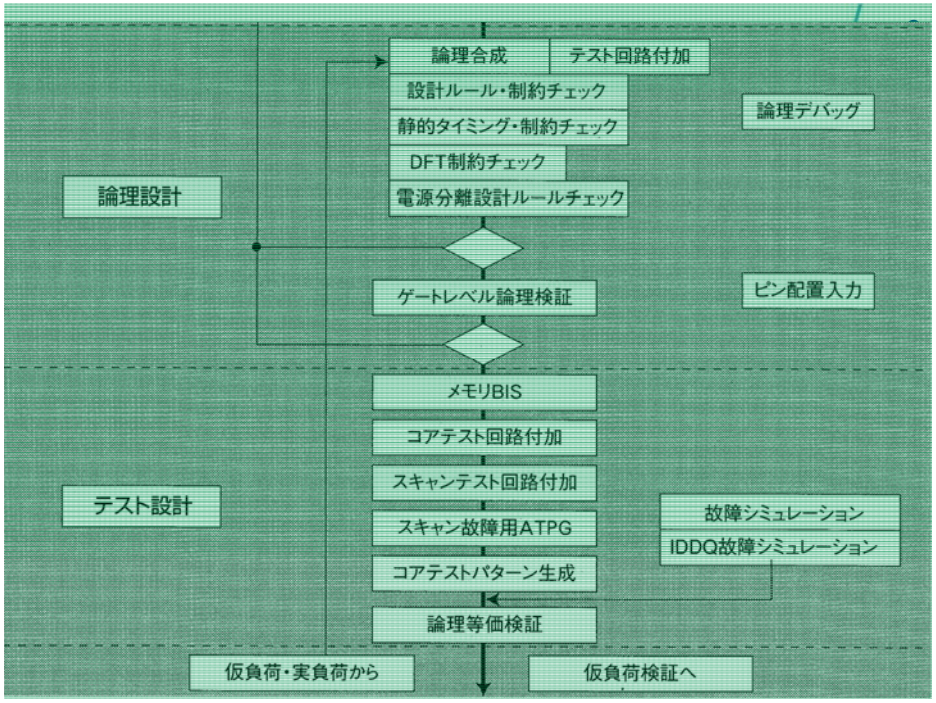
設計工程

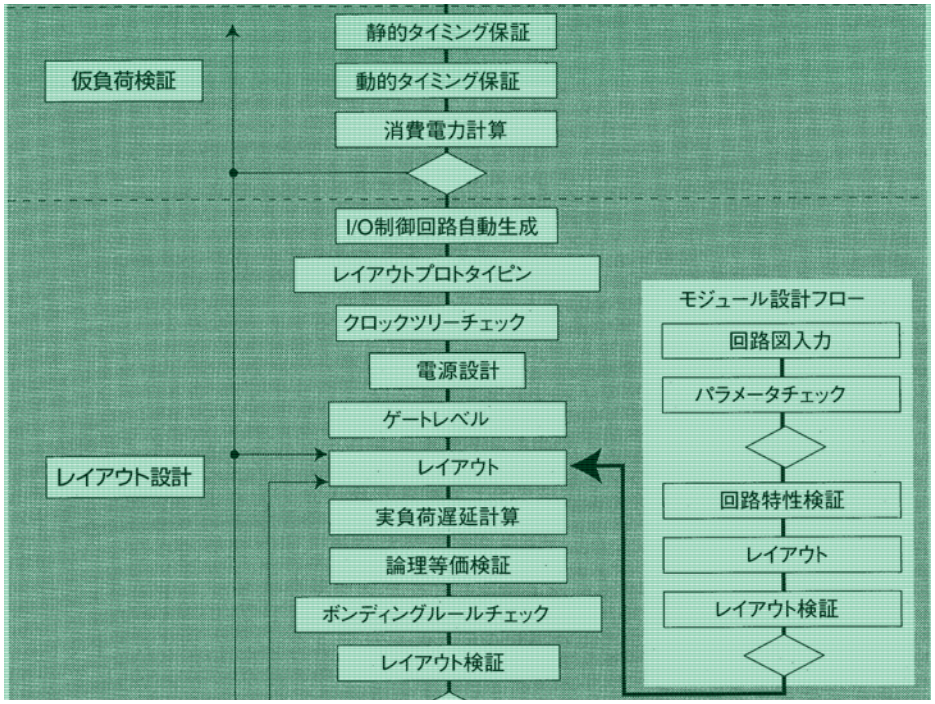
TOKYO TECH Pursuing Excellence

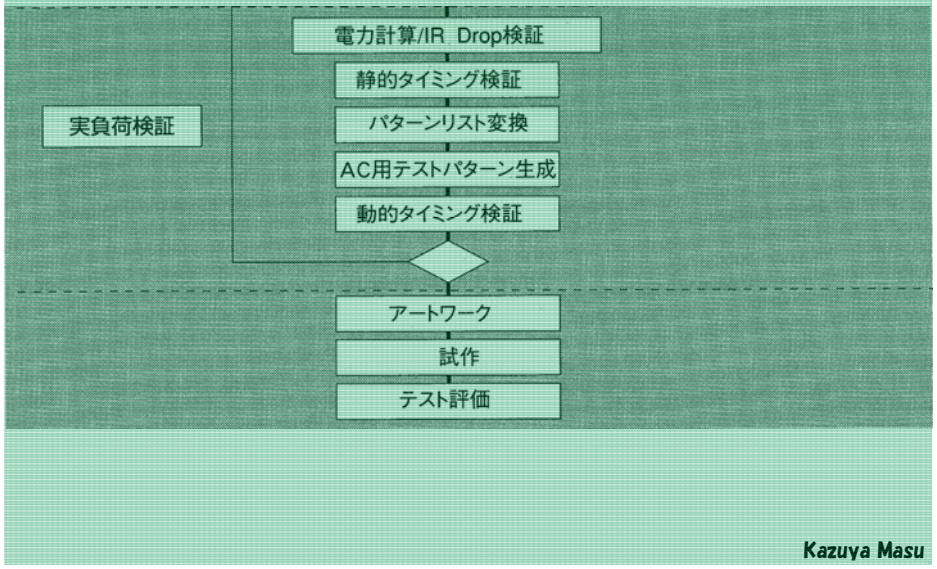


設計工程（詳細）

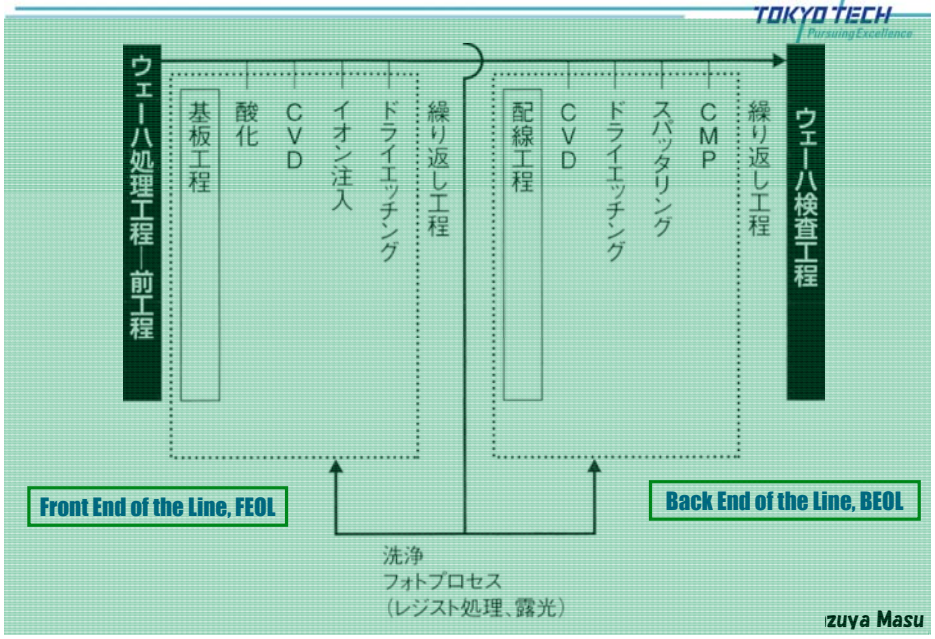

システム設計
システム仕様
チップ仕様設計
電源プラン評価
機能設計
RTL機能記述
RTLチェック
機能レベル論理検証
カバレージ測定
RTLフロアプラン
階層組立て支援
環境設定
カスタムコア自動生成


論理設計
論理合成
テスト回路付加
設計ルール・制約チェック
静的タイミング・制約チェック
DFT制約チェック
電源分離設計ルールチェック
論理デバッグ
ゲートレベル論理検証
ピン配置入力
テスト設計
メモリBIS
コアテスト回路付加
スキャンテスト回路付加
スキャン故障用ATPG
コアテストパターン生成
論理等価検証
故障シミュレーション
IDDQ故障シミュレーション
仮負荷・実負荷から
仮負荷検証へ

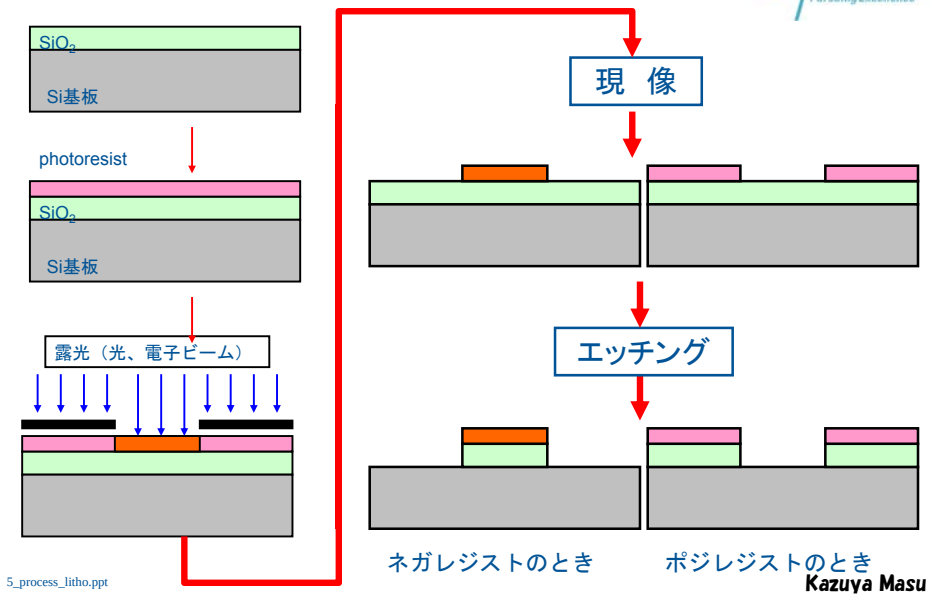

仮負荷検証
静的タイミング保証
動的タイミング保証
消費電力計算
レイアウト設計
I/O制御回路自動生成
レイアウトプロトタイピン
クロックツリーチェック
電源設計
ゲートレベル
レイアウト
実負荷遅延計算
論理等価検証
ボンディングルールチェック
レイアウト検証
モジュール設計フロー
回路図入力
パラメータチェック
回路特性検証
レイアウト
レイアウト検証


実負荷検証
電力計算/IR Drop検証
静的タイミング検証
パターンリスト変換
AC用テストパターン生成
動的タイミング検証
アートワーク
試作
テスト評価

ウエハプロセス

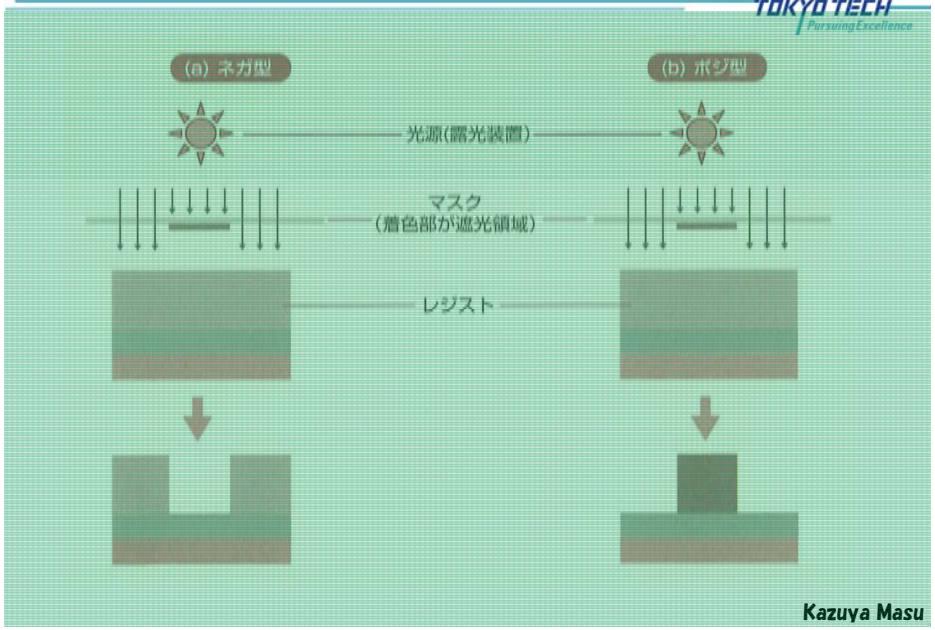


Photolithographyの基礎

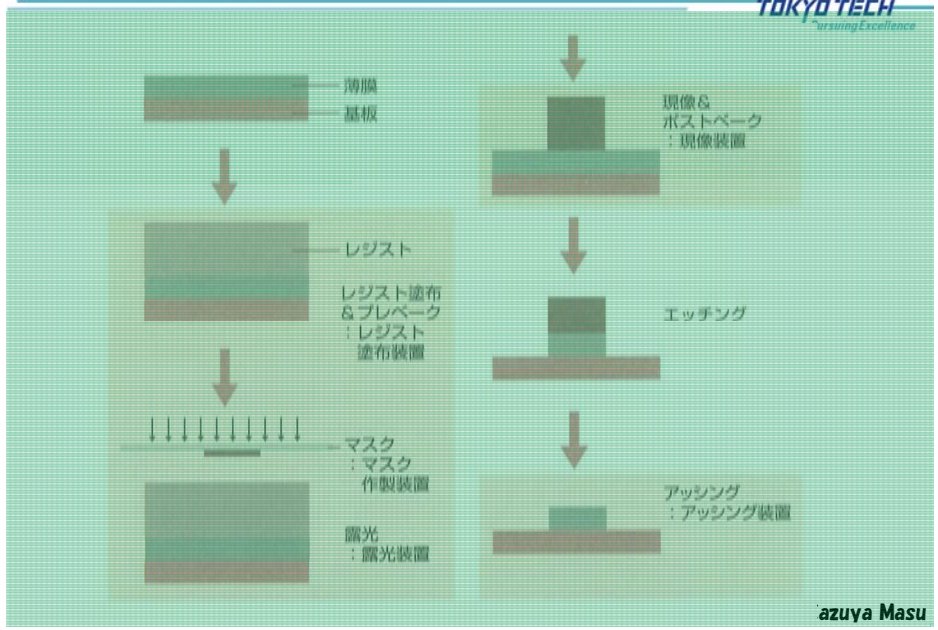


5_process_litho.ppt

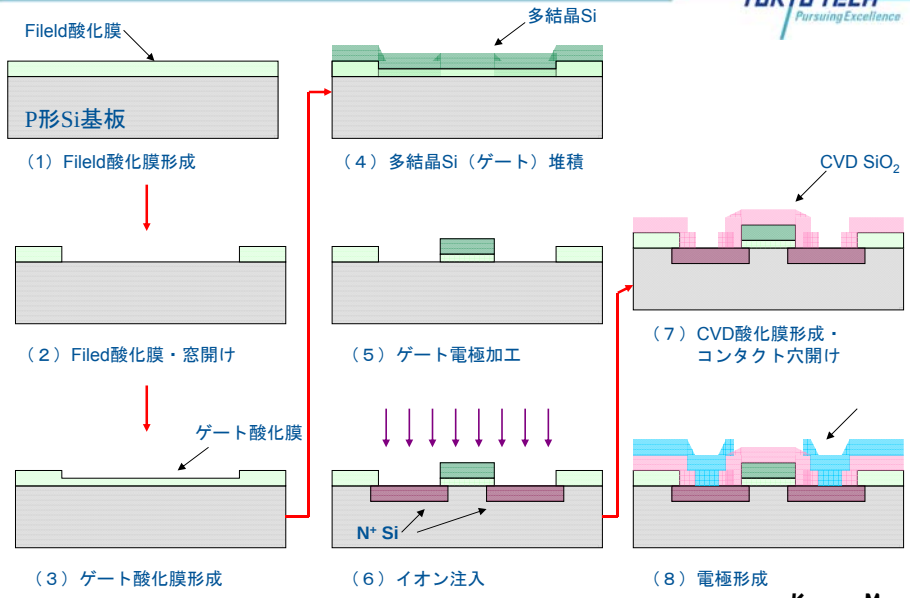
リソグラフィー



形状加工



NチャネルMOSFETの製作工程



Kazuya Masu

露光装置

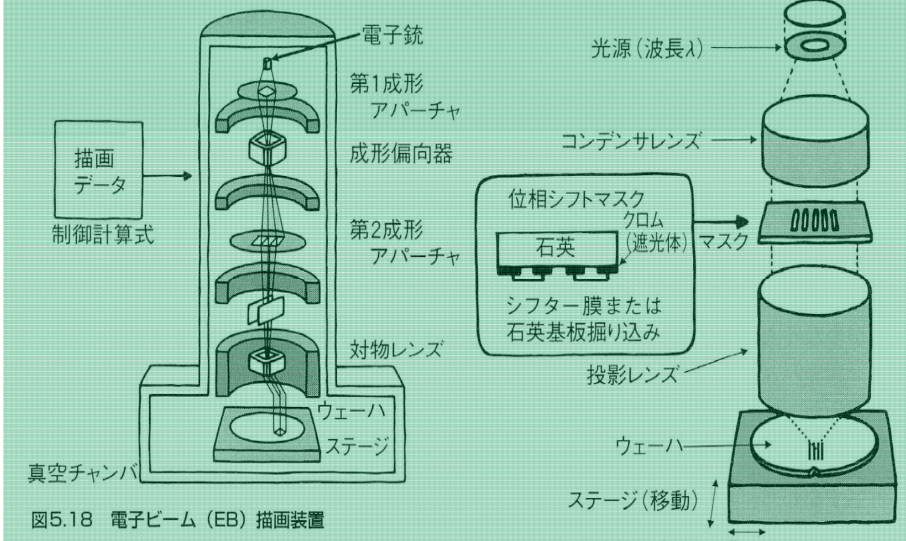
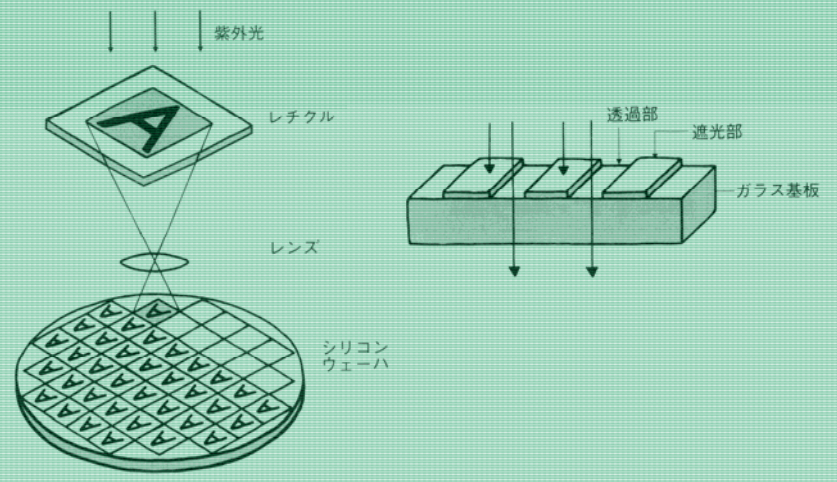


図5.18　電子ビーム（EB）描画装置

図5.16　露光装置（ステッパ）

Kazuya Masu

露光（レチクル）



Kazuya Masu

リソグラフィーの解像度

解像度： $R=k\frac{\lambda}{NA}$ （レイリーの式）

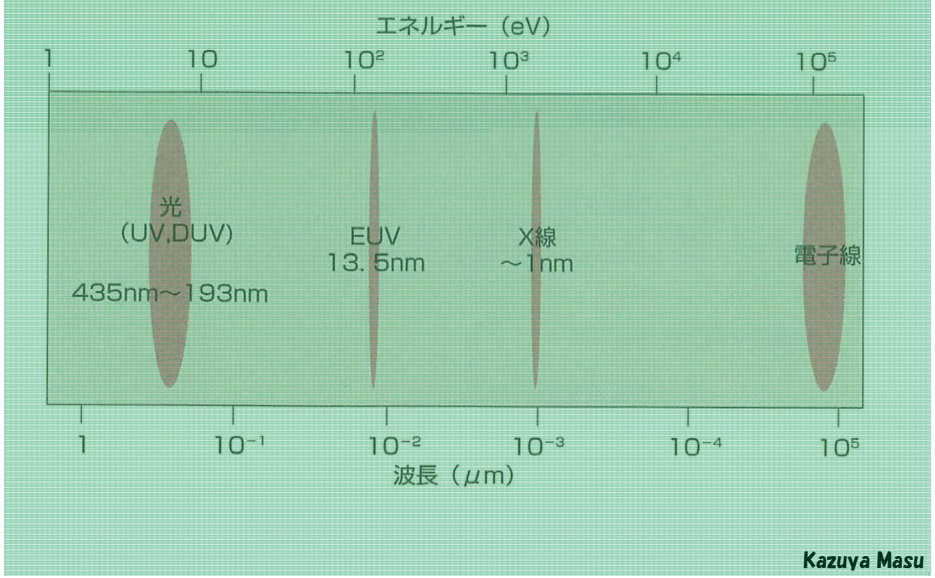
λ ：露光波長
NA：レンズの口径(NA：Numerical Aperture)
k ：プロセスに依存するファクター(因子)

解像度を向上させるには

① λの短波長化→ 光源
② NAを大→ レンズ系の改良
③ kファクタの改善→ レジストの改良、その他の超解像技術

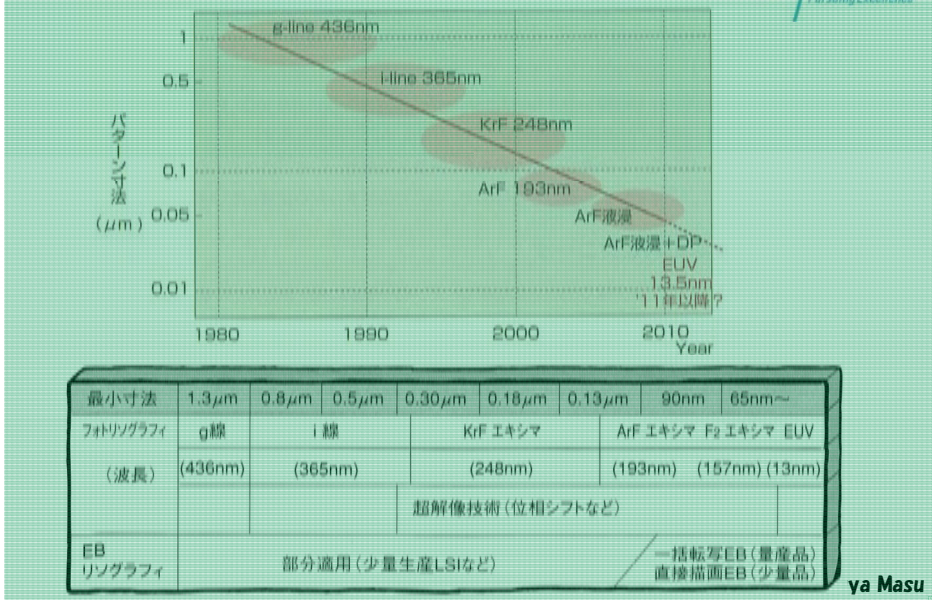
Kazuya Masu

光源の波長とエネℓギー



Kazuya Masu

露光装置光源の変遷



ya Masu

リソグラフィー技術

リソグラフィーの解像度： 光源の波長で限界がきまる。

- **現在：KrF（248nm）エキシマレーザステッパ（縮小投影露光）**
- **ArF（193nm）エキシマレーザステッパ ［実用限界：0.13μm］**

- 現実には、未だにArFを利用。X線露光は高すぎる。
- 化学増感レジスト技術の開発。高NA技術の開発
- 液侵技術の開発（空気ではなくマスクとウエハ間に水を挟む）
- 二重露光技術、OPC（Optical Proximity Collection）技術の発展→Computer Lithography

Kazuya Masu

酸化 oxidation （ゲート絶縁膜形成）

$Si + O_2 \rightarrow SiO_2$ （ドライ酸化）

$Si + 2H_2O \rightarrow SiO_2 + 2H_2$ （水蒸気酸化，ウエット酸化）

ドライ酸化:

乾燥酸素中での酸化

薄い酸化膜の形成に利用される

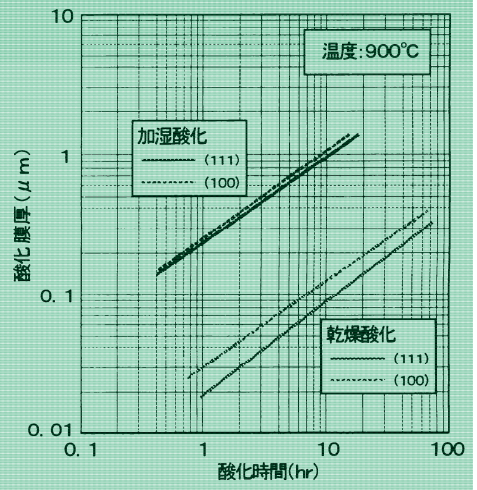
ウエット酸化:

水蒸気中での酸化

酸素と水素を反応させて、発生する水蒸気を利用する酸化

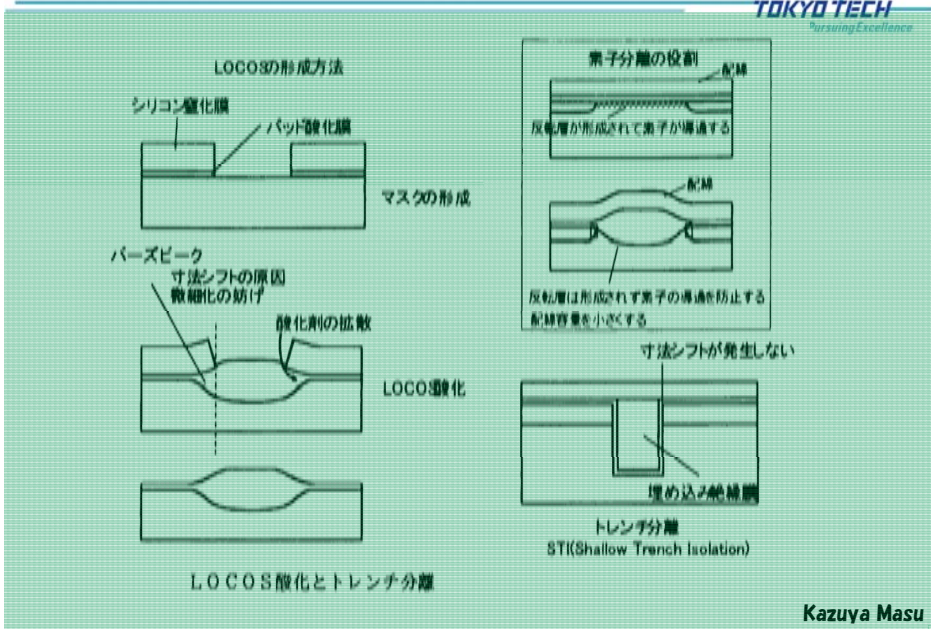
乾燥酸素中より酸化速度が速く厚い酸化膜の形成によく利用される

ドライ酸化とウエット酸化の酸化レートの比較



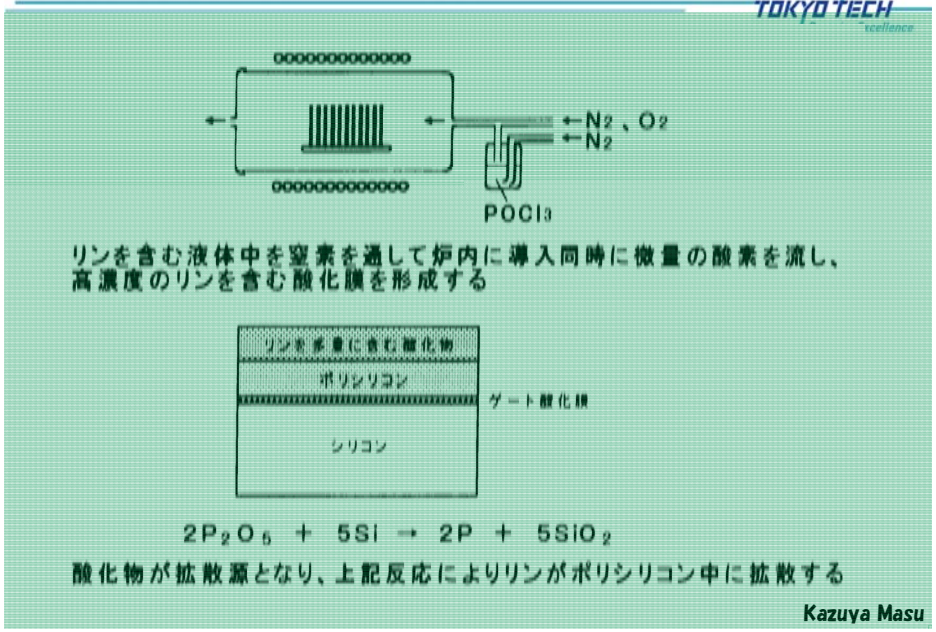
Kazuya Masu

LOCOS酸化と素子分離



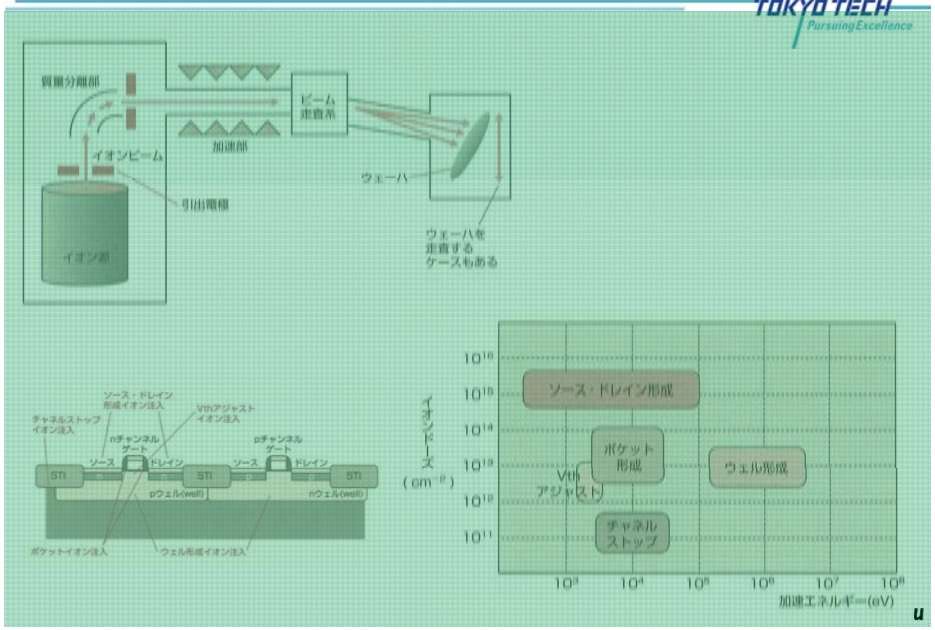
Kazuya Masu

不純物導入： 拡散



Kazuya Masu

イオン注入（不純物導入）

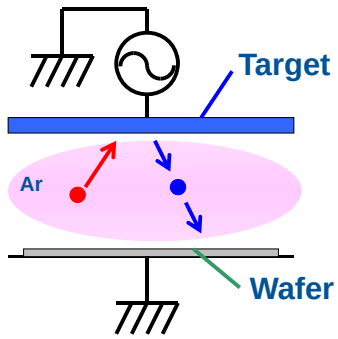


u

Thin film deposition

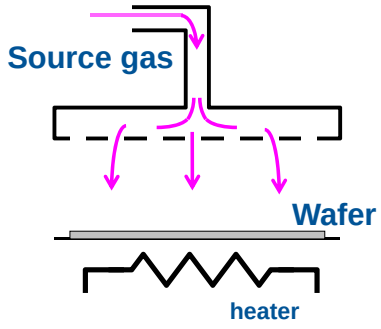
PVD

(Physical Vapor Deposition)
Example: Sputtering, Evaporation



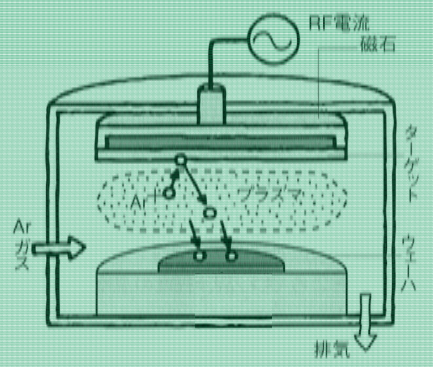
CVD

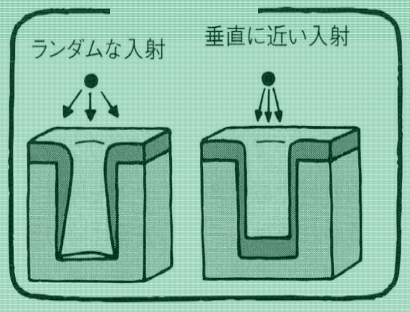
(Chemical Vapor Deposition)



Kazuya Masu

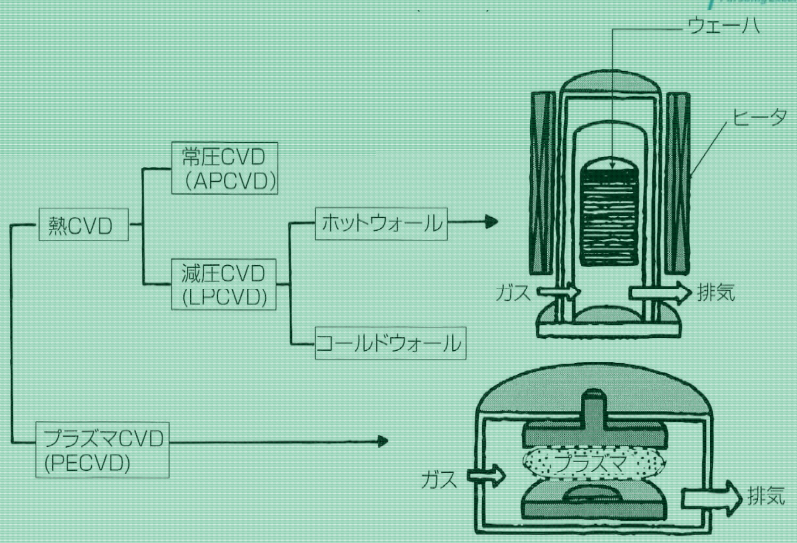
Sputter deposition





Kazuya Masu

CVD Chemical Vapor Deposition



Kazuya Masu

CVD Chemical Vapor Deposition

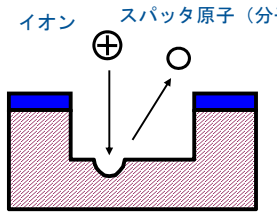
形成する膜	原料ガス	膜の用途
PolySi（多結晶シリコン）	SiH_4	ゲート電極など
WSi_2（タングステンシリサイド）	WF_6+SiH_2Cl_2	ゲート電極など
W（タングステン）	WF_6+H_2	ゲート電極、配線、プラグなど
SiO_2（二酸化シリコン）	SiH_4+N_2OまたはO_2 TEOS+O_2またはO_3	層間絶縁膜など
Si_3N_4（窒化シリコン）	SiH_2Cl_2+NH_3	耐酸化膜など
TiN（窒化チタン）	$TiCl_4$+NH_3	配線バリア膜など

TEOS : $Si(OC_2H_5)_4$

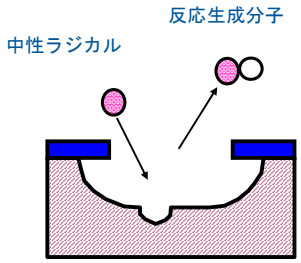
Kazuya Masu

エッチング技術

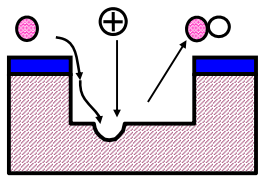
（等方性、異方性）



物理的（異方性）
（スパッタエッチング）

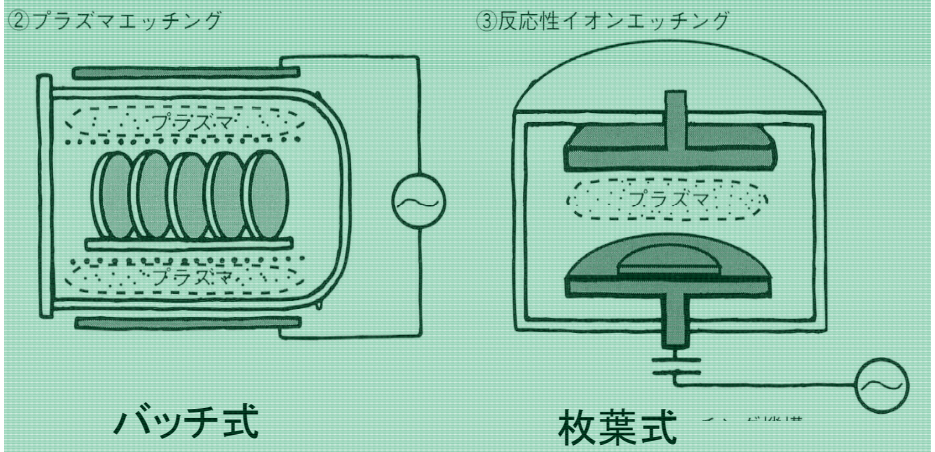


化学的（等方性）
（Wetの場合）

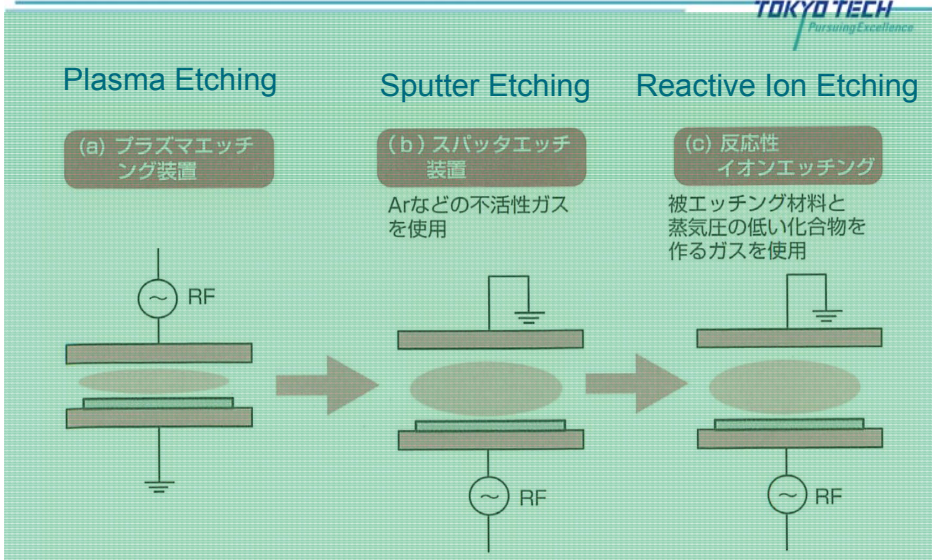


化学的・物理的
（等方性～異方性）
（プラズマエッチング、RIE）

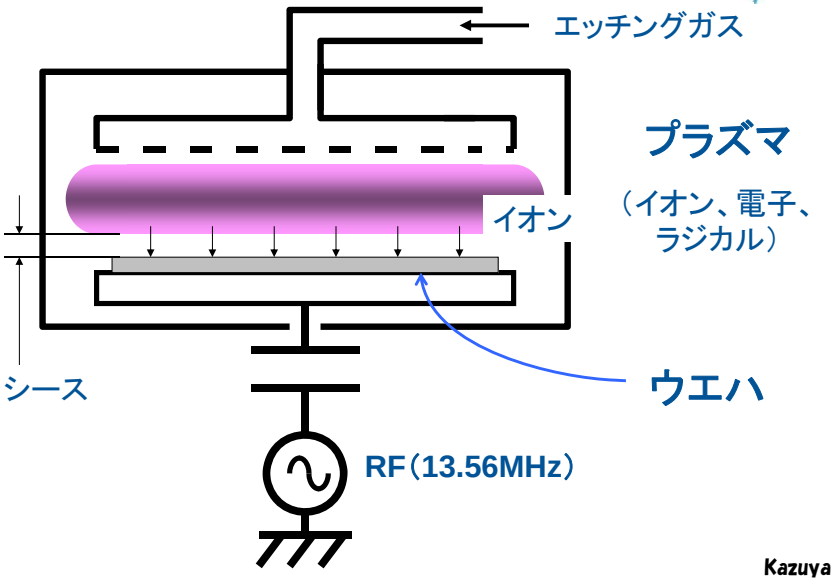
Etching



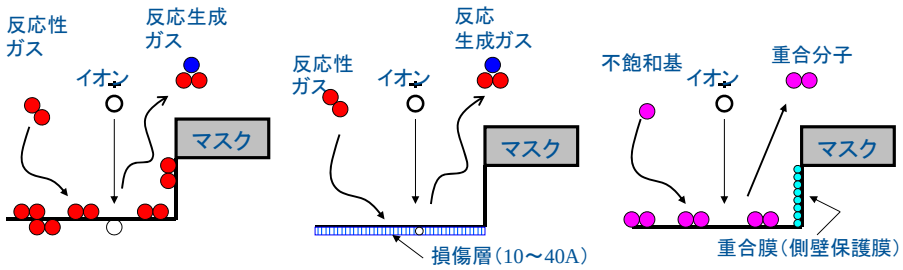
ドライエッチングの歴史



RIE（Reactive Ion Etching）



異方性エッチングの機構



スパッター離脱機構	イオン照射損傷機構	反応抑制重合膜形成機構
イオンスパッタによって、反応生成物の離脱を助ける。 側壁の反応生成物はスパッタされないので、異方性となる。	イオン照射による損傷層が、反応性ガスによりエッチングされる。 側壁は、イオン損傷を受けないので、異方性となる。	エッチングガス中の不飽和基、またはレジストによる重合膜が化学エッチングを抑制する。 側壁重合膜はイオンでスパッタされないので、異方性となる。

Etching

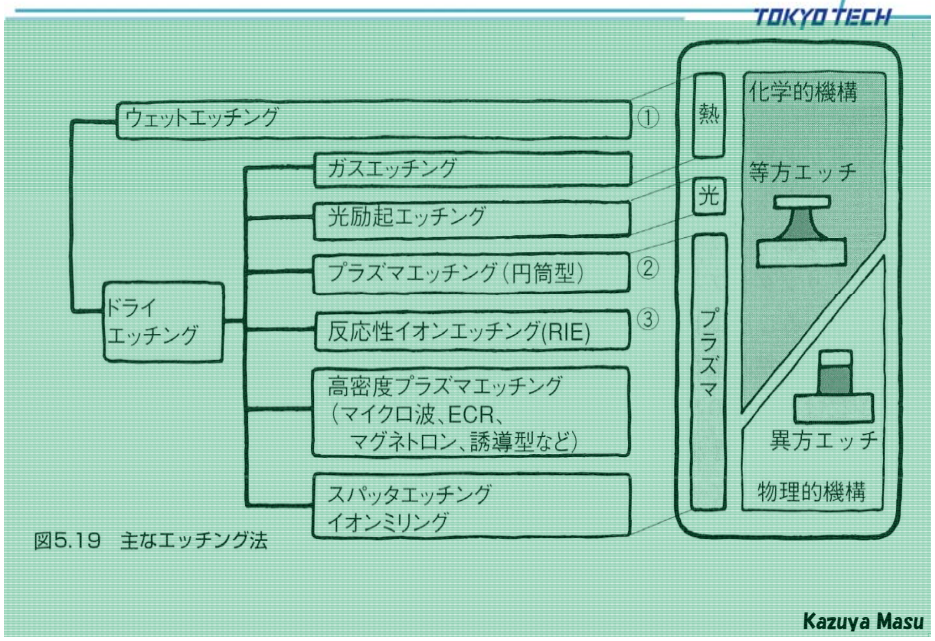
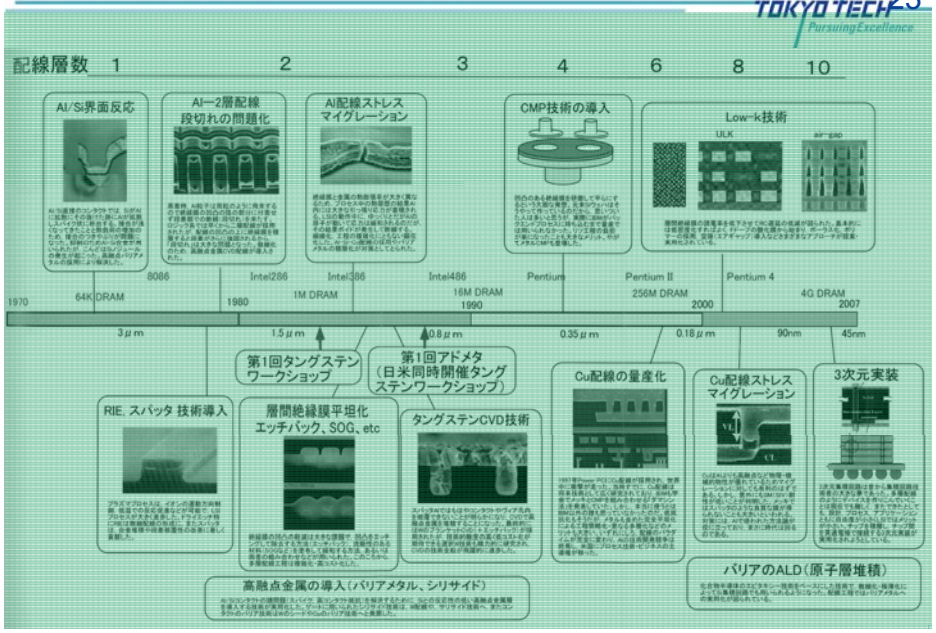


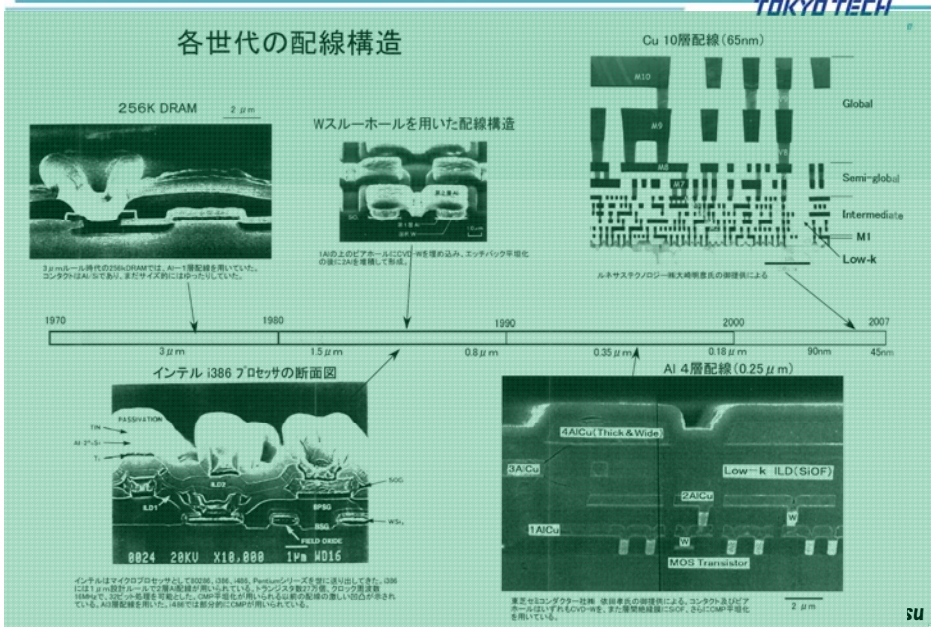
図5.19　主なエッチング法

Kazuya Masu

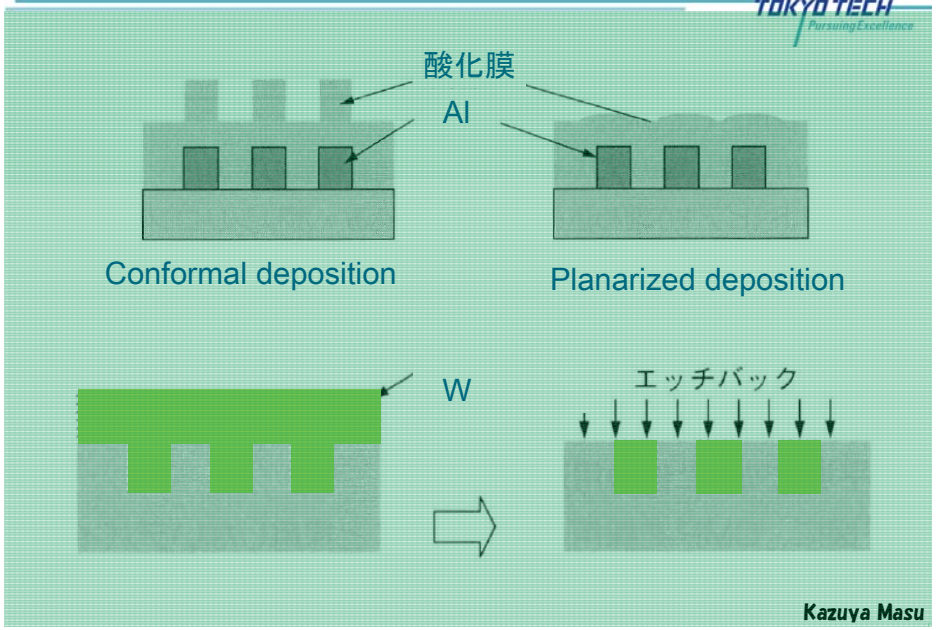
LSI配線技術の流れ



各世代の配線構造

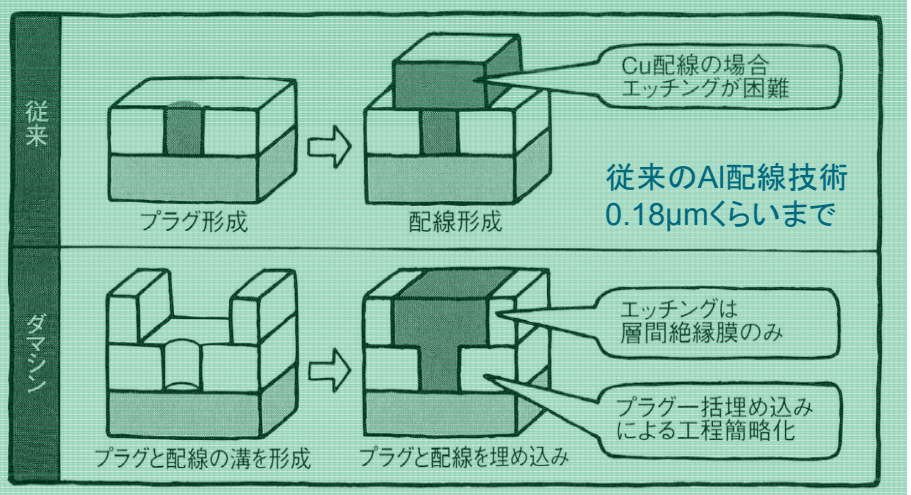


平坦化技術



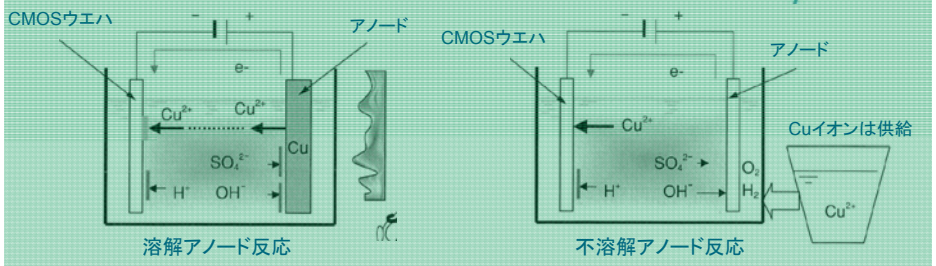
Kazuya Masu

配線形成



Kazuya Masu

めっき（鍍金、滅金、メッキ）



水溶液中のイオン解離

$CuSO_4 \rightarrow Cu^{2+} + SO_4^{2-}$

アノード（＋）反応

$Cu \rightarrow Cu^{2+} + 2e^-$

カソード（－）反応

$Cu^{2+} + 2e^- \rightarrow Cu\downarrow$

水溶液中のイオン解離

$CuSO_4 \rightarrow Cu^{2+} + SO_4^{2-}$

アノード（＋）反応

$2OH^- \rightarrow O_2 + H_2 + 2e^-$

カソード（－）反応

$Cu^{2+} + 2e^- \rightarrow Cu\downarrow$

めっき析出量 ＝（電流）×（メッキ時間）×（Cuの1g等量）
メッキ膜厚 0.44μm/min @ 20mA/cm2

Kazuya Masu

添加剤（めっき）

①Suppressor (抑制剤)(S)

塩素を仲介として銅表面に吸着。めっき析出が抑制され、局所的な析出を緩和して、核発生密度を向上させる。ボトムアップに効果。界面活性剤が良く利用される。

②Accelerator (促進剤)(A)

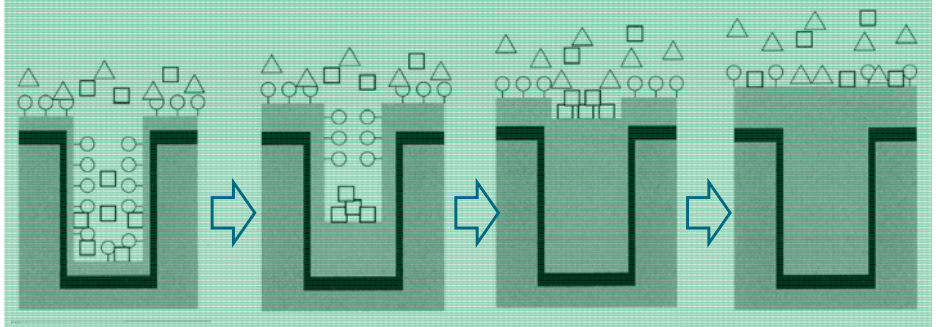
Suppressorとの競争吸着関係。めっき析出電位を下げる。凹部めっきを促進。有機硫黄化合物が代表例。

③Leveler(平滑剤)(L)

めっき析出を抑制する。吸着が液の撹拌に依存するため、トレンチ底など液流れが遅く拡散層の厚いところには吸着しにくい。膜厚の平坦性を向上させる。4級化アミン化合物などが代表例。

Kazuya Masu

添加剤（促進剤、抑制剤、平滑剤）の役割



①入槽時

S(○)が素早く銅表面に吸着、トレンチ底はS濃度低下のためA(□)が吸着しやすくなる

②ボトムアップ時

S(○)は消費されるがA(□)は表面に残存。A(□)の濃度高くなり凹部の析出が早くなる

③ボトムアップ終了時

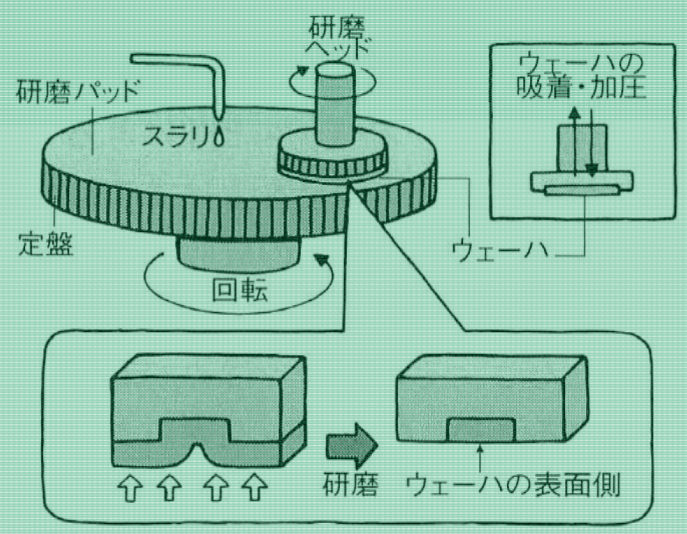
濃縮されたA(□)にL(△)が作用し、析出を抑制。ボトムアップpが弱まる

④厚膜めっき時

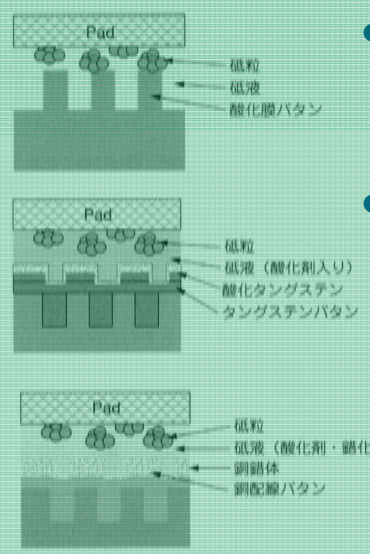
凸凹部にて①②③を繰り返しながら平坦化

Kazuya Masu

CMP: Chemical Mechanical Polishing

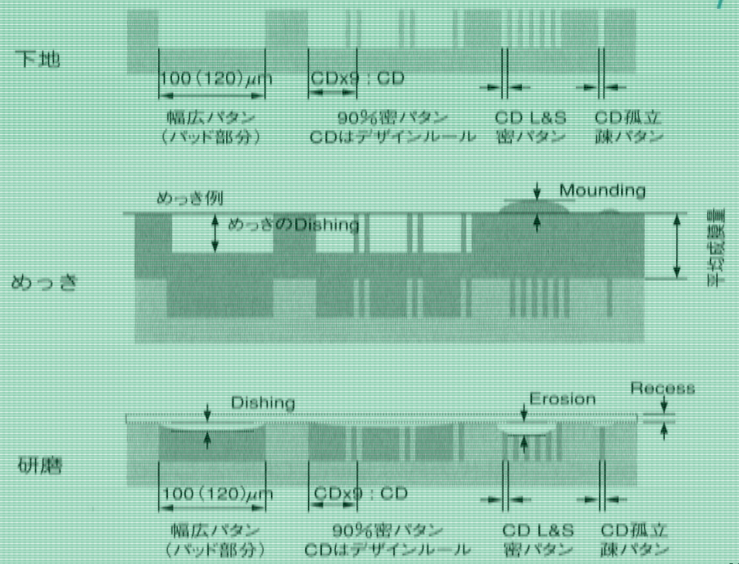


CMPの事例



- 酸化膜　一共削り
  - アルカリでSiO_2表面を改質し(化学的)、その表面層を砥粒で(機械的に)除去
  - SiO_2 (砥粒SiO_2 +砥液アルカリ) → SiO_2↑
- W　(metal)　ー柔らかい
  - 酸化させてから、研磨。酸化膜は強固
  - W + 酸化剤 → Wo_x↑
- Cu　(metal)　ー酸化膜が柔らい。錯体にして削る。
  - Cu十酸化剤　→　Cu^{++}(イオンにする)
  - $CuCu^{++}$ + 錯化剤 → Cu(錯体)↑

CMPの課題



プロセス開発の変遷

- 1970年代
- 1980年代
- 1990年代
- 2000年代
- 2010年代

集積回路 Introduction

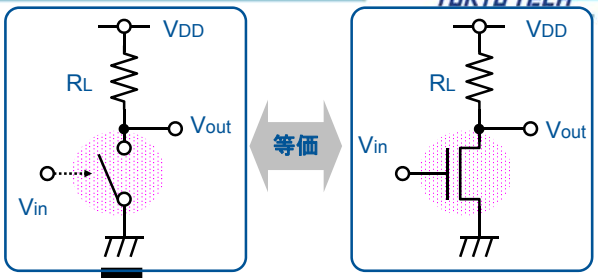
1. 集積回路プロセスの基礎
2. 集積回路の基礎

- CMOSインバータ・回路
- メモリ回路
- デジタル回路の設計

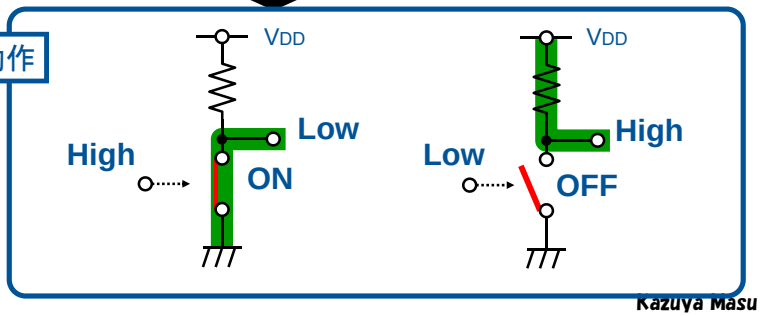
MOSFETスイッチによる論理回路

インバータ回路

Vin	Vout
High	Low
Low	High



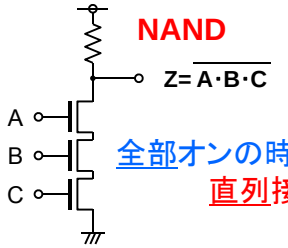
動作



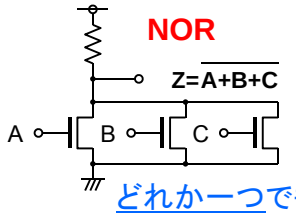
スイッチ回路とブール代数（2値論理）

真理値表

A	B	C	NAND Z	NOR Z
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	0



全部オンの時のみ0
直列接続



どれか一つでもオンであれば0
並列接続

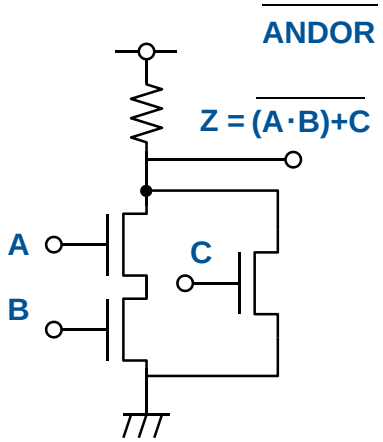
完全系
NANDやNORは
それだけで，あらゆる
論理関数を合成可能

スイッチ回路とブール代数（2値論理）続き

真理値表

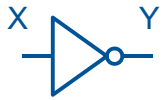
A	B	C	Complex Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

複合ゲート



ブール代数：スイッチ回路
論理積：直列接続
論理和：並列接続

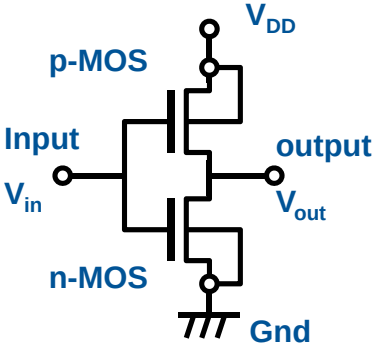
CMOS inverter

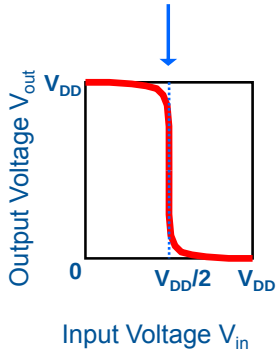


論理記号

真理値表

X	Y
0	1
1	0



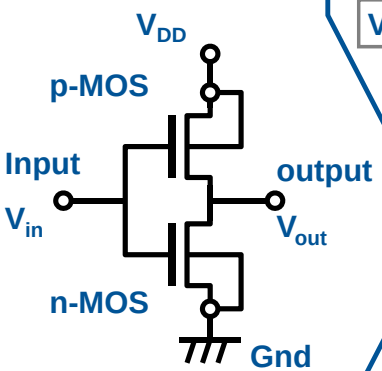


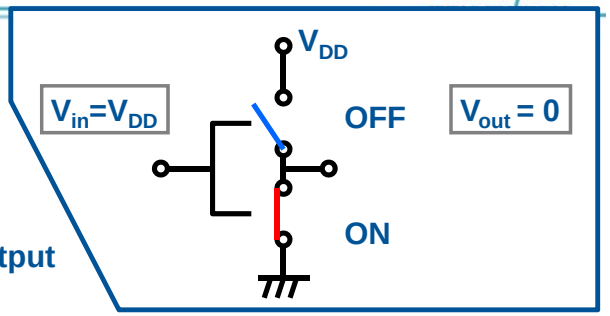
インバーターの閾値: $V_{th}^{inv} \approx V_{DD}/2$

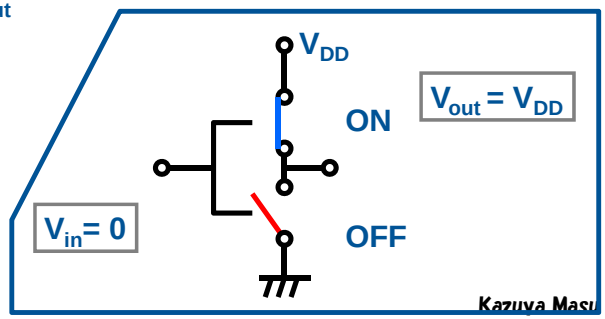
MOSFETの閾値: $V_{th}^{MOSFET} \neq V_{th}^{inv}$

Kazuya Masu

CMOS Inverter動作：スイッチによる等価回路





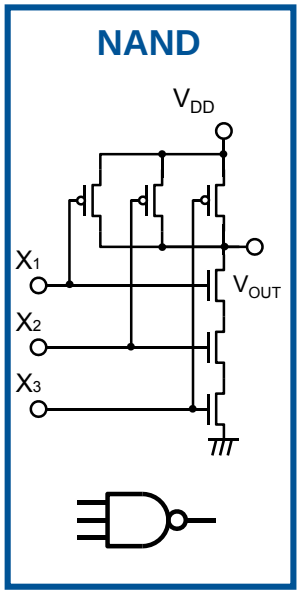


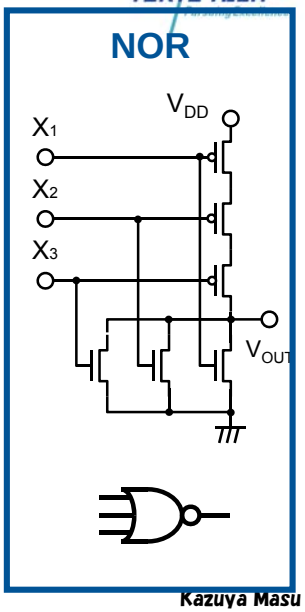
Kazuya Masu

CMOSによる 組み合わせ論理回路

真理値表

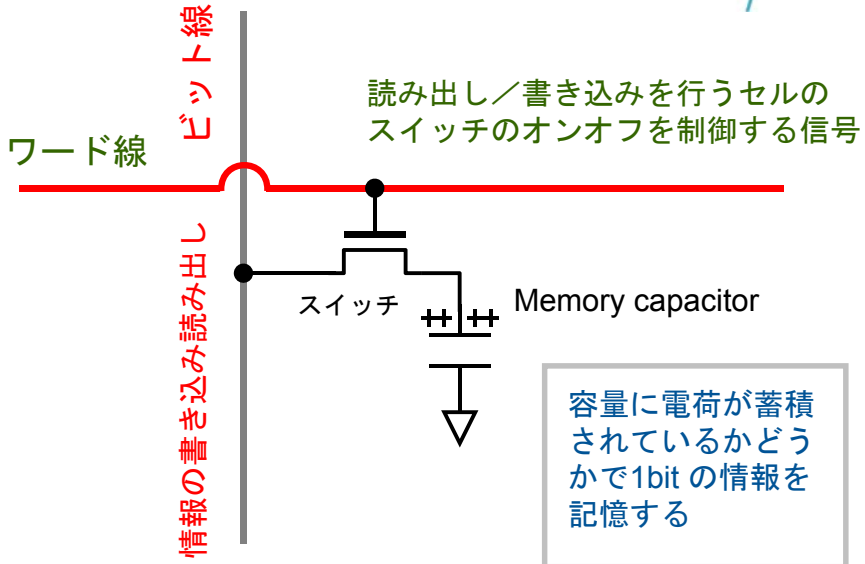
X_1	X_2	X_3	NAND	NOR
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
1	0	0	1	0
0	1	1	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	0





Kazuya Masu

DRAMの記憶原理とメモリセル

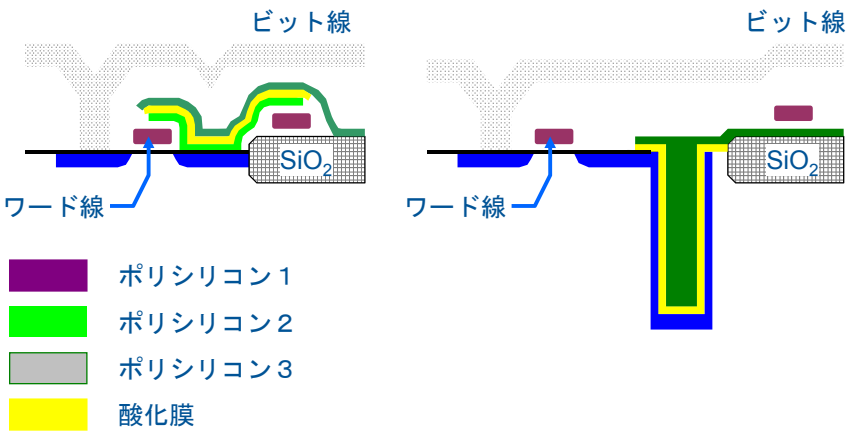


容量に電荷が蓄積されているかどうかで1bit の情報を記憶する

Kazuya Masu

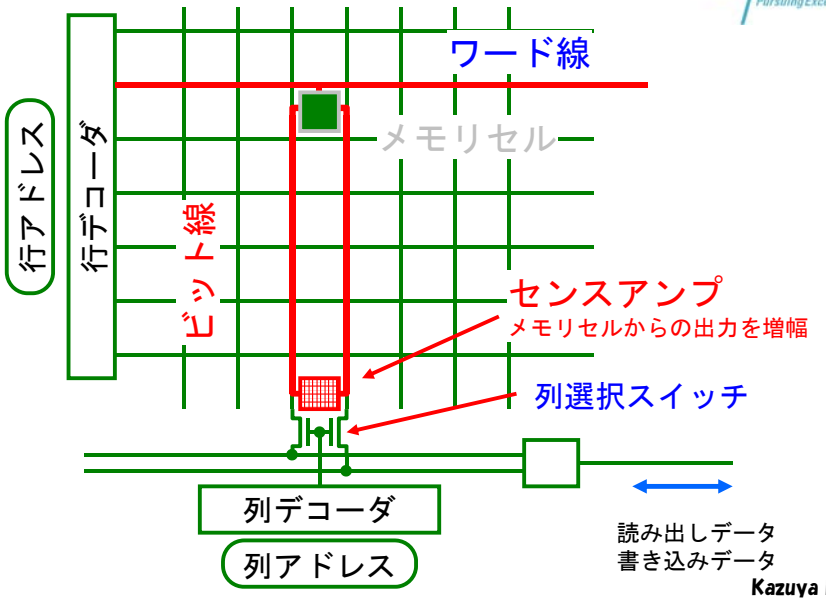
DRAMのセル構造（断面）

TOKYO TECH Pursuing Excellence



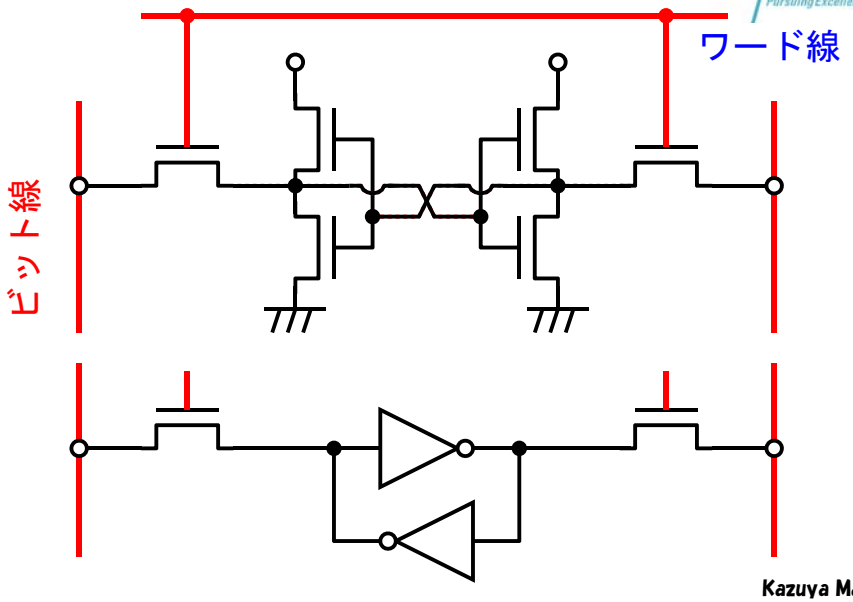
DRAM回路

TOKYO TECH Pursuing Excellence



SRAM（Static RAM）

TOKYO TECH Pursuing Excellence



デジタルLSIの実現方法

TOKYO TECH Pursuing Excellence

- ASIC (Application Specific IC)
- FPGA (Field Programmable Gate Array)

●ASIC (Application Specific IC)

- ユーザ側の用途・仕様に従って設計・製造される IC
- 半導体を製造する過程において機能が決まってしまう
- 欲しい機能を専用のLSIに実現。高速・高集積・高信頼性
- スタンダードセル (Standard Cell) という基本機能を持ったセルをチップ上に配置・配線することで、ASIC を設計する (セルベースASIC)。

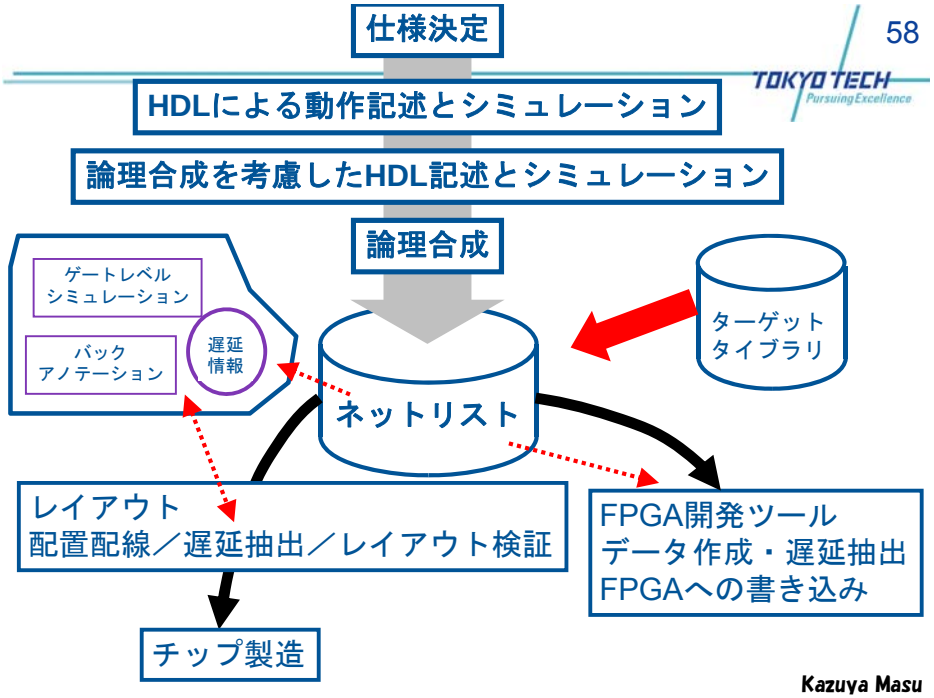
●FPGA (Field Programmable Gate Array)

- FPGA は小規模なロジック・セルをチップ上に作り込んでおいて、ロジック・セル間を任意に配線できる構造をとることで、ユーザが機能を書き込めるデバイス
- FPGA は開発期間が短い、開発費が安い
- 集積度や動作速度の点ではスタンダードセル方式のASICには及ばない。

ASIC vs FPGA

	セルベース ASIC	FPGA
集積度	～数百万ゲート	～数十万ゲート
構成	スタンダードセルを組み合わせた階層的ブロック	基本セル単位で任意に配線
開発方法	ユーザが設計・メーカーが製造	ユーザ自身が書き込み
固定費	高い	不要
TAT ＊	長い	不要
単価	大量なら安い	やや高い
設計の自由度	高い	やや低い

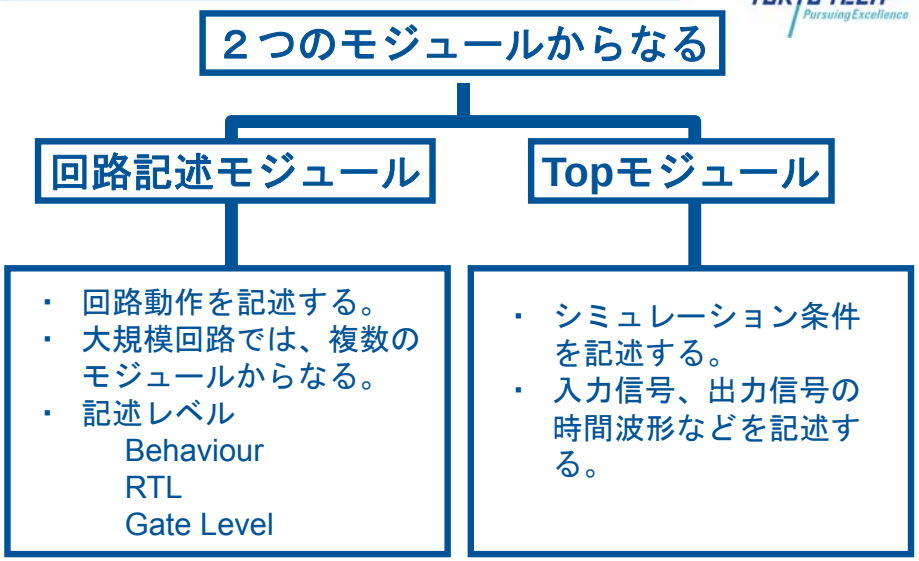
TAT : Turn Around Time



HDL（Hardware Description Language）

VHDL	1981年にアメリカ国防省のVHSIC(Very High Speed Integrated Circuit) プロジェクトによって提案されたVHSIC-HDLが原型。 元々はドキュメント用言語。IEEE1076 により標準化。 VHDLは1986年に公開。アメリカ国防省に納入するASIC設計仕様書にVHDLの添付が義務づけられた。
Verilog-HDL	Cadence 社が 1985 年買収した Gateway Design Automation 社により紹介された言語。現在は IEEE1364 として標準化されている。 簡潔な記述で支持者も多い。 Verilog-XL(R)は cadence 社のハードウエアシミュレータ
SFL	論理合成ツール PARTHENON (NTT データ通信) 用の日の丸 HDL。同期回路限定のため、記述が簡潔。 ASIC の開発実績はある

Verilog HDLの構成



RTL (Register Transfer Level)

Verilog-HDLの例　（加算器）

回路記述モジュール

```
module add_00( a , b , c );

input [3:0] a,b;
output [4:0] c;

    assign c = a + b;

endmodule
```

Topモジュール

```
module mul_ts;
reg [3:0] a , b;        /* Input signal */
wire [4:0] c;           /* Output signal */
add_00 add_00( a, b, c );
parameter STEP = 1000;
   initial begin
     a = 4'h0; b = 4'h0; /* TIME = 0 nsec */
     #STEP a = 4'h5; b = 4'h5;
          ·····
     #STEP a = 4'h3; b = 4'h2;
     $finish;
   end
endmodule
```