- この資料は、OCW（学内限定）版です。
- 著作権に関わる部分は影付きとなっております。ご了承ください。
- OCW-iには「影付き」のないversionをアップしています。

平成25年度前期東京工業大学学部講義

電子デバイス

Electron Devices

Kazuya Masu
Director, ICE Cube Center
Solutions Research Laboratory
Precision and Intelligence Laboratory
Dept. Electronics and Applied Physics

益　一　哉
異種機能集積研究センター
ソリューション研究機構
精密工学研究所
大学院・物理電子システム創造専攻

Tel & Fax: 045-924-5022 Email: masu@ieee.org,
http://masu-www.pi.titech.ac.jp/~masu/index-j.html

Green ICE Tokyo Tech Information Communication Energy
Semiconductor Solution Research

講義日程（平成25年度）

1. 4月　8日（月）
2. 4月15日（月）
3. 4月22日（月）
4. 5月　9日（木）
5. 5月13日（月）
6. 5月20日（月）
7. 5月27日（月）
8. 6月　3日（月）
9. 6月10日（月）
10. 6月17日（月）中間試験
11. 6月24日（月）
12. 7月　1日（月）
13. 7月　8日（月）
14. 7月15日（月）
15. 7月22日（月）試験

6月17日（月）中間試験：試験範囲は4/8～5/27までとする。

講義の評価

- 基本：
  - 出席、レポート、試験を総合的に評価。
  - 中間・期末試験：各約40%，宿題等：約20%
  - 中間試験及び試験を受験しないときは、理由にかかわらず不合格。公用欠席の場合は4月中に連絡のこと。
- レポート（宿題）の提出
  - 締切厳守。事前連絡がない限り、締切過ぎのレポートは受け付けない。
- 不明の点は遠慮なくメイルを送付ください。
  - Subject欄に「電子デバイスの件」と記載。氏名、学籍番号記載のこと。

講義概要と目的

TOKYO TECH Pursuing Excellence

- 講義概要

半導体物性を基礎にして，電子デバイス（半導体デバイス）の動作原理を学ぶ．pn接合，MOS容量からスタートし，MOSトランジスタとバイポーラトランジスタについて学習する．デバイス性能の評価指標，性能を向上するための方法，性能向上の制限要因についても学習する．これらに加えて撮像素子（デジタルカメラの基本素子）やメモリ（DRAMや不揮発性メモリなど）についても紹介する。MOSトランジスタや集積回路作製プロセスの基礎についても紹介する。

- 講義の目的

電子デバイスには様々な種類が存在するが，集積回路の基本構成要素である「MOSトランジスタ」と「バイポーラトランジスタ」を主として取り扱う。バンド構造に基づいた電子デバイスの動作、回路動作理解への橋渡しである等価回路について理解する。MOSトランジスタは一括で多数のデバイスを高歩留まりで作製でき集積回路を構成できるところに特徴があることを理解する。デバイス設計や集積回路性能向上の考え方を学ぶ。

講義内容

TOKYO TECH Pursuing Excellence

1. 半導体デバイスと集積回路
2. 半導体物性の復習：バンド構造，少数キャリア注入
3. pn接合：I-V特性、C-V特性
4. MOSダイオード
5. MOSトランジスタ（Ⅰ）：構造と基本I-V特性
6. MOSトランジスタ（Ⅱ）：スケーリング，短チャネル効果
7. MOSトランジスタ（Ⅲ）：動作速度
8. 中間試験
9. MOSトランジスタ（Ⅳ）：CMOS基本回路
10. MOSトランジスタ（Ⅴ）：作製プロセス
11. バイポーラトランジスタ（Ⅰ）：構造と理想I-V特性
12. バイポーラトランジスタ（Ⅱ）：等価回路モデル
13. バイポーラトランジスタ（Ⅲ）：デバイス設計・動作速度
14. 撮像デバイス，パワーデバイス
15. 不揮発性メモリ

集積回路の理解につながる電子デバイスを学ぶ

講師：Private history

TOKYO TECH Pursuing Excellence

- 1977年3月　東京工業大学工学部電子物理工学科卒業
- 1982年3月　同大学院理工学研究科電子工学専攻博士課程修了
- 1982年4月～2000年9月　東北大学電気通信研究所
- 2000年6月～　東京工業大学精密工学研究所

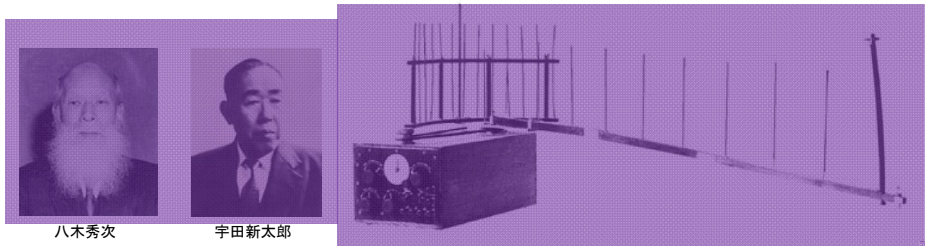
- 博士課程：　GaAlAsの物性と高効率太陽電池開発
- 東北大学：　集積回路プロセスの研究（金属薄膜堆積）
  スペクトラム拡散無線通信デバイス・モデムの研究
  温度スケーリングの提案と0.1μmMOSFETの開発
- 東京工業大学　オンチップ高速信号伝送線路配線の開発
  RF CMOS集積回路の研究（スケーラブルRF CMOS集積回路、Reconfigurable RF CMOS集積回路）
  異種機能集積設計プラットフォームの開発
  スマートセンサネットワークシステムの開発
  Swarm Electronicsの研究

八木・宇田アンテナ

TOKYO TECH Pursuing Excellence

東北大学電気通信研究所

- 何本かの直線状の金属導体を平行に配列した八木・宇田アンテナは、大正末期（1925年）に東北大学電気通信研究所の八木秀次博士と宇田新太郎博士によって発明された。
- 右下写真は八木・宇田アンテナを使用した波長45cmのUHF帯の送受信機。1929年に仙台と大鷹森の間、約20kmの通信に成功。翌1930年にベルギーで開催された万国博覧会に出品されている。（現在、東北大通研にレプリカが展示）



八木秀次　宇田新太郎

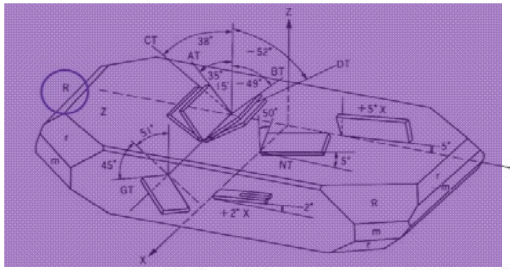
http://www.riec.tohoku.ac.jp/antenna/index.html

周波数は財産である。

八木・宇田アンテナの研究に対するIEEE（米国電気電子学会）の記念碑（東北大学片平構内）

水晶振動子の高安定化

東京工業大学精密工学研究所



http://www.qiaj.jp/pages/frame20/page01.html#sec_01

振動子の高安定化

勲一等受章時の古賀博士（1970年）

創立まもない東京工業大学電気工学科の古賀逸策（こが いっさく）は、恒温槽を必要としない水晶振動子を発見した。R1、R2板（AT、BT）である。1932（昭和7）年秋のことであった。　今や、水晶振動子は不可欠。

幾多の技術、多数の先人の肩にのり、さらに高みへ

http://jp.fujitsu.com/about/journal/offtime/japanesespirits/20081104/

古賀逸策：東京工業大学電子工学研究所（→電気科学研究所→現・精密工学研究所）

参考書

- 筒井一生「よくわかる電子デバイス」オーム社
  - オーソドックスに記述。
- 宮本恭幸「電子デバイス」培風館
  - デバイス動作をすぐにでも理解できるように意欲的に記述。

半導体物性

- 高橋　清　「半導体工学—半導体物性の基礎」（森北出版）
  - 学部レベルの教科書。
- 御子柴宣夫　「半導体の物理」（培風館）
  - 大学院で半導体物性を学びたい人は是非勉強して欲しい。

参考書

半導体物性

- 菅野卓雄「半導体物性」電気学会
- 有住徹弥・和田隆夫「トランジスタ物性工学」（朝倉書店）
  - 両方とも絶版。バンド理論から学びたい人にはお勧め。

電子デバイス

- 古川静二郎「半導体デバイス 」コロナ社
  - オーソドックスなデバイスの教科書（学部レベル）
- Simon M. Sze and Kwok K. Ng, "Physics of Semiconductor Devices"
  - 百科事典的。MOS diodeの記述は丁寧に記述。
- タウア・ニン（Taur and Ning)「最新VLSIの基礎」丸善
  - 大学院レベル。
- A. S. Grove, "Physics and Technology of Semiconductor Devices"
  - 古い本であるが、半導体の黎明期から含めて学ぶにはお勧め。

読み物として（最近の解説論文）

- 益　一哉、天川修平、伊藤浩之、石原　昇, “RF CMOS集積回路技術における挑戦”,電子情報通信学会学会誌　2011年5月号, pp.427-432, Vol. 94, No. 5, 2011.
- 石原　昇, 天川修平, 益　一哉, “CMOS 集積回路とMEMSの融合”, 電子情報通信学会学会誌　2010年11月号, pp.928-932, Vol. 93, No. 11, 2010. (http://www.ieice.org/jpn/books/kaishikiji/2010/201011.pdf or http://bit.ly/fvraQs)
- 益　一哉,「オンチップ伝送線路配線の期待と課題－True Scalingを可能とする次世代配線技術－」電子情報通信学会誌, Vol.91, No.3, pp.170-175, March, 2008.
  (http://www.ieice.org/jpn/books/kaishikiji/2008/200803.pdf http://bit.ly/eCy8p8　)
- 益　一哉, 岡田健一,「高周波シリコンCMOS送受信システムチップ」, 電子情報通信学会誌, Vol.90, No.4, pp.276-282, April, 2007.

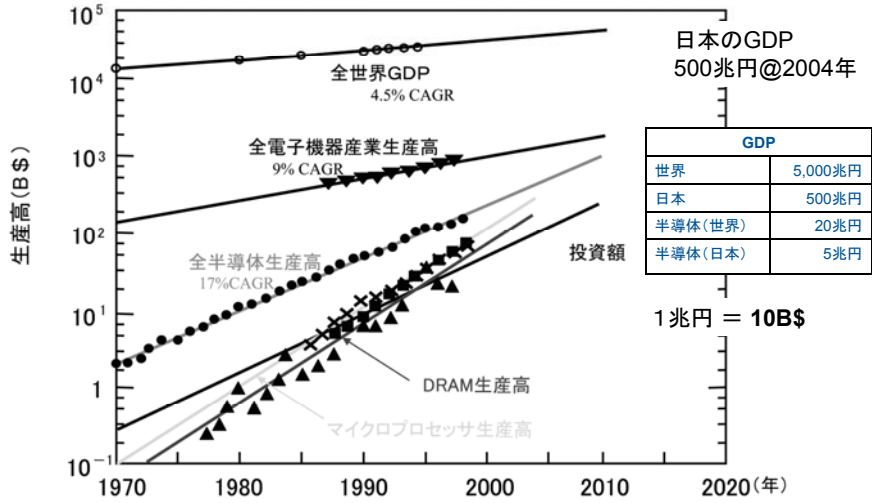
Introduction

1. 産業的観点からエレクトロニクス産業
2. MOSFET入門
3. 半導体物理の復習

Introdution

1. 産業的観点からエレクトロニクス産業
2. MOSFET入門
3. 半導体物理の復習

半導体のGDP、電子機器に対する年次変化



日本のGDP
500兆円@2004年

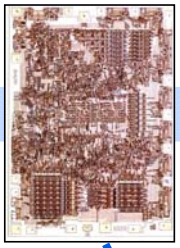
GDP	
世界	5,000兆円
日本	500兆円
半導体(世界)	20兆円
半導体(日本)	5兆円

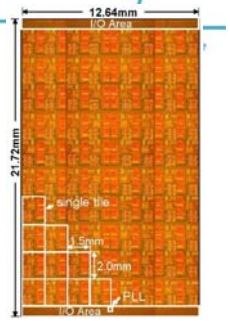
1兆円 ＝ **10B$**

(出典:Proc. IEEE, Vol.87, p.537, 1999)

Scaling of integrated circuit

MPU (Intel 4004)
1971, 2,3k Tr,
10μm, 108kHz





State-of-Art
Many Core MPU
(Intel, 2007) 65nm, 10^8Tr/3mm^2-Tile

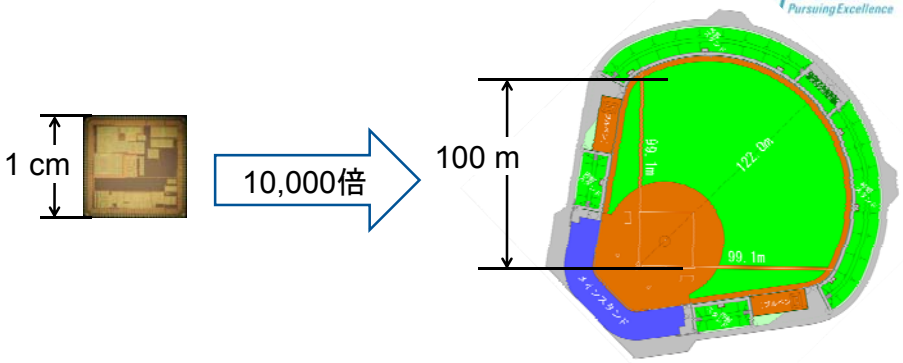
Invention of transistor, 1947
半導体は“還暦”

ENIAC(1946), 18,000 tubes
80m^3, 27t, 140kW, 5k cal/sec

Hair 50-100μmϕ

Using the recent CMOS tech, 4004 can be implemented on a cross section of hair.

集積回路の大きさ



トランジスタゲート長:	40nm
トランジスタゲート酸化膜	1.8nm
最小配線幅:	0.1μm
配線層10層分の厚さ:	8μm

砂粒径(0.1mm)	4個分
砂粒径(0.1mm)	1/5個分
ファールライン幅(8cm):	1/80
走塁ベースの高さ(10cm)程度	

今、パソコンに入っているプロセッサ程度の微細化技術

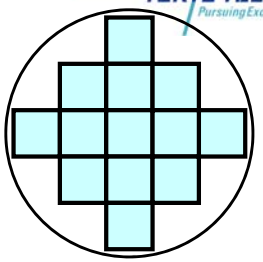
微細化・スケーリングとは

LSIはスケーリング則を唯一絶対の指導原理として微細化をおこなうことにより、

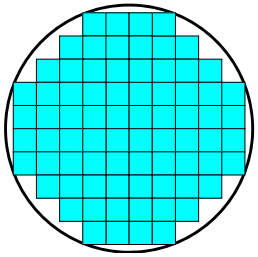
- 高　速
- 低消費電力
- 高密度・高集積・高機能化
- 低コスト

をすべて実現してきた　！

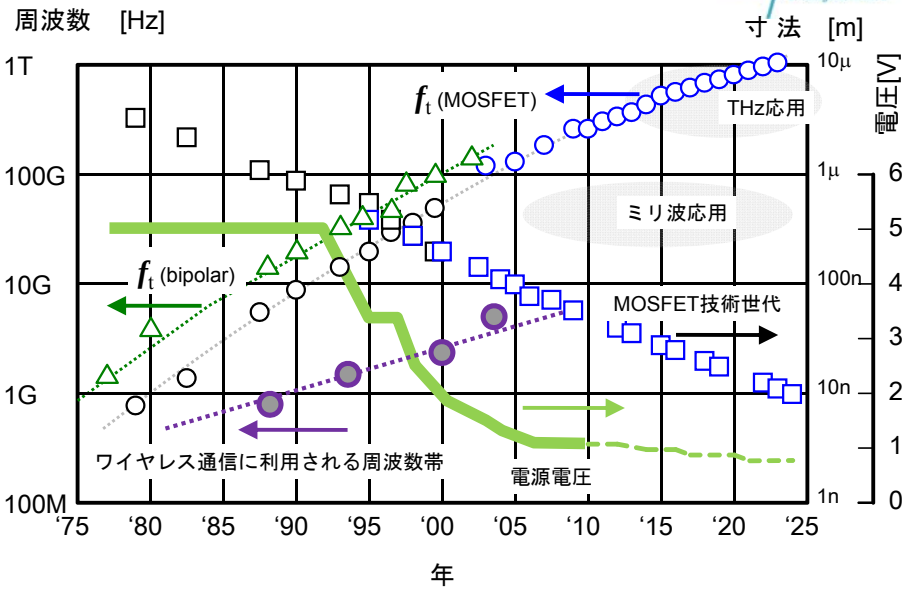
低コスト化なしに産業としては成立しない。



一枚のウエハから沢山のチップ



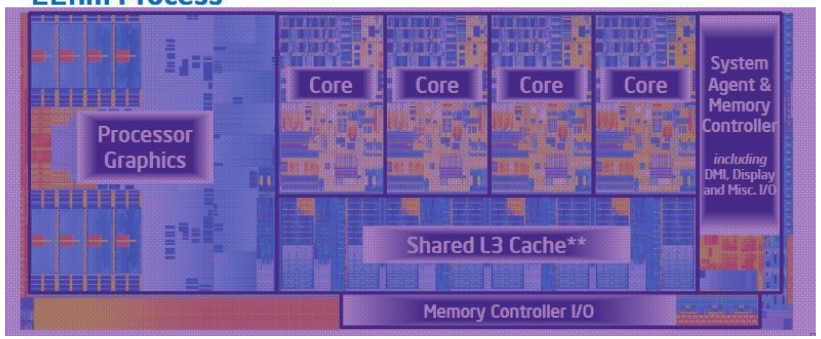
Miniaturization of MOSFET/CMOS



22nm CPUが現実になってきた

- Intel, Ivy Bridge, released on April 23, 2012
- Trigate MOSFET is employed.

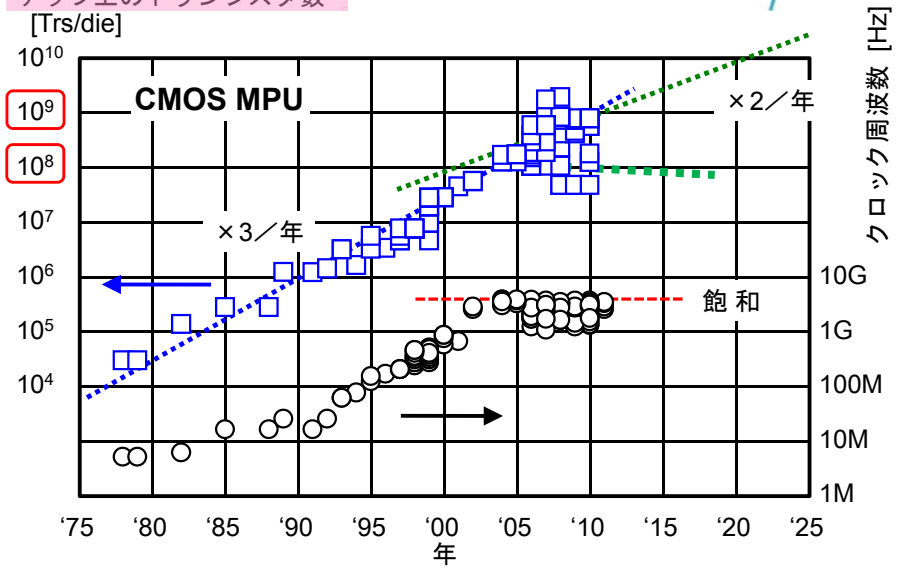
3rd Generation Intel® Core™ Processor: 22nm Process



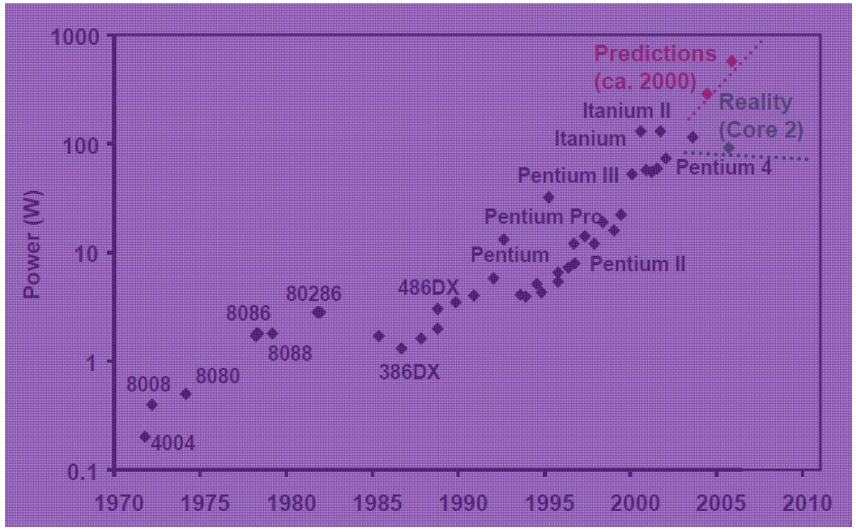
New architecture with shared cache delivering more performance and energy efficiency

Quad Core die with Intel® HD Graphics 4000 shown above
Transistor count: 1.4Billion　　Die size: 160mm²
** Cache is shared across all 4 cores and processor graphics

マイクロプロセッサの進化

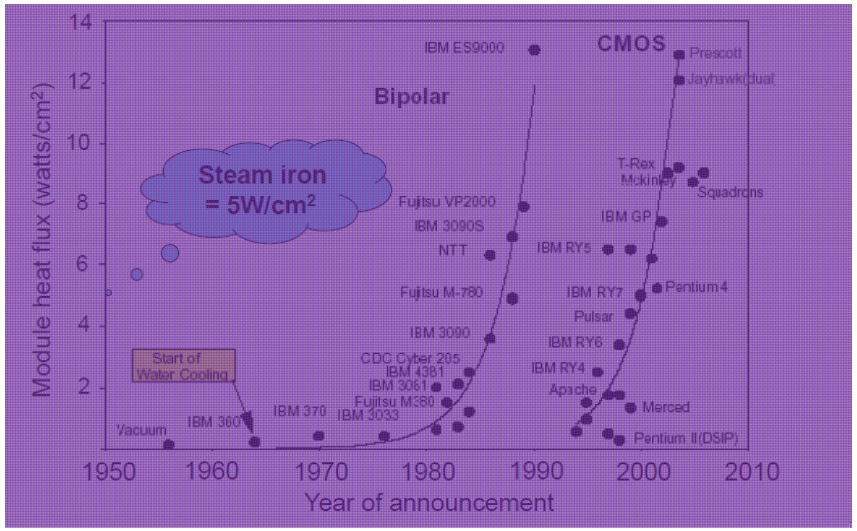


CMOS power scaling



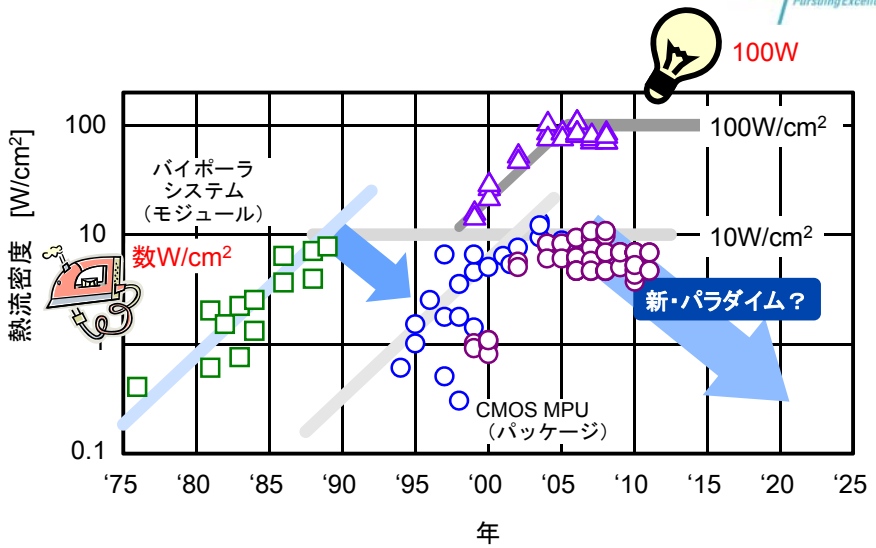
Source: S. Borkar, Intel

Watts happening in technology

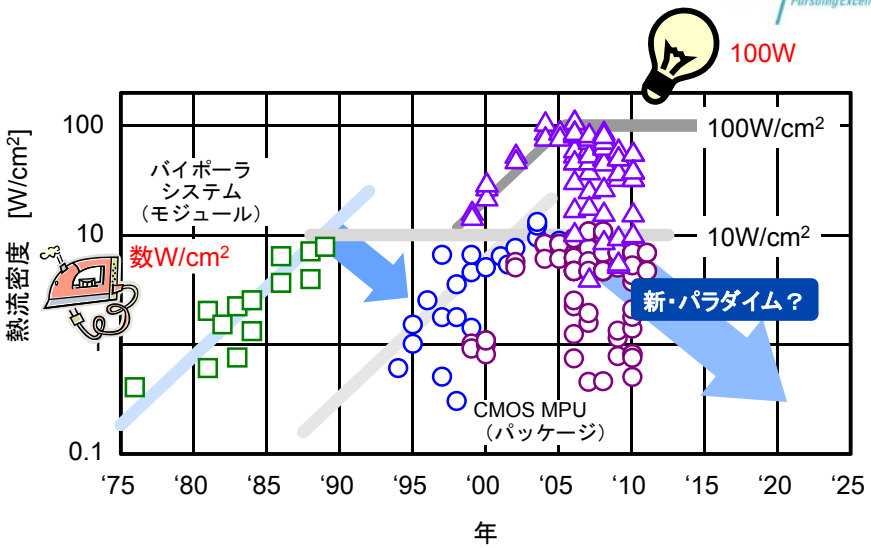


Source: Bernard S. Meyerson, IBM, 2005

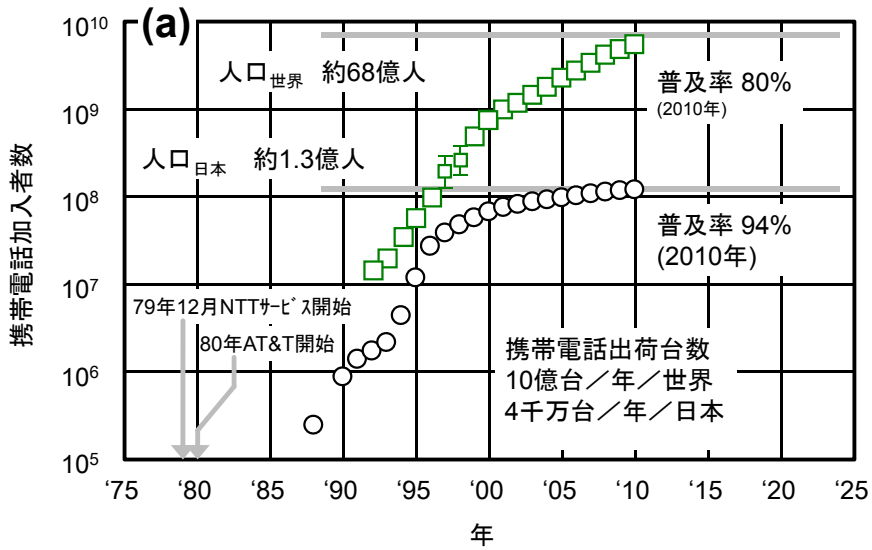
Heat flux of module/chip



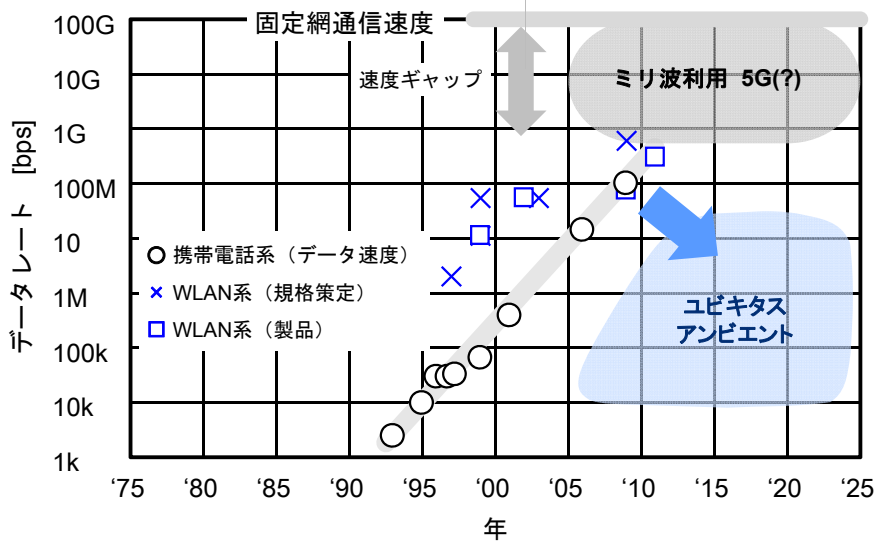
Heat flux of module/chip



Subscribers of mobile phone



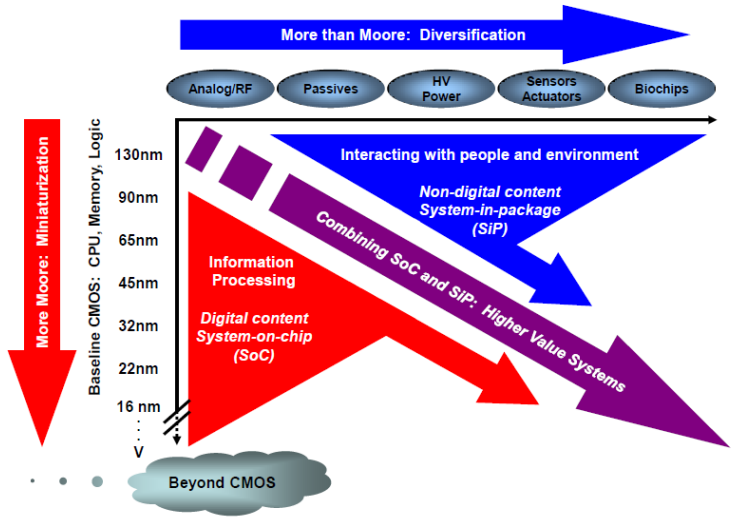
Data rate of consumer wireless



集積回路技術の歴史から何を学ぶか。

- Device and LSI
  - Bipolar Tr 1948年
  - Kirby特許 1958年
  - MPU(4004) 1970年
- 集積度のかげり 2000年代 → パラダイムシフトの訪れ。
- 通信技術：90年代に芽生え、'00年代に爆発的（指数関数的）に伸びる。 → 10年代は通信のパラダイムシフトの年代

Figure 4 The Concept of Moore's Law and More



Source: 2011 ITRS - Exec. Summary Fig. 4

http://www.itrs.net/Links/2011Winter/PublicPresentations.htm

Introdution

1. 産業的観点からエレクトロニクス産業
2. MOSFET入門
3. 半導体物理の復習

MOSFET、BPTの基礎の基礎

- **Metal-Oxide-Semiconductor**
  金属　酸化物　半導体
- **Field Effect Transistor**
  電界 効果 トランジスタ

- MOSFETは、現代の集積回路（Integrated Circuit, IC）を構成する主要な3端子機能デバイス（device）ある。
- 集積回路は、MOSFETやダイオードの他、キャパシタ、抵抗、インダクタが構成され、金属配線により接続されている。

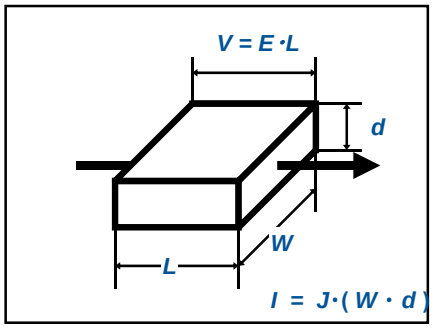
金属、半導体、絶縁体

		抵抗率
導　体　conductor	電気を通す	10^{-6} – 10^{-4} [Ωcm]
半導体　semiconductor	適度に電気を通す	10^{-4} – 10^{4} [Ωcm]
絶縁体　insulator	電気を流さない	10^{6} – 10^{14} [Ωcm]

$$J = \sigma E \quad or \quad E = \rho J$$

J : 電流密度　(A/cm^2)
E: 電界強度　(V/cm)

σ : 導電率（conductivity）
ρ : 抵抗率（resistivity）
$\rho = 1/\sigma$



金属と半導体

- 金属
  - 金属原子の束縛を解かれた電子（自由電子）が伝導に寄与する。
  - 電子の数≒原子数　（約5×10^{22} 個/cm^3）
- 半導体（Si）
  - p形とn形
  - p形では正電荷を持つ正孔（hole）、n形では負電荷をもつ電子（electron）が電気伝導に寄与する。
  - 伝導形、正孔や電子濃度は不純物及びその量により制御できる。正孔（電子）濃度は、10^{15}～10^{21} cm^{-3}程度。

「金属と半導体」から電子デバイスへ

- 電気物性・電子物性・半導体物性
  - 物理学（量子力学や統計力学）を基礎として、①金属の電気伝導、②半導体のバンド構造、③半導体中の電子や正孔の伝導、③pn接合での非線形特性が生じることを理解する。
- 電子デバイス
  - npnやpnp構造のバイポーラトランジスタ、MOS構造トランジスタの特性を理解する。メモリの基礎程度は学ぶ。
- 電子回路
  - トランジスタを利用した増幅回路、発振回路、OpAmpの動作を理解する。
- 集積回路工学
  - デジタル回路、アナログ回路、回路レイアウト、集積プロセス等々を学ぶ。
- 数学が基礎となる情報理論、デジタル信号処理や通信工学に基づいて構成されるシステムを実現するためには集積回路が必須。

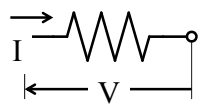
物性論を飛ばして、電子デバイスを紹介

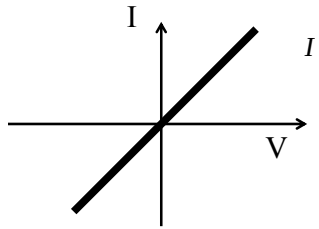
- **Metal-Oxide-Semiconductor**
  金属　酸化物　半導体
- **Field Effect Transistor**
  電界 効果 トランジスタ

- 物理から紐解くと電子デバイスに辿り着くまで時間がかかるので、回路的な側面から電子デバイスを考えてみる。

2端子の線形回路素子

- 基礎回路学で学ぶ回路理論は「線形回路理論」であり、出てくる回路素子は「線形回路素子」である。
- 線形回路素子の特性は、平面上の「原点を通る1本の直線」で表現される。
  - 線形抵抗（resistor
  - 線形キャパシタ（capacitor）
  - 線形インダクタ（inductor）

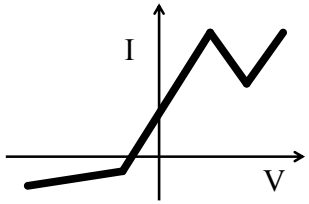




$I = V/R,\ I = GV$

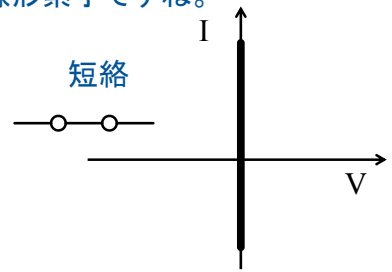
2端子非線形素子

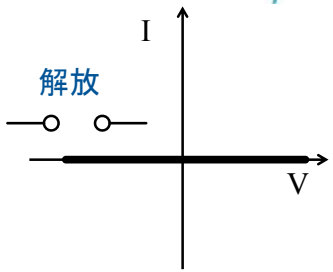
- 非線形(nonlinear)回路素子の特性は、平面上の1本の曲線で表される。
  - ■直線も含まれる
  - ■原点を通らなくて良い

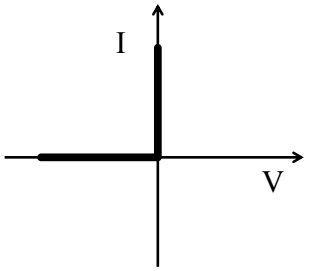


2端子非線形素子

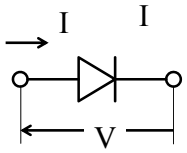
線形素子ですね。





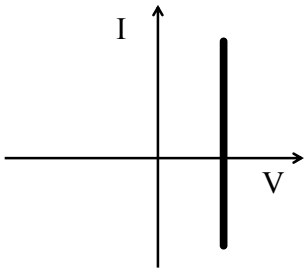


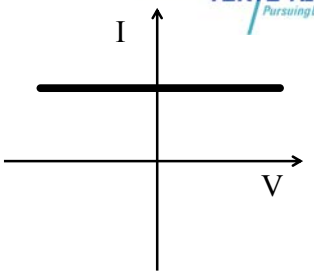
非線形抵抗素子です。



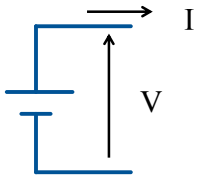
整流器(diode)

ところでこれは何でしょうか？

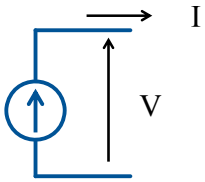




電圧源



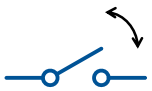
電流源



電圧源の特性は、I-V平面上のI軸に平行な一本の直線で表現されるので、非線形抵抗器の一種である。電流源も同様。

時間不変回路素子と時間変化回路素子

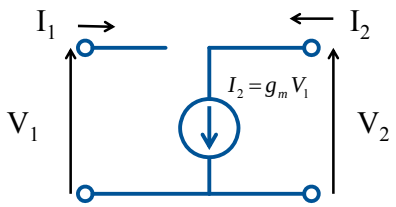
- 「時間不変回路素子」は、特性が時間に依存しない。
- 「時間可変素子」は、特性が時間とともに変わる。
  - ■出力が時間とともに変化する電源は、時間変化抵抗器の一種
  - ■スイッチは、線形時間変化抵抗器



多端子素子と制御電源

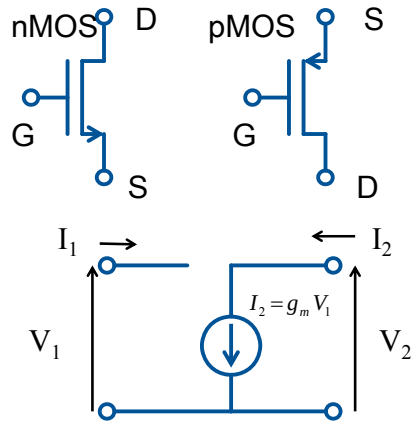
- 多端子素子：端子が3つ以上ある回路素子
- 制御電源(Controlled source,　従属電源)
  - 3端子素子の一種
  - 基本的には電源（（電圧源または電流源）であるあるが、その出力（電圧または電流）が、制御端子への入力（電圧または電流）に依存する。
- 電圧制御電流源
  - 入力：V_1
  - 出力：I_2
  - 比例係数　g_m（相互コンダクタンス）

$$I_1 = 0, \quad I_2 = g_m V_1$$



Transistor　語源：Transfer resistor

- トランジスタは、三端子制御抵抗器の一種で半導体で出来てているもの。
  - 制御端子への入力で抵抗を変化させることができる。
- MOSトランジスタ
  - Gateが制御端子、
  - Drain/Source間が可変抵抗器
  - 挙動は「電圧制御電流源
  - Gate電圧を時間的に変化させれば、Drain/Source間は時間変化抵抗器

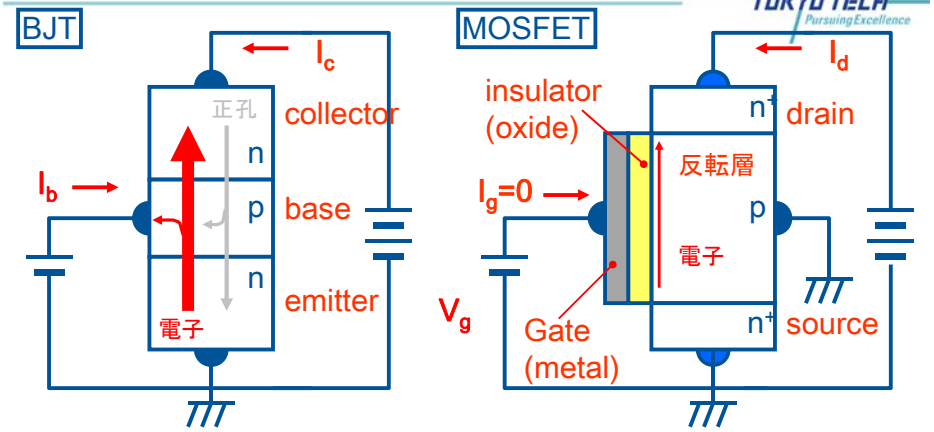


半導体デバイスの位置づけ

- 半導体デバイスは「非線形回路素子」の一種
  - ダイオードは非線形2端子抵抗器（通常は時間不変素子）
  - トランジスタは非線形多端子抵抗器（多くの場合、時間変化させて使う）
- ダイオードやトランジスタなどの（回路論的意味での）機能だけに着目した場合、これらのデバイスが「半導体」でできていなければならない理由はない
  - かつては同等の機能が各種の「真空管」で実現されていた
- しかし、素子と回路の寸法、作りやすさ、値段、消費電力、寿命、・・・などまで考慮すると、これらのデバイスが「半導体」でできていることに大きな意味がある
- 「電子回路」という言葉は、回路の構成要素に電子デバイス（≈半導体デバイス）が含まれることを含意する
  - これに対して「電気回路」という言葉は、部品の素性について積極的には何も言ってない回路論的な機能に関する限り、包含関係は「線形電気回路⊂電子回路⊂電気回路（=非線形電気回路）」

Courtesy of Prof. S. Amakawa, Hirosima Univ.

Bipolar Transistor and MOSFET

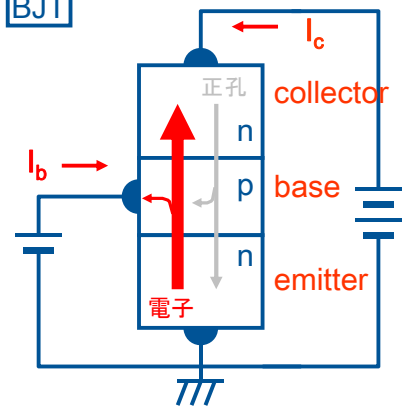


コレクタ・エミッタ間を流れる電流I_cをベース電流I_bで制御する3端子デバイス
$I_c = h_{FE} I_b$,　$h_{FE} > 100$

ドレイン・ソース間を流れる電流I_dをゲート電圧V_gで制御する3端子デバイス
$I_d = g_m V_G$, g_m ：相互ｺﾝﾀﾞｸﾀﾝｽ

Bipolar Tr and MOSFET

BJT



コレクタ・エミッタ間を流れる電流I_cをベース電流I_bで制御する3端子デバイス
$I_c = h_{FE} I_b$, $h_{FE} > 100$

h_{fe}を大きくするには：

- ベース電流を小さくする。
- 電子電流について考えると、ベースに漏れる電流を小さくする。できるだけ沢山のエミッタ電流をコレクタに流す。
- ベース幅を薄くする。

- 次は、電子電流成分を正孔電流に対して大きくする。エミッタのドーピング量を大きくする。コレクタを低濃度にする。

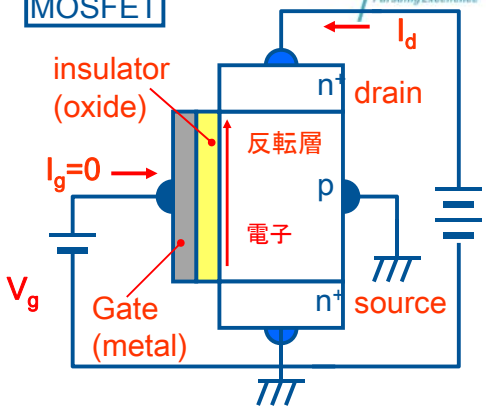
Bipolar Tr and MOSFET

g_mを大きくするには：

- 反転層を厚くする。これは不可能。
- ソースからドレインにいたる抵抗を小さくする。
- ソース・ドレインの距離を小さくする。

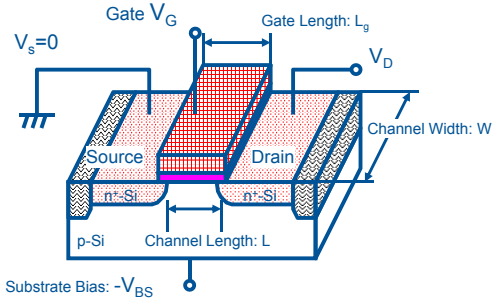
これを、微細化という。
微細化することが、これまでLSIの進歩（進化）させた唯一絶対の指導原理！（微細化だけとはいえ、しんどい！）

MOSFET



ドレイン・ソース間を流れる電流I_dをゲート電圧V_gで制御する3端子デバイス
$I_d = g_m V_G$, g_m :相互ｺﾝﾀﾞｸﾀﾝｽ

MOSFET Metal-Oxide-Semiconductor Field Effect Transistor



MOSFET　（nチャネル）の構成要素

基板	p形Si
ソース・ドレイン	n形Si
ゲート酸化膜	SiO_2
ゲート電極	昔：Al（金属） 現在：今多結晶Si これから？

MOSFETの動作

- ソース・ドレイン間に流れる電流をゲート電圧で制御するデバイス。
- しきい値電圧以上のゲート電圧を印加すると反転チャネル層が形成され、ソース・ドレイン間に電流が流れる。
- デジタル論理集積回路では、スイッチ

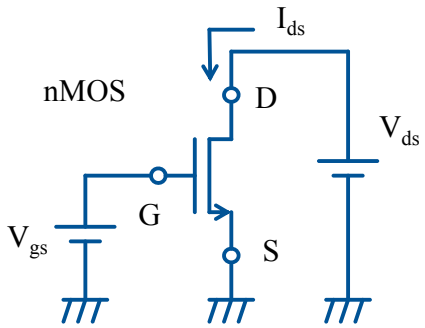
Kazuya Masu

MOSFET電流電圧特性

$$I_{DS} = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS} - V_{th}\right)V_{DS} - \frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS} - V_{th} \qquad (5)$$

$$I_{DS} = \frac{1}{2}\frac{W}{L}\mu C_{ox}\left(V_{GS} - V_{th}\right)^2 \quad V_{DS} > V_{GS} - V_{th} \qquad (6)$$

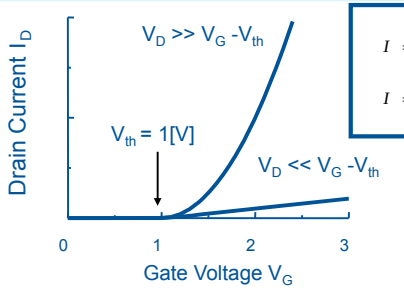
- V_{th}:閾値電圧
- W:ゲート幅
- L:ゲート長
- μ:　移動度
- C_{ox}:酸化膜容量

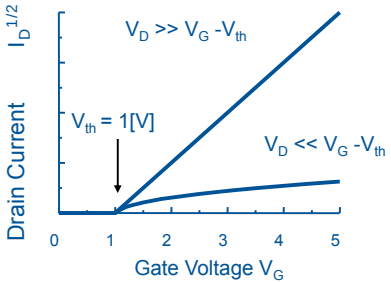


I_D-V_G特性

$$I = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS}-V_{th}\right)V_{DS}-\frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS}-V_{th} \quad (5)$$

$$I = \frac{W}{L}\mu C_{ox}\left(V_{GS}-V_{th}\right)^2 \quad V_{DS} > V_{GS}-V_{th} \quad (6)$$





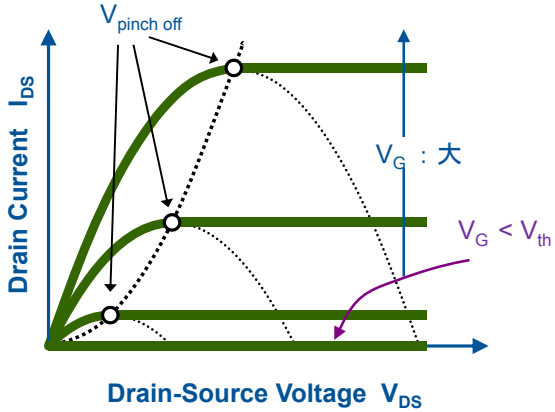
閾値電圧以上のゲート電圧が加わると、ドレイン電流が流れる。

ゲート電圧が加わると導通するスイッチと考えることができる。

長チャネルMOSFETの電流ー電圧特性(3)

$$I = \frac{W}{L}\mu C_{ox}\left[\left(V_{GS}-V_{th}\right)V_{DS}-\frac{V_{DS}^2}{2}\right] \quad V_{DS} < V_{GS}-V_{th} \quad (5)$$

$$I = \frac{1}{2}\frac{W}{L}\mu C_{ox}\left(V_{GS}-V_{th}\right)^2 \quad V_{DS} > V_{GS}-V_{th} \quad (6)$$

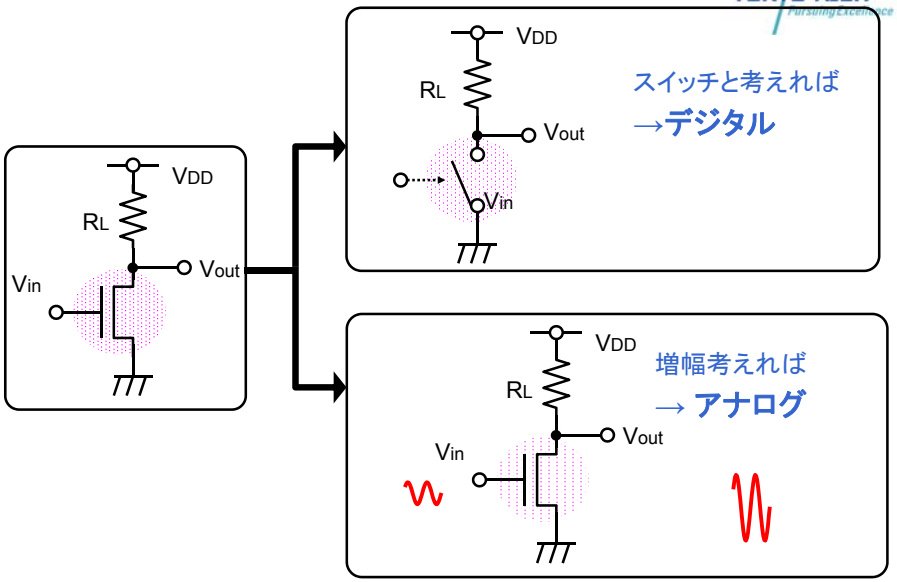


(5)式、(6)式は、どこに相当するか。

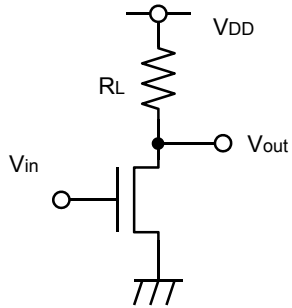
ピンチオフ以上の電圧を印加しても電流は減少せず、飽和する。

何故、飽和するのかは電子デバイスの講義

集積回路の基礎の基礎



MOSFET回路

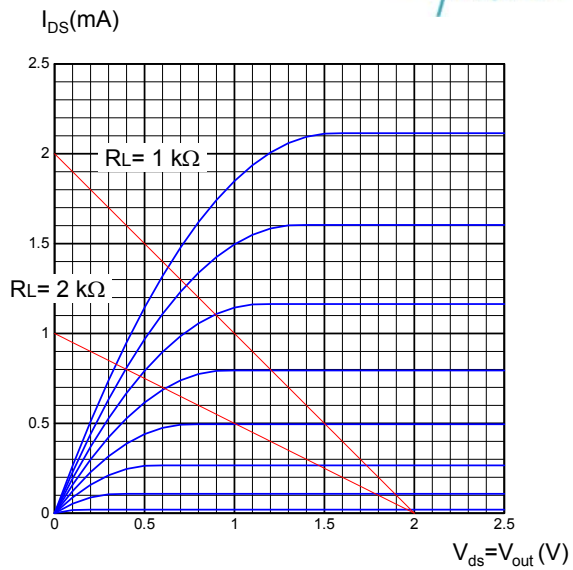


プロット条件

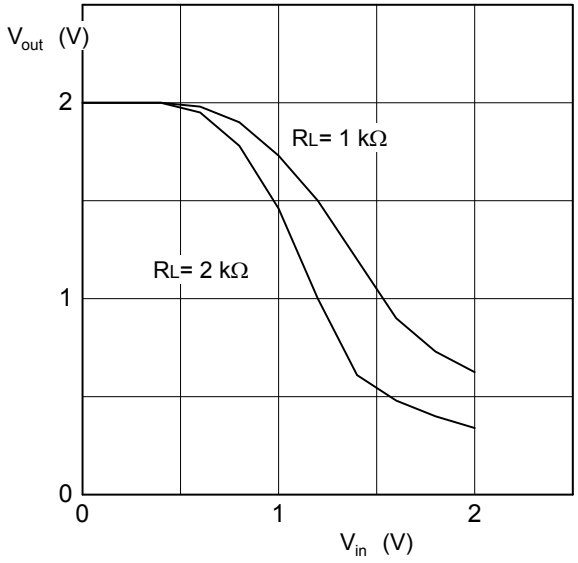
$V_{th} = 0.45$ [V]

$\frac{W}{L} = 8$

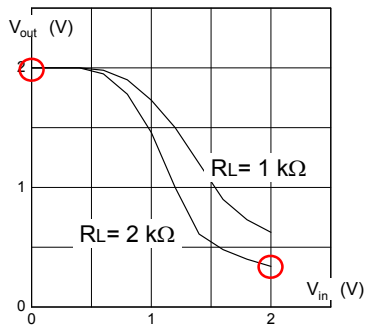
$\mu C_{ox} = 220$ [μA/V²]

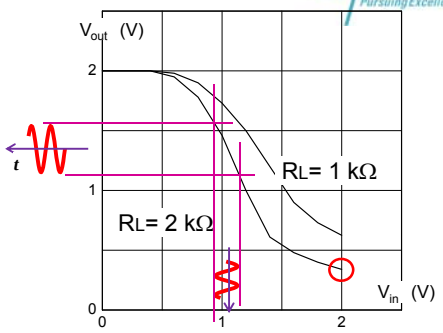


MOSFET回路の入出力特性



デジタル回路とアナログ回路





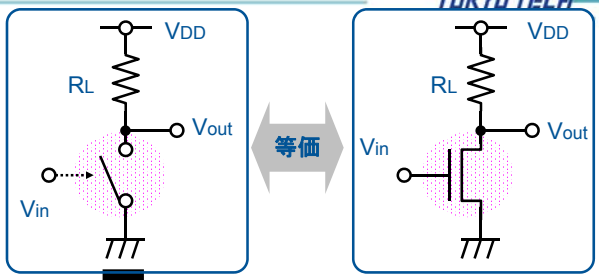
- Vin=High のとき、Vout=Low
- Vin=Low のとき、Vout=High
- 1→0, 0→1 : Inverter

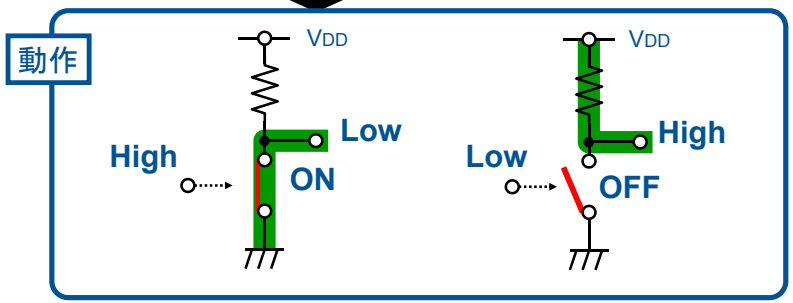
- 微小電圧信号(Vin)を入れると、大きな信号(Vout)になる
- アナログ増幅器

MOSFETスイッチによる論理回路

インバータ回路

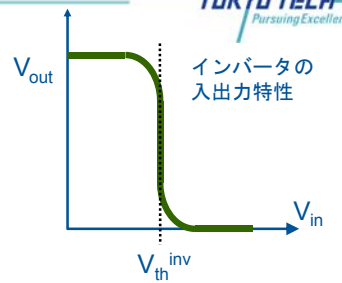
Vin	Vout
High	Low
Low	High

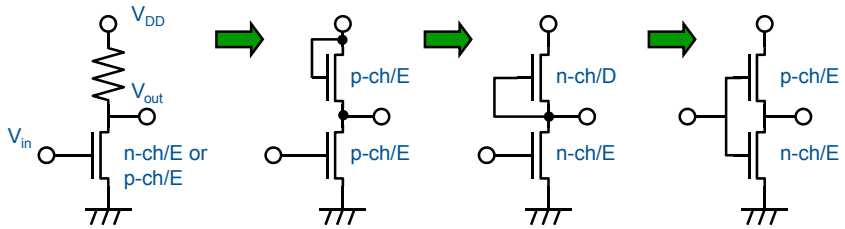




MOSFETの種類（n-channel と p-channel）

- **n-channel / Enhancement**
- **n-channel / Depletion**
- **p-channel / Enhancement**
- **p-channel / Depletion**





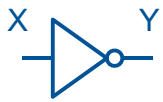
E/R
Enhancement/Resistance

p-ch E/E
1970's

n-ch E/D
1975's

CMOS
1980～

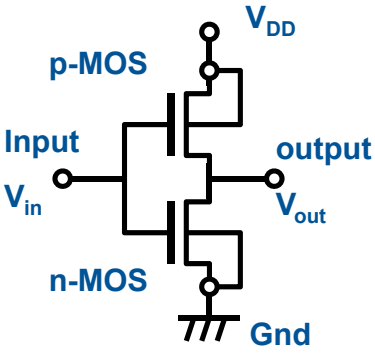
CMOS inverter



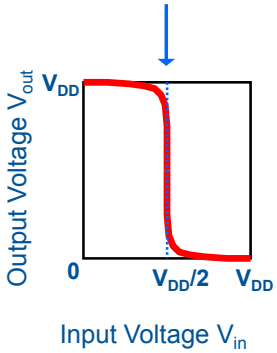
論理記号

真理値表

X	Y
0	1
1	0



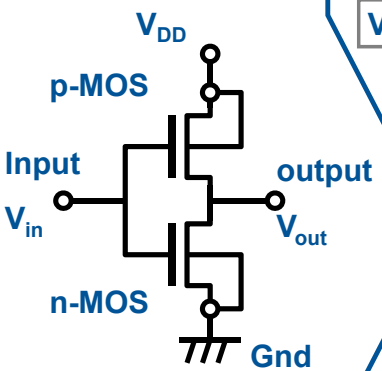
インバーターの閾値：V_{th}^{inv}

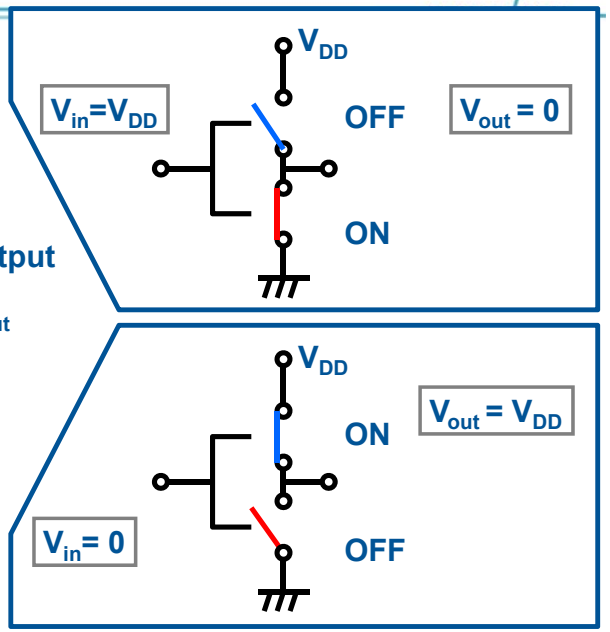


インバーターの閾値: $V_{th}^{inv} \approx V_{DD}/2$

MOSFETの閾値: $V_{th}^{MOSFET} \neq V_{th}^{inv}$

CMOS Inverter動作：スイッチによる等価回路

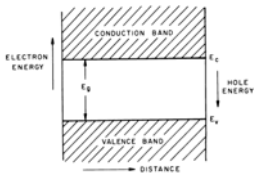


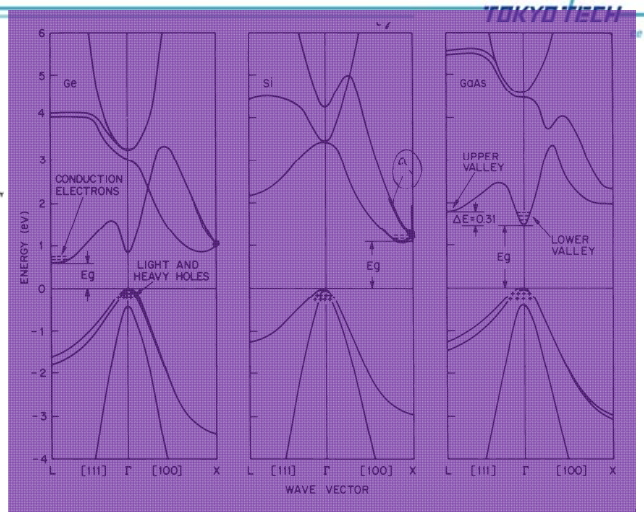


Introdution

1. 産業的観点からエレクトロニクス産業
2. MOSFET入門
3. 半導体物理の復習／pn接合

Band structure

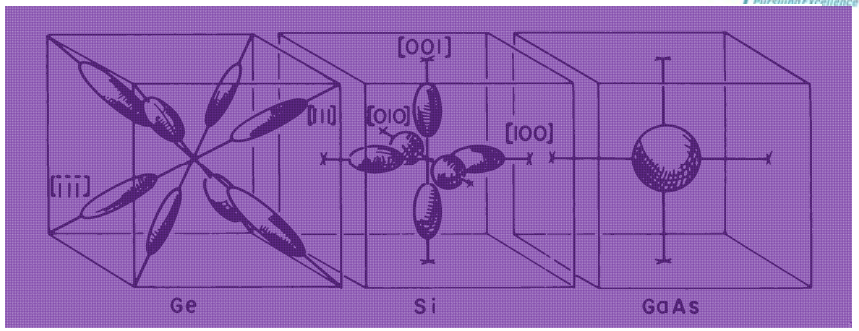




- 単純かしたバンド図
- 横軸は距離！

- エネルギーバンドは、三次元的に複雑な構造をしている。電子デバイスを学ぶ時は、これを単純なバンド図として論じる。
- バンド図を単純化したことで、デバイス動作の理解が容易になた。

Band structure



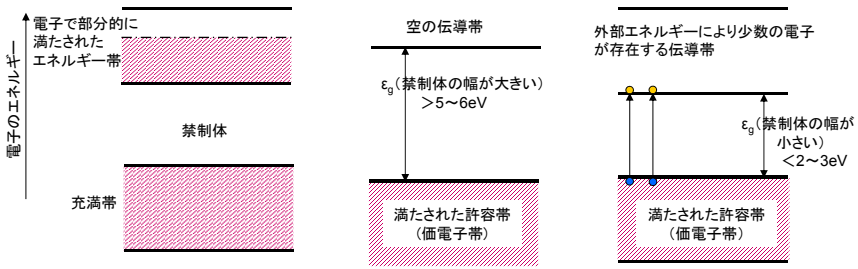
- 伝導体の構造
- 最小エネルギー付近の等エネルギー面：
  - 楕円構造をしている。
  - 楕円帯の曲率が有効質量
- 最小エネルギー点の数は、材料によって異なる。

状態密度有効質量

Density-of-state effective mass

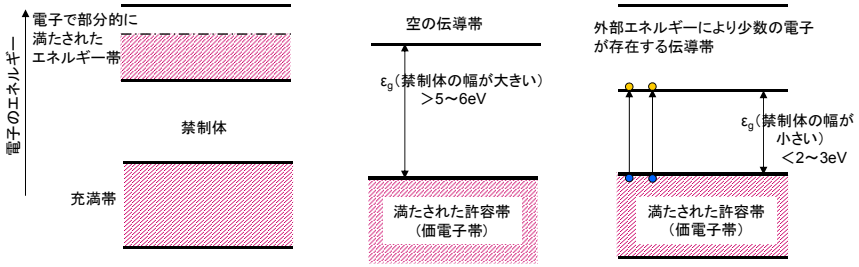
$$\frac{1}{m_{ij}^*} = \left(\frac{2\pi}{h}\right)^2 \frac{\partial^2 \mathrm{E}(\mathbf{k})}{\partial k_i \, \partial k_j}$$

エネルギーバンド構造（Energy band）



980703:2_semicon_band.ppt

エネルギーバンド構造（Energy band）



(a) 金属

(b) 絶縁体

SiO_2の禁制帯幅
約 9eV

(c) 半導体

Siの禁制帯幅
1.1eV

980703:2_semicon_band.ppt

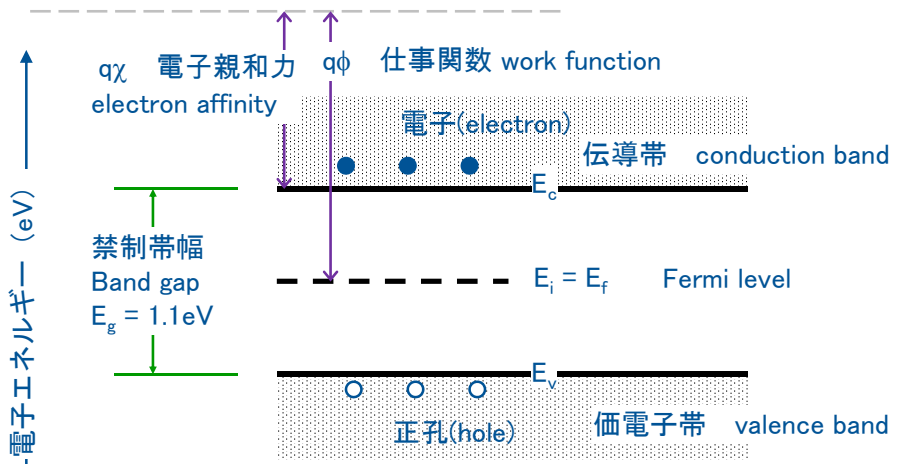
$$k\,T = 1.38 \times 10^{-23}\ [\mathrm{J/K}] \times 300\ [\mathrm{K}]$$

=> J -> eV に変換

$$1\ \mathrm{eV} = 1.602 \times 10^{-19}\ \mathrm{J}$$

-> 25meV

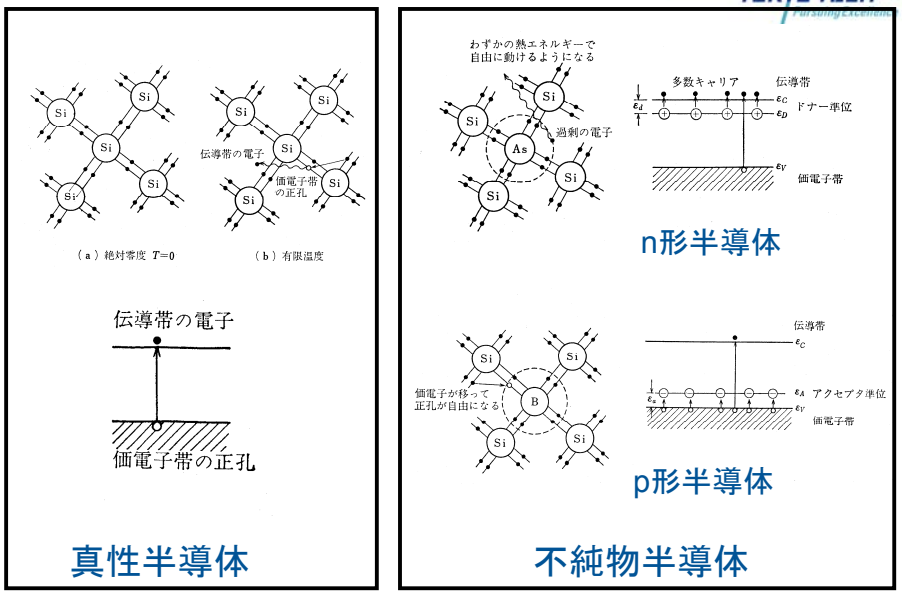
半導体のエネルギーバンド図（真性半導体）



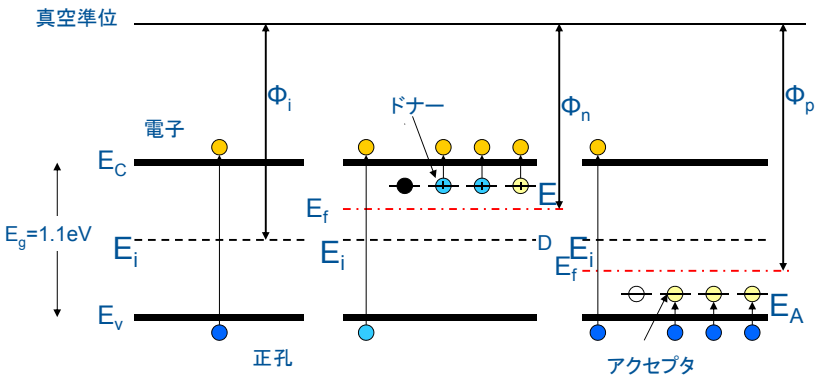
真性半導体 (intrinsic semiconductor)

- 不純物がドープされていない。 / Fermi levelは禁制帯の中心にある。
- 電子密度 = 正孔密度 $n_i = 1.5\times10^{10}\ cm^{-3}$ @300K

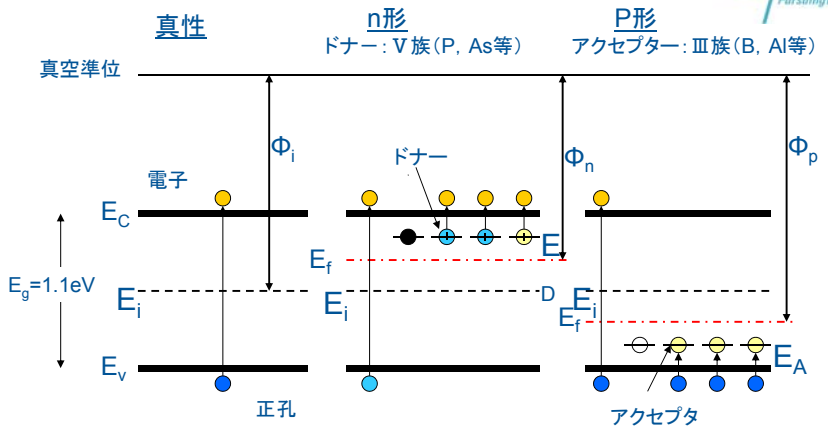
真性半導体と不純物半導体



真性半導体と不純物半導体



真性半導体と不純物半導体



$n = p = n_i$
$=1.5\times10^{10}cm^{-3}$

多数キャリア：電子
$n_n \sim N_D$
少数キャリア：正孔
$p_n = n_i^2/N_D << n_n$

多数キャリア：正孔
$p_p \sim N_A$
少数キャリア：電子
$n_p = n_i^2/N_A << p_p$

フェルミエネルギーE_fは、n形、p形半導体で異なる。

不純物量　$N_D = 10^{16}\ cm^{-3}$

多数キャリア：

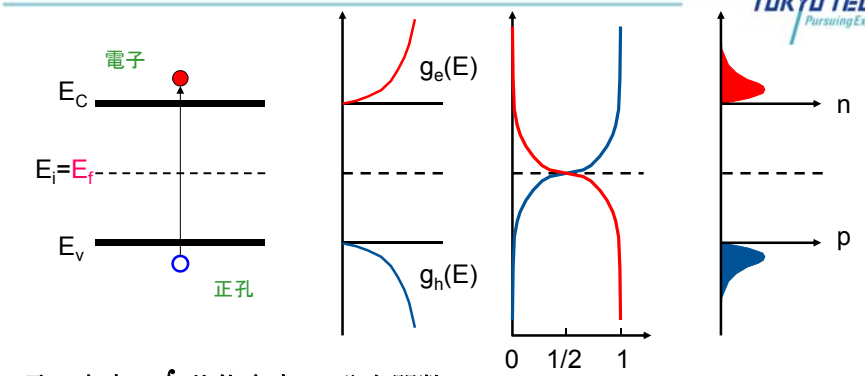
　電子　$n_n \sim N_D = 10^{16}\ cm^{-3}$

小数キャリア：　正孔

$p_n = n_i^2 / n_n = (1.5\times10^{10})^2/10^{16}$

$= 2.25\times10^4\ cm^{-3}$

キャリア密度



電子密度 $= \int$(状態密度)×(分布関数)

$$n = \int_{E_c}^{\infty} g_e(E)\cdot f(E)dE$$

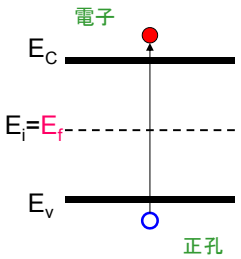
ここで、 $g_e(E) = (4\pi/h^3)(2m_e)^{3/2}(E-E_c)^{1/2}$

$$f(E) = \frac{1}{1+\exp\{(E-E_f)/kT\}}$$

$$n = N_c\cdot\exp\left(-\frac{E_c-E_f}{kT}\right)$$

$$p = N_v\cdot\exp\left(-\frac{E_f-E_v}{kT}\right)$$

フェルミレベル（真性半導体）



$$n = N_c\cdot\exp\left(-\frac{E_c-E_f}{kT}\right) \quad \cdots(1)$$

$$p = N_v\cdot\exp\left(-\frac{E_f-E_v}{kT}\right) \quad \cdots(2)$$

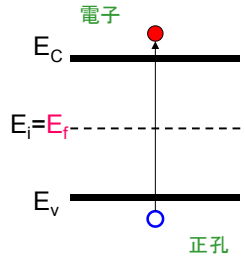
真性半導体では、$n = p = n_i$

$$n_i = \sqrt{N_c N_v}\cdot\exp\left(-\frac{E_c-E_v}{2kT}\right) \approx 1.5\times10^{10}\,cm^{-3}$$

$$E_f = \frac{E_c+E_v}{2}$$ → 禁制帯の中央

(1),(2)より、$n\times p = n_i^2$ → 質量作用の法則

フェルミレベル（真性半導体）



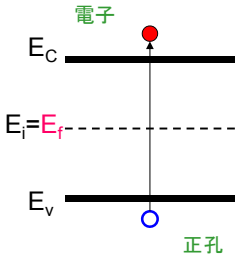
$$n = N_c\cdot\exp\left(-\frac{E_c-E_f}{kT}\right) \quad \cdots(1)$$

$$p = N_v\cdot\exp\left(-\frac{E_f-E_v}{kT}\right) \quad \cdots(2)$$

Nc（実効状態密度 Effective Density of Function）
エネルギー的に分布する電子の状態密度が伝導帯の底にあると考えたときの状態密度

$$N_c = 4.8383612\times10^{15}\times\left(\frac{m^*}{m_o}\right)^{3/2}\times T^{3/2}\ (cm^{-3})$$

フェルミレベル（真性半導体）



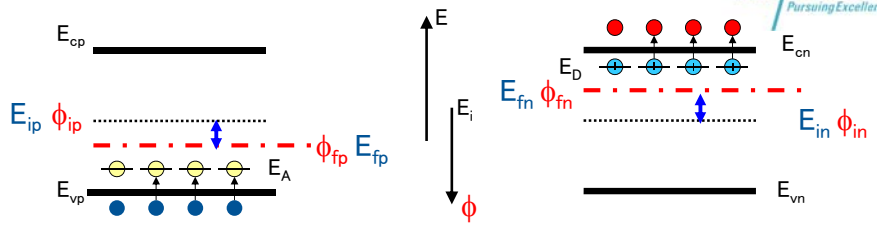
$$n = N_c \cdot \exp\left(-\frac{E_c - E_f}{kT}\right) \quad \cdots(1)$$

$$p = N_v \cdot \exp\left(-\frac{E_f - E_v}{kT}\right) \quad \cdots(2)$$

Nc：伝導帯下端における電子の実効状態密度

Nv：価電子帯上端における正孔の実効状態密度

p形、n形半導体のキャリア密度



$$n_p = N_c \cdot \exp\left(-\frac{E_{cp} - E_{fp}}{kT}\right) \qquad n_n = N_c \cdot \exp\left(-\frac{E_{cn} - E_{fn}}{kT}\right)$$

$$p_p = N_v \cdot \exp\left(-\frac{E_{fp} - E_{vp}}{kT}\right) \qquad p_n = N_v \cdot \exp\left(-\frac{E_{fn} - E_{vn}}{kT}\right)$$

$$n_p = n_i \exp\left(-\frac{\phi_{fp} - \phi_{ip}}{kT/q}\right) < n_i \qquad n_n = n_i \exp\left(-\frac{\phi_{fn} - \phi_{in}}{kT/q}\right) > n_i$$

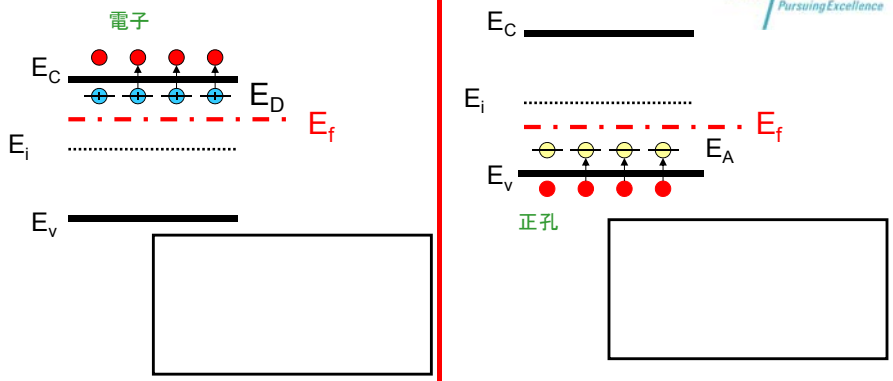
$$p_p = n_i \exp\left(+\frac{\phi_{fp} - \phi_{ip}}{kT/q}\right) > n_i \qquad p_n = n_i \exp\left(+\frac{\phi_{fn} - \phi_{in}}{kT/q}\right) < n_i$$

$$n_i = \sqrt{N_c N_v} \cdot \exp\left(-\frac{E_c - E_v}{2kT}\right) = \sqrt{N_c N_v} \cdot \exp\left(-\frac{E_g}{2kT}\right) \approx 1.5 \times 10^{10} cm^{-3} \quad at\ RT$$

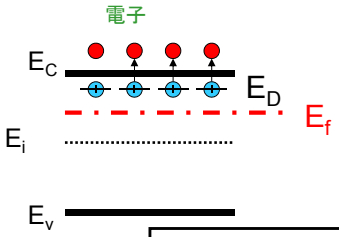
Derivation of carrier density

正孔密度 $= \int$(正孔の状態密度)×(正孔の分布関数)	電子密度 $= \int$(状態密度)×(分布関数)
$p = \int_{-\infty}^{E_v} g_h(E) \cdot f_h(E) dE$ ここで、 $g_h(E) = (4\pi/h^3)(2m_h)^{3/2}(-E-E_v)^{1/2}$ $f_h(E) = 1 - f_e(E) = \frac{1}{1+\exp\{-(E-E_f)/kT\}}$	$n = \int_{E_c}^{\infty} g_e(E) \cdot f_e(E) dE$ ここで、 $g_e(E) = (4\pi/h^3)(2m_e)^{3/2}(E-E_c)^{1/2}$ $f_e(E) = \frac{1}{1+\exp\{(E-E_f)/kT\}}$
$p = N_v \cdot \frac{2}{\sqrt{\pi}} F_{1/2}\left(+\frac{E_v - E_f}{kT}\right) \approx N_v \cdot \exp\left(-\frac{E_f - E_v}{kT}\right)$	$n = N_c \cdot \frac{2}{\sqrt{\pi}} F_{1/2}\left(-\frac{E_c - E_f}{kT}\right) \approx N_c \cdot \exp\left(-\frac{E_c - E_f}{kT}\right)$
$N_v = 2\left(\frac{2\pi m_{dh} kT}{h^2}\right)^{3/2}$, $m_{dh} = \left(m_{lh}^{*3/2} + m_{hh}^{*3/2}\right)^{2/3}$	$N_c = 2\left(\frac{2\pi m_{de} kT}{h^2}\right)^{3/2} M_c$, $m_{de} = (m_1^* m_2^* m_3^*)^{1/3} = (m_l^* m_t^{*2})^{1/3}$
m_{th}^* :軽い正孔、 m_{hh}^* :重い正孔 m_{th}^*/m_o= 0.16 and m_{hh}^*/m_o = 0.49 for Si	M_c: 伝導体の最低エネルギー点の数 M_c=6 for Si, M_c=8 for Ge and M_c=1 for GaAs m_1^*, m_2^* and m_3^*: 楕円エネルギー面の曲率 m_l^*/m_o= 0.98 and m_t^*/m_o= 0.19 for Si
Fermi integral $F_n(\eta_f) = \int_0^{\infty} \frac{\eta^n d\eta}{1+\exp(\eta - \eta_f)}$	m_{de} and m_{dh} :状態密度有効質量 density-of-states effective mass

フェルミ準位（n形半導体とp形半導体）



フェルミ準位（n形半導体とp形半導体）



ドナーイオンから電子を供給

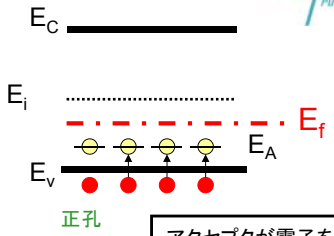
多数キャリア → 電子

少数キャリア → 正孔

$$n \approx N_D$$

$$p \approx \frac{n_i^2}{N_D} \qquad \because np = n_i^2$$

$$E_f = E_i + \frac{kT}{q} \cdot \log_e \frac{N_D}{n_i}$$



アクセプタが電子をトラップ

多数キャリア → 正孔

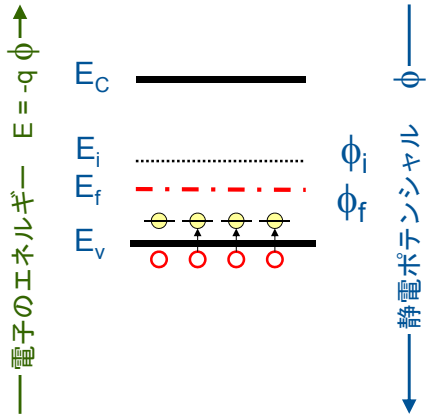
少数キャリア → 電子

$$p \approx N_A$$

$$n \approx \frac{n_i^2}{N_A} \qquad \because np = n_i^2$$

$$E_f = E_i - \frac{kT}{q} \cdot \log_e \frac{N_A}{n_i}$$

静電ポテンシャルで表したキャリア密度



$$E = -q\,\phi$$

$$n = N_c \cdot \exp\left(-\frac{E_c - E_f}{kT}\right)$$

$$n = N_c \cdot \exp\left(-\frac{E_c - E_i}{kT}\right) \times \exp\left(-\frac{E_i - E_f}{kT}\right)$$

$$= n_i \exp\left(-\frac{-\phi_i + \phi_f}{kT/q}\right)$$

$$= n_i \exp\left(-\frac{\phi_f - \phi_i}{kT/q}\right)$$

同様に、$p = n_i \exp\left(\frac{\phi_f - \phi_i}{kT/q}\right)$

$$n = N_c \cdot \exp\left(-\frac{E_c - E_f}{kT}\right)$$

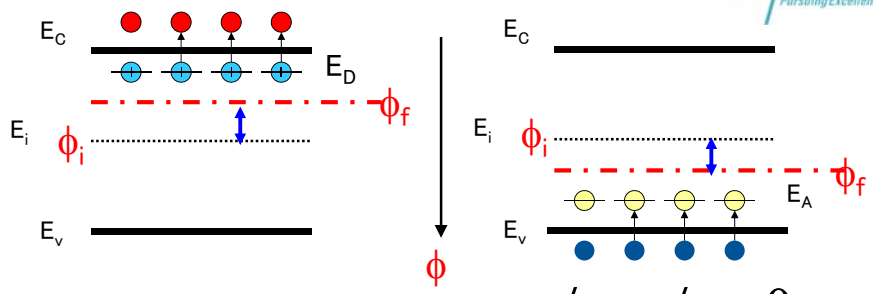
$$n = N_c \cdot \exp\left(-\frac{E_c - E_i}{kT}\right) \times \exp\left(-\frac{E_i - E_f}{kT}\right)$$

$$= n_i \exp\left(-\frac{-\phi_i + \phi_f}{kT/q}\right) = n_i \exp\left(-\frac{\phi_f - \phi_i}{kT/q}\right)$$

$$n_i = \sqrt{N_c N_v} \cdot \exp\left(-\frac{E_c - E_v}{2kT}\right) = N_c \cdot \exp\left(-\frac{E_c - E_i}{kT}\right)$$

if $N_c = N_v$

静電ポテンシャル



$$\phi_f - \phi_i < 0$$

$$n = n_i \exp\left(-\frac{\phi_f - \phi_i}{kT/q}\right) > n_i$$

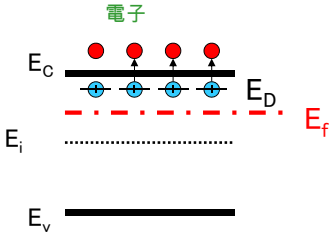
$$p = n_i \exp\left(+\frac{\phi_f - \phi_i}{kT/q}\right) < n_i$$

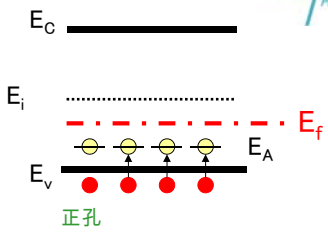
$$\phi_f - \phi_i > 0$$

$$n = n_i \exp\left(-\frac{\phi_f - \phi_i}{kT/q}\right) < n_i$$

$$p = n_i \exp\left(+\frac{\phi_f - \phi_i}{kT/q}\right) > n_i$$

n形半導体とp形半導体：動くものと動かないもの





電子、正孔：電界が存在すれば動く。

アクセプタイオン、ドナーイオン
→　動かない。
→　空間電荷を形成する。

有効質量（effective mass）

真空中の電子

質量　$m_o = 9.1 \times 10^{-31}$ kg　をもつ荷電粒子として振舞う

半導体中の電子（及び正孔）

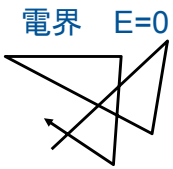
有効質量m*をもつ荷電粒子

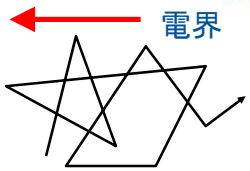
（周期的な原子配列からなる空間ー結晶中ー）を運動するから）

Siの場合　$m_e^* = 0.33\ m_o$　$m_h^* = 0.55\ m_o$

但し、有効質量のm_e^*（m_h^*）の電子（正孔）の電荷量は、
$e = 1.602\ 1 \times 10^{-19}$ [C]　［真空中と同じ］

電流について（ドリフト電流：drift current）





熱速度：v_F　$\frac{1}{2} m_e^* v_F^2 = \frac{3}{2} kT$

電界方向への平均的な速度：v_d　$v_d = \frac{\langle \tau \rangle}{m_e^*} eE$

τ：緩和時間　～10^{-14} sec　$v_d = \mu E$として、$\mu = \frac{e\langle \tau \rangle}{m_e^*}$

ドリフト電流

$$J_{d,electron} = e n v_{d,electron} = e n \mu_e E$$
$$J_{d,hole} = e p v_{d,hole} = e p \mu_h E$$

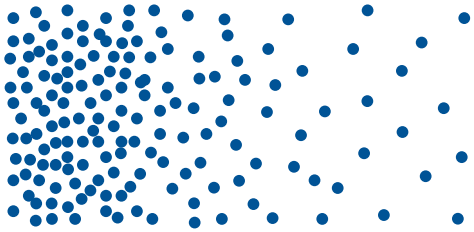
$$J_{d,electron} = e n v_{d,electron} = e n \mu_e E$$

$$J_{d,electron} = e n \mu_e E = \sigma E$$

$$J_{d,hole} = e p v_{d,hole} = e p \mu_h E$$

e　電荷素量　　**E**：電界強度
n　電子濃度
μ　移動度　$cm^2/Vsec$　$m^2/Vsec$
σ　導電率　1／Ω

電流について（拡散電流: diffusion current）



キャリア密度の濃度勾配に比例して、電流が流れる。

電子 $J_n = eD_n \dfrac{dn}{dx}$　　正孔 $J_p = -eD_p \dfrac{dp}{dx}$

D_n, D_p : diffusion coefficient（拡散係数）

半導体中を流れる電流

(1) ドリフト電流　drift current

(2) 拡散電流　diffusion current

(3) 変位電流　$\propto \dfrac{\partial D}{\partial t}$ 普通考えなくて良い。

電流の式

電子電流 $J_n = e\mu_n nE + eD_n \cdot \dfrac{dn}{dx}$

正孔電流 $J_p = e\mu_p pE - eD_p \dfrac{dp}{dx}$

$$J = env_d = en\mu_d E$$

$$A/m^2 = C\,\frac{1}{m^3}\,[\mu_d]\,\frac{V}{m}$$

移動度の単位は？