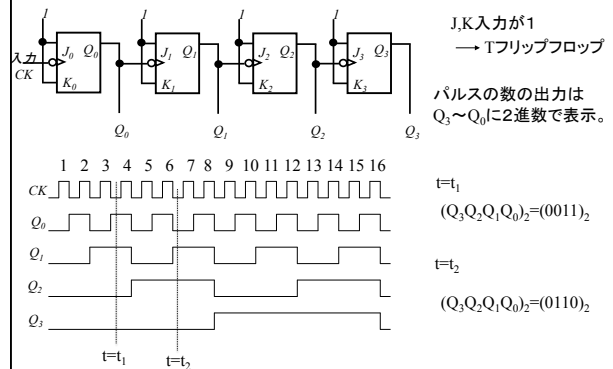


デジタル電子回路

第10回

カウンタ 16進カウンタの例

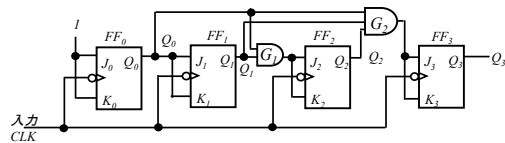


同期式2ⁿ進カウンタ

2ⁿ進カウンタ i番目のFFの出力が0→1、1→0となるのは...
i-1番目までのすべてのFFの出力が1で新たにパルスが入った時。

同期式16進カウンタ: CK入力により各FFが同時に動作する。

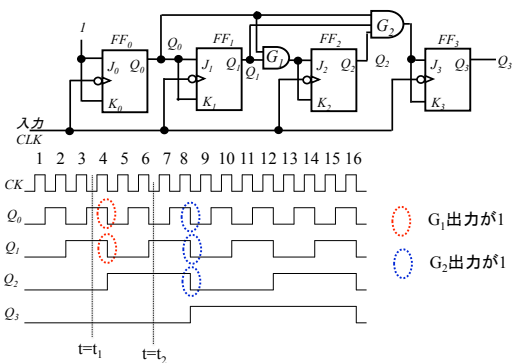
G_1, G_2 : 前段までのFF出力がすべて1の時、次段のJ,Kに1を入力



＜問＞このカウンタの遅延時間はどの程度になるか？

伝搬遅延時間: FF1段+ANDゲート1個の遅延の和のみ。

同期式2ⁿ進カウンタ

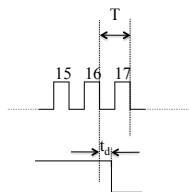


リプルカウンタ

入力側のフリップフロップから、順次パルスが送られることにより動作。

後段になるほど遅延は大きくなる。

これでカウンタの計数可能な周波数が決まる。



1段あたりの遅延を15nsであるFFを用いると、どの程度の周波数まで計測できるか？

4段構成では遅延 t_d は60ns

シフトパルスの周期をTとすれば

$$t_d < T = 1/f$$

$$f < 1/t_d = 16 \text{ MHz}$$

非同期式カウンタ

2ⁿ進カウンタの遅延時間

FFの遅延時間を15ns、ANDゲートの遅延時間を5nsとすると...

16進カウンタ

非同期式

4段構成なので全遅延 t_d は60ns

$$f < 1/t_d = 16 \text{ MHz}$$

同期式

4段構成であるが、遅延時間はFF1段分+ANDゲート1個よって、全遅延時間 t_d は20ns

$$f < 1/t_d = 50 \text{ MHz}$$

5進カウンタ

FFの縦続接続では 2^n 進カウンタしか構成できない。

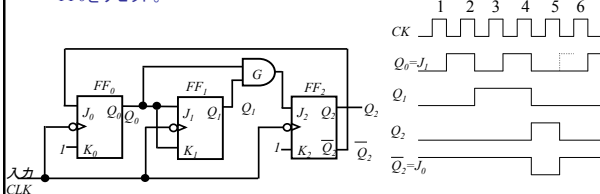
5進カウンタを実現するにはどうするか？

→ 入力パルスを5個計数した時点ですべてのFFをリセットする。

計数開始時は $Q_0=0, \overline{Q_0}=1$ であるからFF0は2進カウンタとして動作。

J₂入力はQ₀, Q₁がともに1の時(3個計数し時)に1となる。

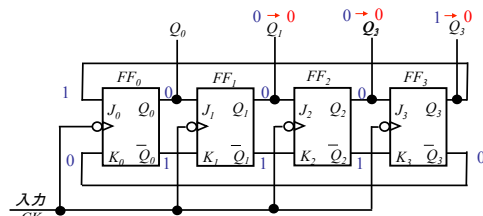
4個目のパルス計数時には $Q_2=1$, $\overline{Q}_2=0$ となり、 J_0 に0が入力され、FF0をリセット。



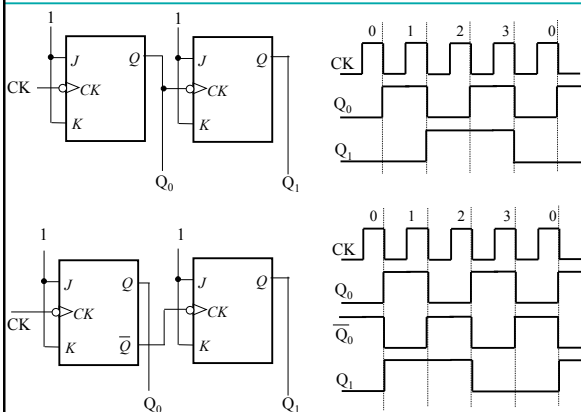
リングカウンタ

n段のシフトレジスタでループを作り、1つの段だけを1にして、シフトパルスによりこの1の位置を順次移動させてパルスを計数。

n進のカウンタを実現するのにn個のFFが必要



アップカウンタ、ダウンカウンタ

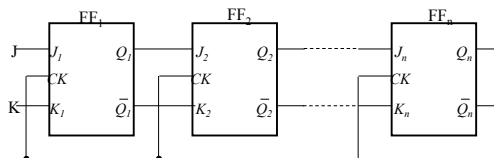


JKフリップフロップのレーシング

フリップフロップを従属接続して、同一クロックで動作させる。

理想的には・・・CK=1となった瞬間に、各フリップフロップの出力によって次段のフリップフロップの出力が決まる。

CK=0とならないうちにFF1の出力が変化してしまうと、FF2は変化した後のFF1の出力によりその出力が決まる。



マスタースレーブJKフリップフロップ

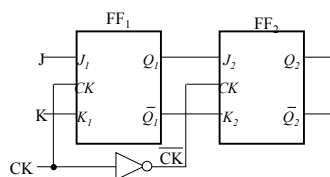
発振やレーシングを防止するために・・・

フリップフロップを2段構成にし、1段目をCKで、2段目を $\overline{\text{CK}}$ で動作させる。

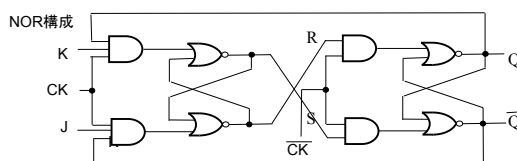
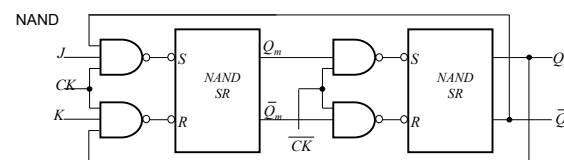
1段目:CK=1で動作 マスターフリップフロップ (マスター:主人)

2段目: $\overline{CK}=1$ ($CK=0$)で動作 スレーブフリップフロップ (スレーブ: 奴隷)

FF1とFF2はクロックパルスの立ち上がり時と立ち下がり時に交互に動作する。

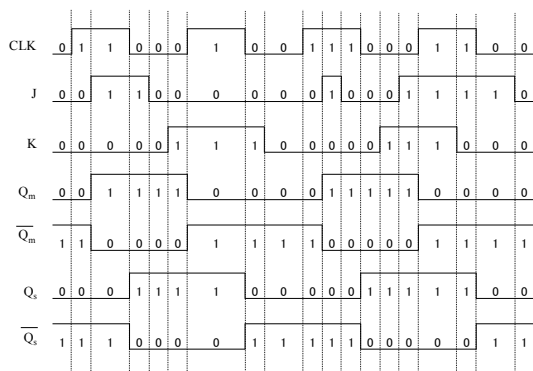


マスタースレーブフリップフロップ

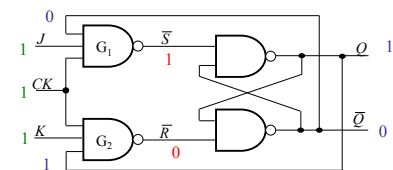


J=1でもQ=0のときしか次段に出力させないこの配線が発振を止める！

マスタースレーブフリップフロップ



JKフリップフロップの発振



$Q=1, \bar{Q}=0$ で、 $CK=1, J=1, K=1$ の場合、

$S'=\bar{S}=1, R'=\bar{R}=0 \rightarrow Q=0, \bar{Q}=1$ にリセットされる。

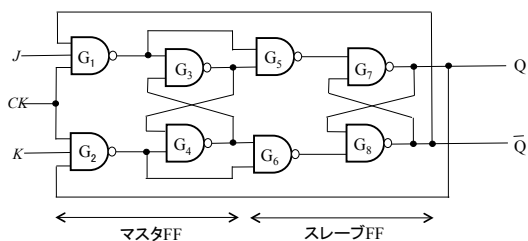
この状態で $CK=0$ となれば状態は保持されるが... $CK=1$ が続くと...

$Q=0, \bar{Q}=1$ となり、 $CK=1, J=1, K=1$ であるので、

$S'=\bar{S}=0, R'=\bar{R}=1$ となり、今度は $Q=1, \bar{Q}=0$ にセットされる。

二つの安定状態を交互に繰り返し、安定点が定まらない。(発振)

マスタースレーブフリップフロップ (藤井先生参考書バージョン)



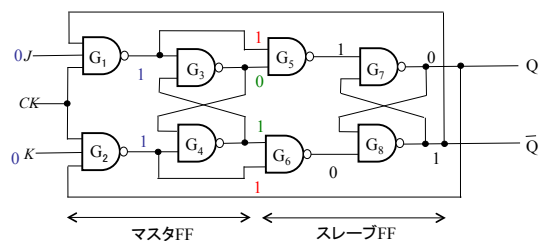
(注)スレーブFF のクロック入力を G_1, G_2 ゲートの出力からとり、NOTを省略。

マスターFF $CK=1$ で動作

スレーブFF $CK=0$ で動作。

$CK=0$ の場合、 G_1, G_2 のNANDゲートの出力は常に1となり、これが G_5, G_6 に

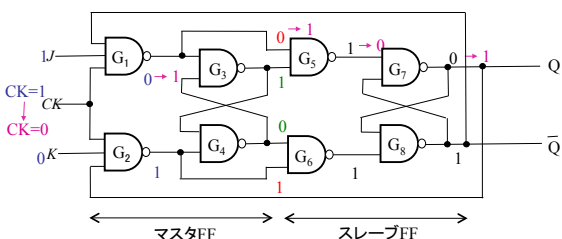
マスタースレーブフリップフロップ (藤井先生参考書バージョン)



(J, K)=(0,0)の場合、 $CK=1$ でも G_1, G_2 の出力は1になるが保持なので問題はない。

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

マスタースレーブフリップフロップ (藤井先生参考書バージョン)



(J, K)=(1,0)の場合、 $CK=1, Q=0$ では G_1 の出力は0

G_2 の出力は1になり、マスターFFの出力がセット。

スレーブ側は保持の状態となる。

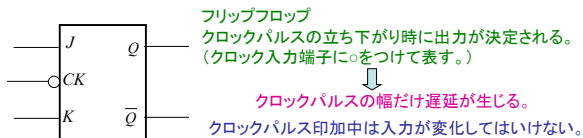
$CK=0$ となると、 G_1 の出力が1となって G_3 に

G_5 の出力が0となってスレーブFFにセット信号が入る。

$Q=1$ となる。これは G_2 にフィードバックされるが、 $CK=0$ なので影響がない。

A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

エッジトリガJKフリップフロップ



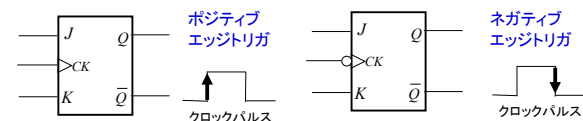
フリップフロップ
クロックパルスの立ち下がり時に出力が決定される。
(クロック入力端子に○をつけて表す。)

クロックパルスの幅だけ遅延が生じる。

クロックパルス印加中は入力に変化してはいけない。

これに対し、**エッジトリガJKフリップフロップ**というものがある。

クロックパルスの立ち上がり、または立ち下がり時の入力で出力が決定。
 $CK=1$ が長く続いても入力変化には影響されない。



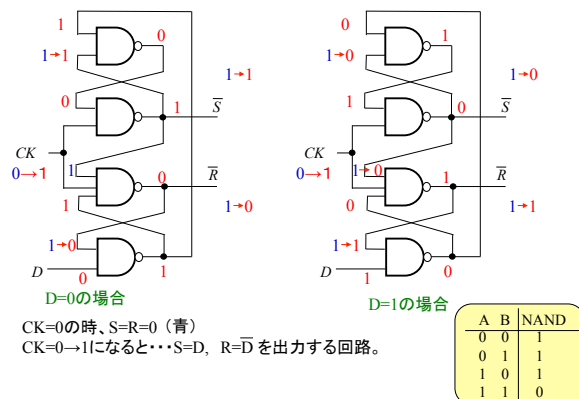
ポジティブ
エッジトリガ

クロックパルス

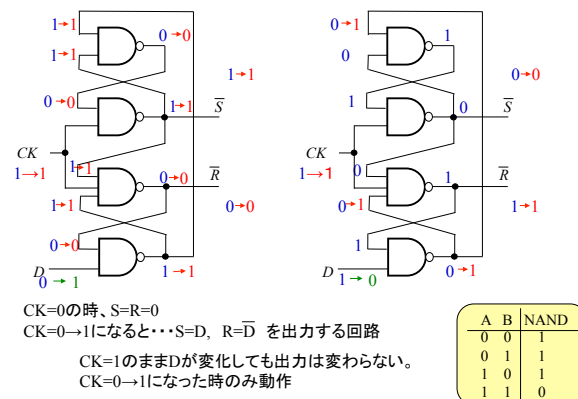
ネガティブ
エッジトリガ

クロックパルス

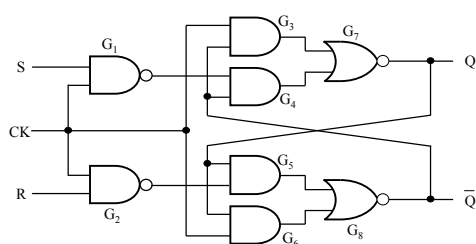
エッジトリガの実現



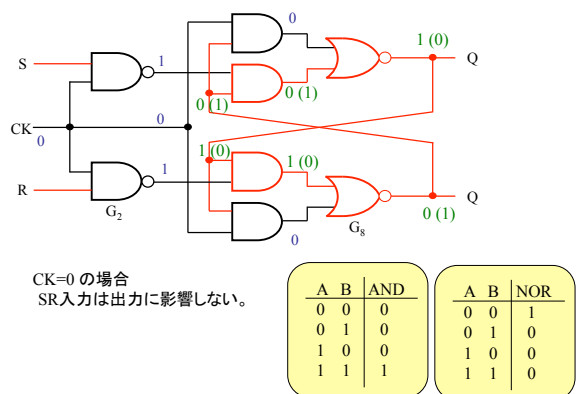
エッジトリガの実現



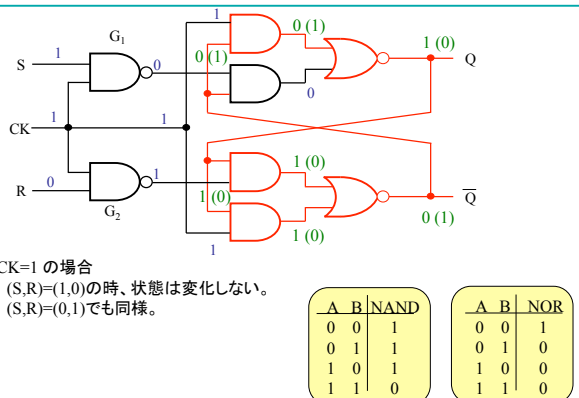
エッジトリガSRフリップフロップの構成例



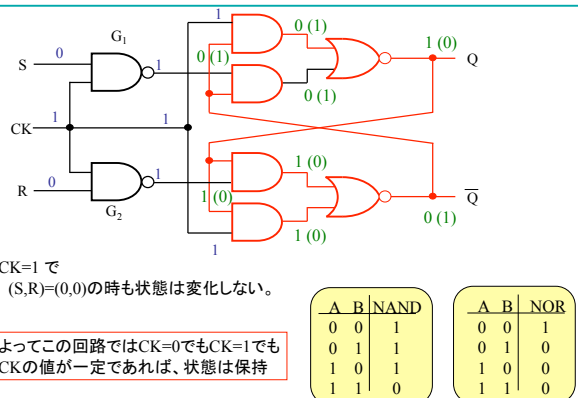
エッジトリガSRフリップフロップの動作(1)



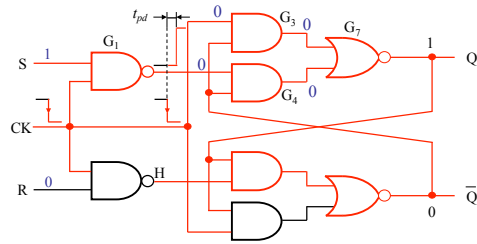
エッジトリガSRフリップフロップの動作(2)



エッジトリガSRフリップフロップの動作(3)

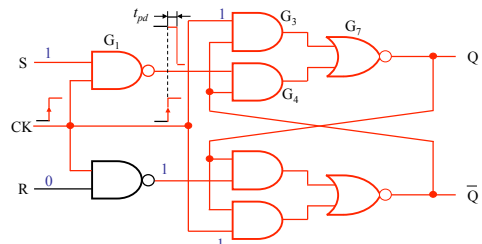


エッジトリガSRフリップフロップの動作(4)



CKが1から0に変化する時、 $(S,R)=(1,0)$ の入力があつた場合、 G_1 の出力は G_3 に対するCK入力よりゲートの遅延時間 t_{pd} だけ遅れて現れる。
 $0 < t < t_{pd}$ の間では、 G_1 の出力は0のままであるから、 G_3 、 G_4 の出力は $\bar{Q}$ の値に関わらず、共に0となり、 $Q=1$ にセットされる。
 t_{pd} 経過後は、 G_1 のNANDゲートの出力が立ち上がり、1が G_4 に入力され、FFは状態を保持する。

エッジトリガSRフリップフロップの動作(5)



CKが0→1と変化する場合。
 G_1 の出力は t_{pd} だけ遅れて G_4 に入力されるが、CK=1が G_3 に入力されており、 $\bar{Q}$ が G_5 のNORゲートに入力された状態となり、出力は変化しない。

ポジティブエッジトリガDフリップフロップ

いままでのNANDの概念でつくと

