

# デジタル電子回路

第4回

## MOSFETの基礎特性(1)

今日はデバイスのお話 本当は電子デバイスの講義でやるべき事ですが・・・

nチャネルMOSFET:チャネルを走行するキャリアが電子(negative charge)

正電圧をゲートに印加したときオン

pチャネルMOSFET:チャネルを走行するキャリアが正孔(positive charge)

負電圧をゲートに印加したときオン

エンハンスメント(E)型

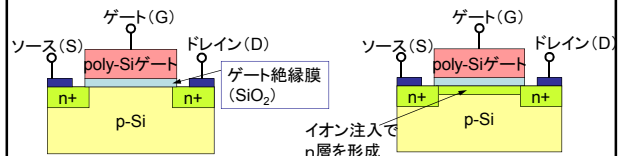
ノーマリオフ

( $V_G=0$ の時ドレイン電流が流れない。)

ディプレッション(D)型

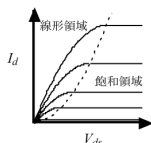
ノーマリオン

( $V_G=0$ でもドレイン電流が流れる。)



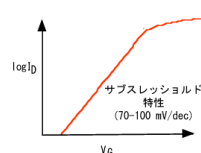
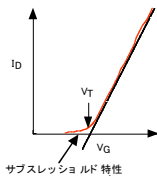
## MOSFETの基礎特性(2)

ドレイン電流-ドレイン電圧 ( $I_D$ - $V_D$ ) 特性



$$I_D = \frac{\mu W C_{ox}}{L} \left\{ (V_G - V_T) V_D - \frac{V_D^2}{2} \right\}$$

$$I_D = \frac{\mu W C_{ox}}{2L} (V_G - V_T)^2$$



ドレイン電流-ゲート電圧 ( $I_D$ - $V_G$ ) 特性

## MOSFETの基礎特性(3)

回路記号

$I_D$ - $V_G$ 特性

nチャネル

E型

nチャネル

D型

pチャネル

E型

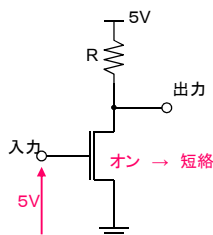
pチャネル

D型

本講義ではこれらの記号を用いる。

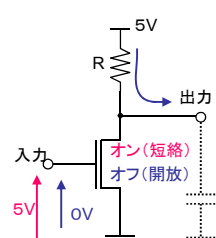
## 例題

下のような回路がある。この回路はMOSFETのしきい値を1Vとし、電源電圧5Vで動作するものとする。以下の問に答えよ。



- 回路中のトランジスタはnチャネルかpチャネルか?  
**Nチャネル**
  - ゲートに5Vを入力した時、MOSFETはオンかオフか?  
**オン**
  - ゲートに5Vを入力した時、出力はおおよそ何Vになると予想されるか?  
**約 0V**
- <抵抗負荷のインバータ>

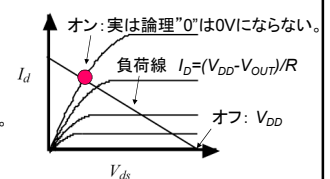
## 抵抗負荷インバータ



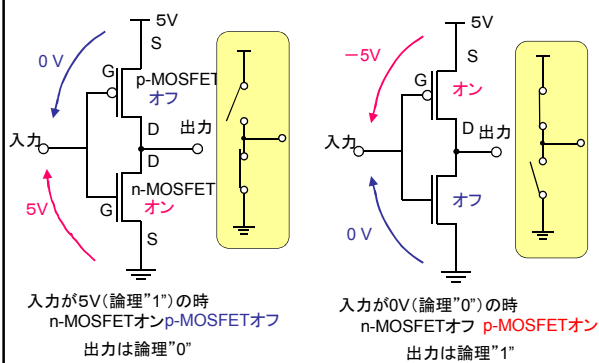
ゲートに5Vを入力 → nチャネルMOSFETオン  
出力は0V付近に引き下げられる(プルダウン)  
**論理"0"を出力**

ゲートに0Vを入力 → nチャネルMOSFETオフ  
出力端子はRを通して充電され、5Vに引き上げられる(プルアップ)。  
**論理"1"を出力**

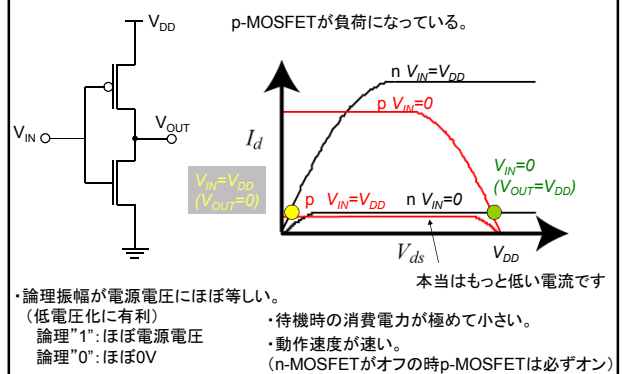
- 集積回路を作製するとRの面積大
- n-MOSFETオンの時電流が流れる。  
→ 消費電力の増大
- 消費電力を小さくするためにRを大きくすると、動作速度が遅くなる。



## CMOSインバータ

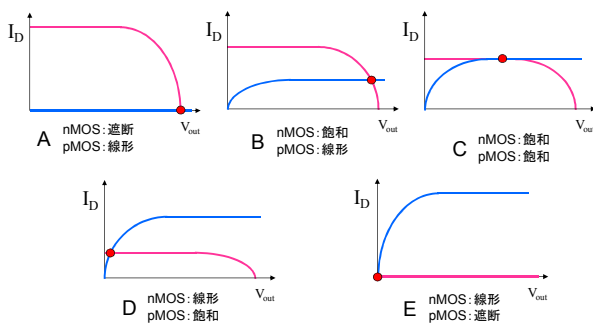


## CMOSインバータ



## CMOSインバータの伝達(入出力)特性

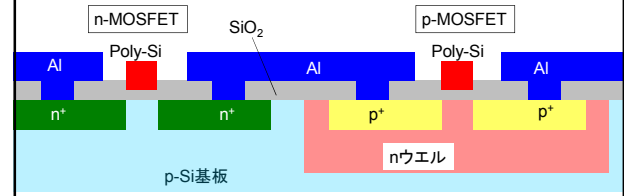
A~Eの領域について、n-MOSの特性グラフ上にp-MOSの特性を負荷曲線として描いてみよ。



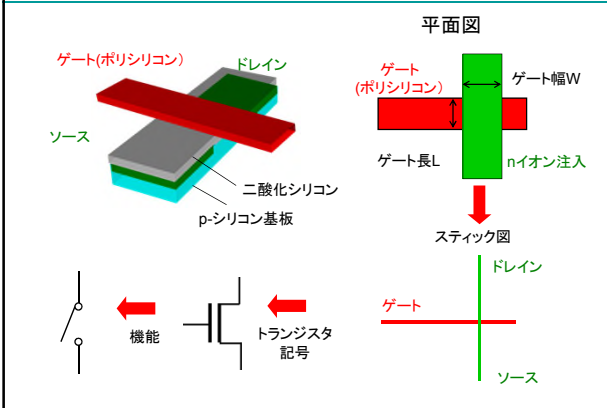
## CMOS集積回路はどうやって作製するか？

n-MOSFET: p形Si基板に作製  
p-MOSFET: n形Si基板に作製 → 同一基板に作製するには？

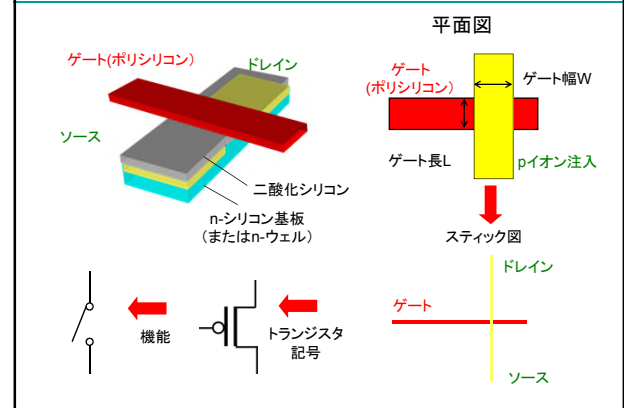
- (1) p形基板を用いて、p-MOSFETを配置する場所にn領域(nウェル)を作製する。
- (2) n形基板を用いて、n-MOSFETを配置する場所にp領域(pウェル)を作製する。
- (3) n-MOSFETを配置する場所にpウェル、p-MOSFETを配置する場所にnウェルを作製する。(ダブルウェル/トリプルウェル/SOI等・・・)



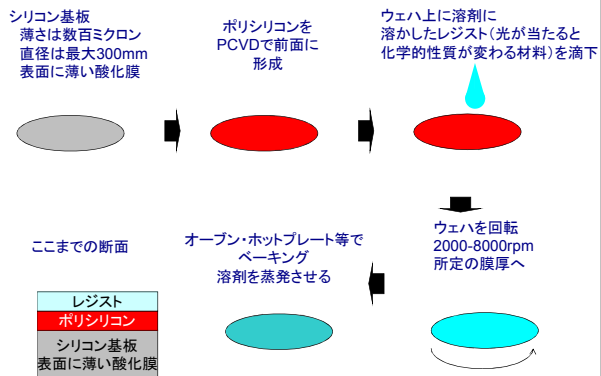
## nMOSFETの作製手法(セルフアラインプロセス)



## pMOSFETの作製手法(セルフアラインプロセス)



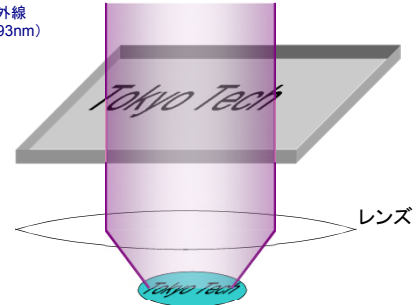
### フォトリソグラフィ/エッチングによるパターンニング



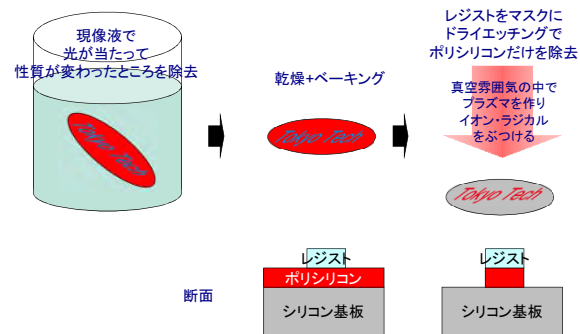
### フォトリソグラフィ/エッチングによるパターンニング

ガラス基板上に描かれた原型を  
ステッパーで  
1/4縮小して基板上に投影露光

波長は紫外線  
(最先端は193nm)



### フォトリソグラフィ/エッチングによるパターンニング



### CMOS集積回路の作製プロセス(素子領域の形成)

#### (1) 素子領域の形成

- ・p-Siにnウェルを形成  
(n-Si基板の場合はpウェル)
- ・本当は、素子分離の為に  
厚い酸化膜をウェルとの  
境界上に形成する

上からの平面図

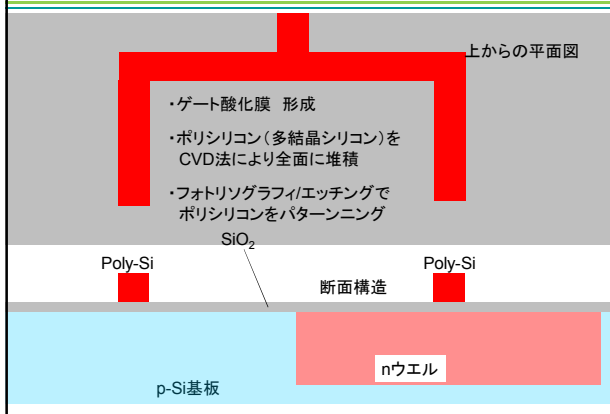


断面構造

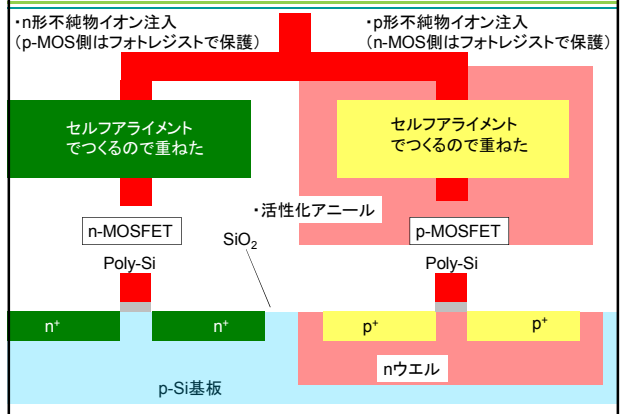
p-Si基板

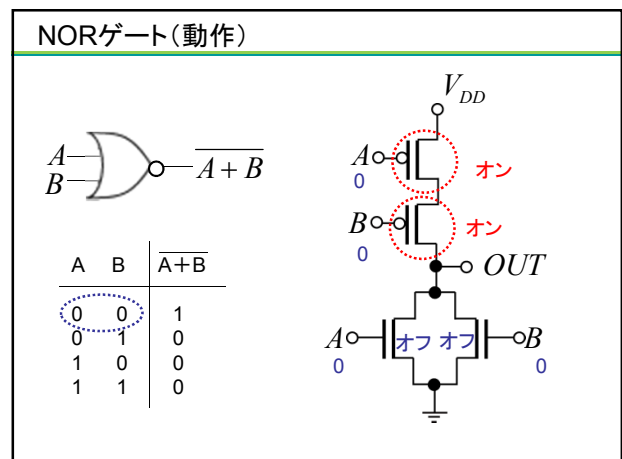
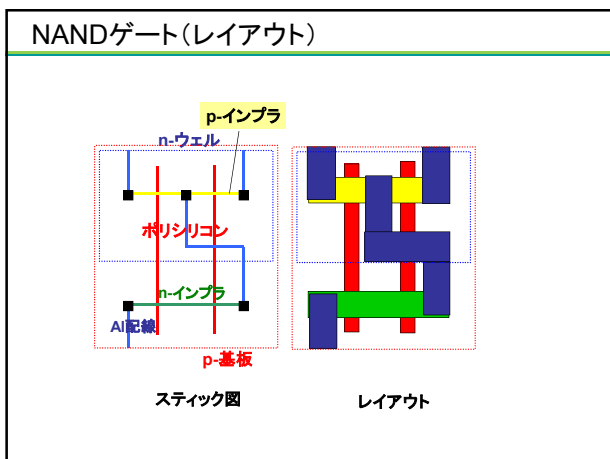
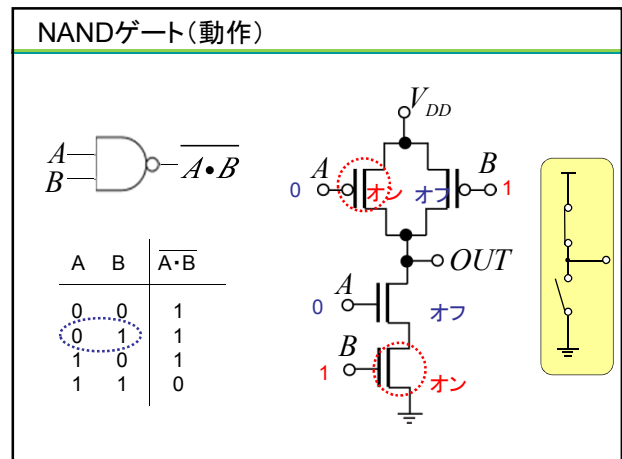
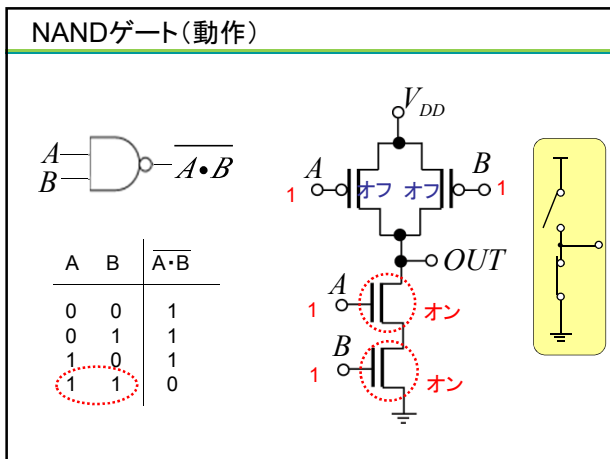
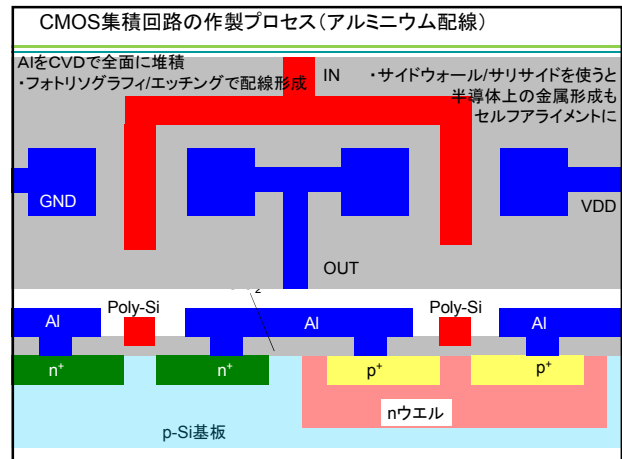
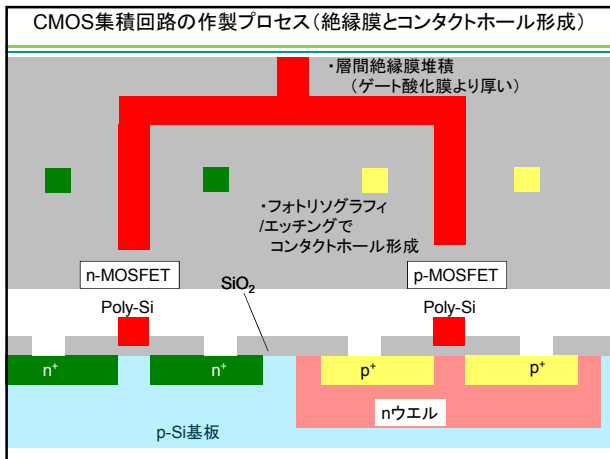
nウェル

### CMOS集積回路の作製プロセス(ゲート電極形成)

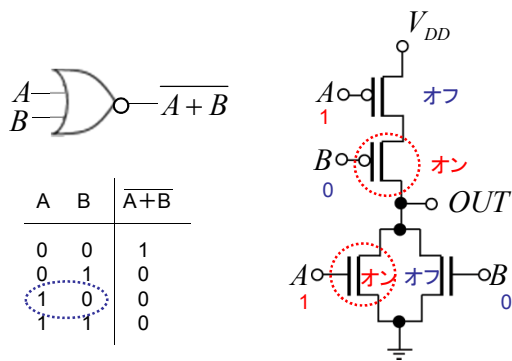


### CMOS集積回路の作製プロセス(ソースドレイン領域形成)

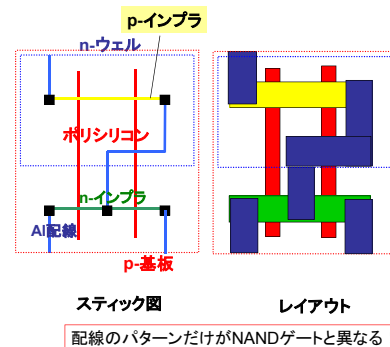




## NORゲート(動作)

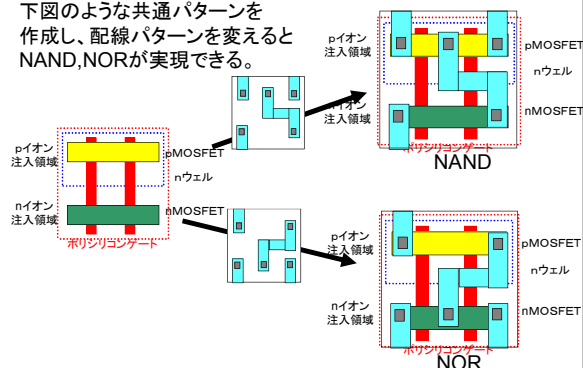


## NORゲート(レイアウト)

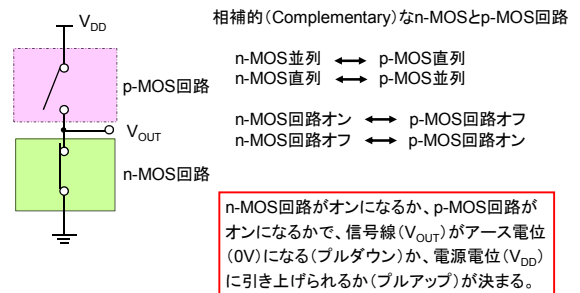


## 2入力NAND、NORゲート

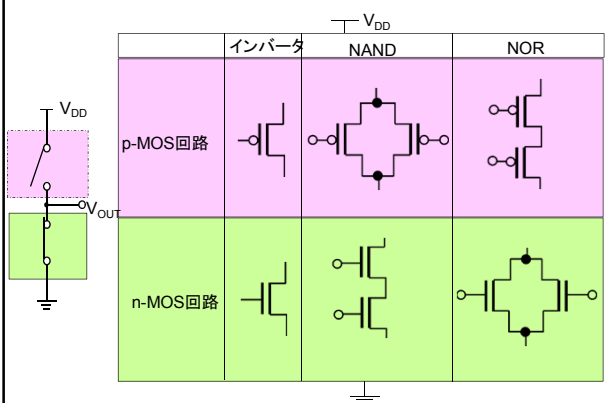
下図のような共通パターンを作成し、配線パターンを変えるとNAND, NORが実現できる。



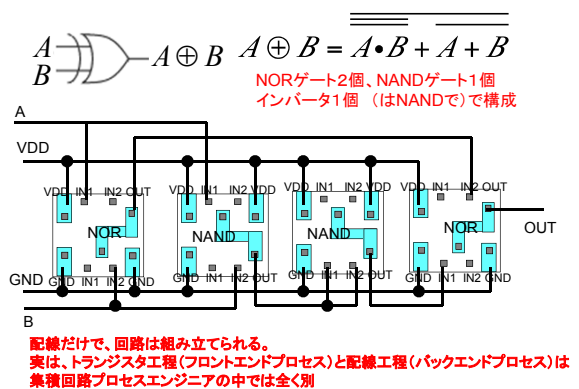
## CMOS論理回路の思想



## CMOS論理回路の考え方



## XOR (NOR, NANDを用いて実現)

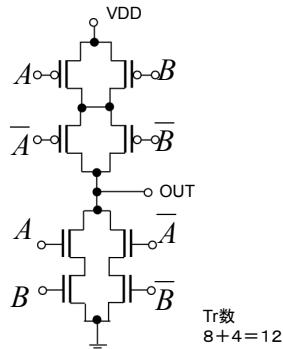


## XOR(2)

XORをCMOS論理回路の考え方で直接実現すると...

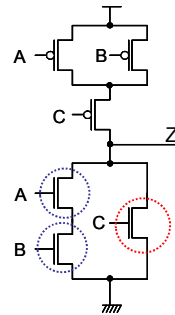
$$A \oplus B = \overline{A \cdot B + \overline{A} \cdot \overline{B}}$$

| A | B | A+B |
|---|---|-----|
| 0 | 0 | 0   |
| 0 | 1 | 1   |
| 1 | 0 | 1   |
| 1 | 1 | 0   |



## 任意の論理関数の実現

以下のCMOS論理関数の真理値表を示し、論理式を記せ。



$$Z = \overline{A \cdot B + C \cdot \overline{B}}$$

| A | B | C | Z |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

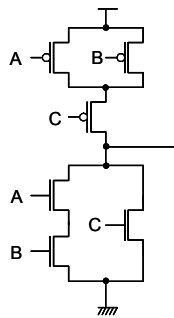
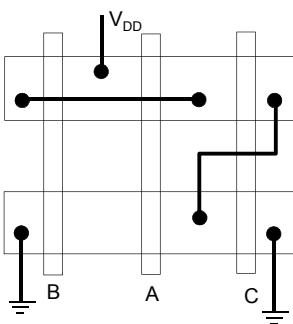
真理値表から求めると

$$Z = \overline{A \cdot B + C \cdot \overline{B}}$$

これが上式と一致することを示せ。

## 任意の論理関数の実現(2)

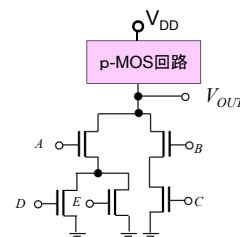
レイアウトを考えてみよ。



## 任意の論理関数の実現(3)

 $Z = \overline{A \cdot (D + E) + B \cdot C}$  で表される論理関数のCMOS回路を書け。

まずはnMOS部分を考える。  
nMOSネットワークでは、①ANDは直列、②ORは並列、  
③全体の否定をとる。従って...



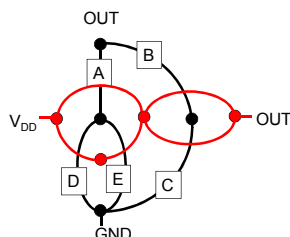
次にp-MOS回路は  
n-MOS: 直列 → p-MOS 並列  
n-MOS: 並列 → p-MOS 直列  
とする。

p-MOS回路部分を書いてみよ。

## 任意の論理関数の実現(4)

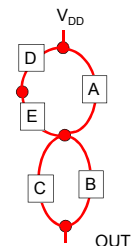
次にp-MOS回路は  
n-MOS: 直列 → p-MOS 並列  
n-MOS: 並列 → p-MOS 直列  
とする。

下のようなグラフを書くべし便利？

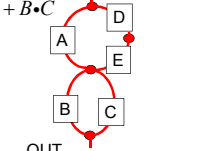
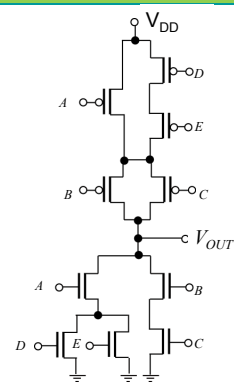


• n-MOS回路グラフの各領域中に点を打つ。  
• n-MOSグラフの各枝を1回だけ横切るように各点(ノード)を結ぶ。

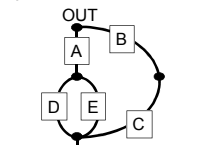
p-MOS回路のグラフ



## 任意の論理関数の実現(5)

 $Z = \overline{A \cdot (D + E) + B \cdot C}$ 

p-MOS回路のグラフ



n-MOS回路のグラフ