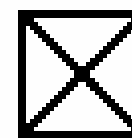
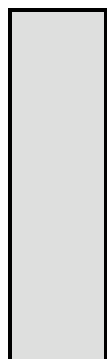


アナログ集積回路のレイアウト

特性の劣化を如何に防ぐか

準備



Diffusion Layer

Well

Polysilicon (1)

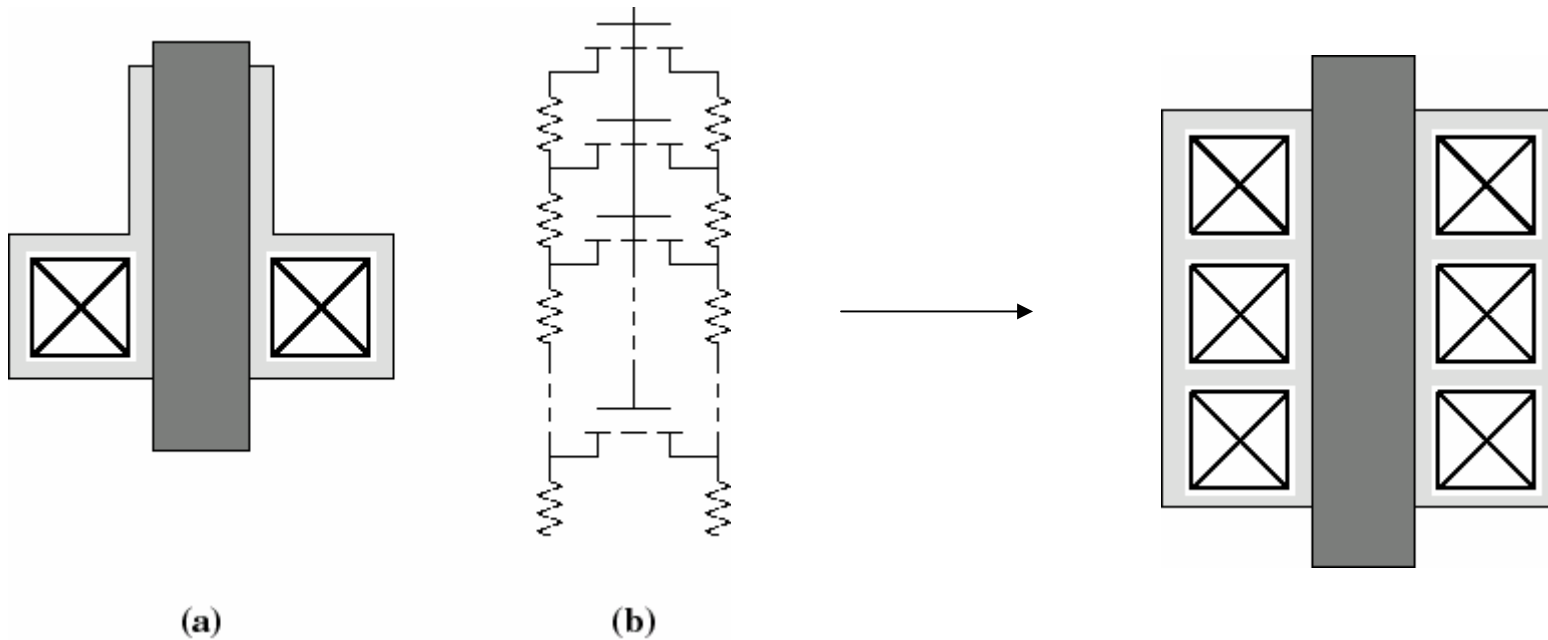
Polysilicon (2)

Metal

Contact

MOSトランジスタのレイアウト

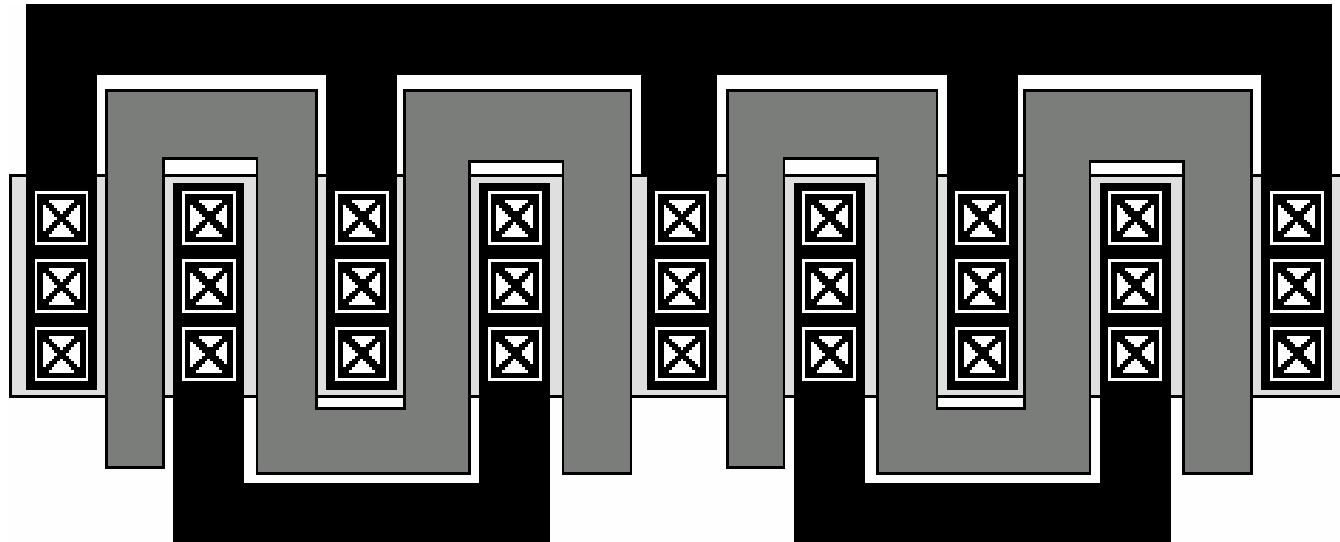
基本レイアウト



寄生抵抗

チャンネル幅の広いトランジスタ

差動対の場合



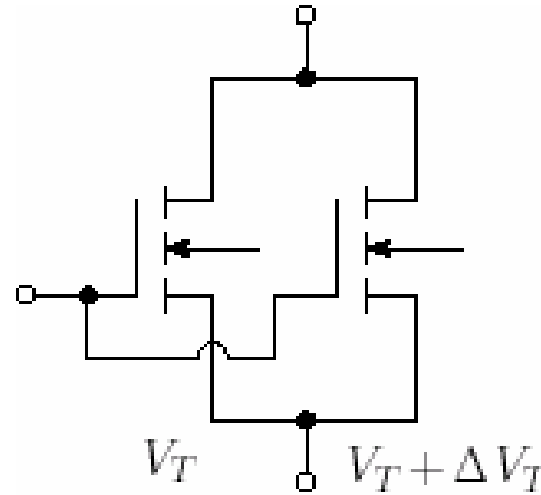
ドレインとソースの面積

$$\frac{n+1}{2n} (n \text{ が奇数}), \quad \frac{1}{2} \text{ と } \frac{n+2}{2n} (n \text{ が偶数})$$

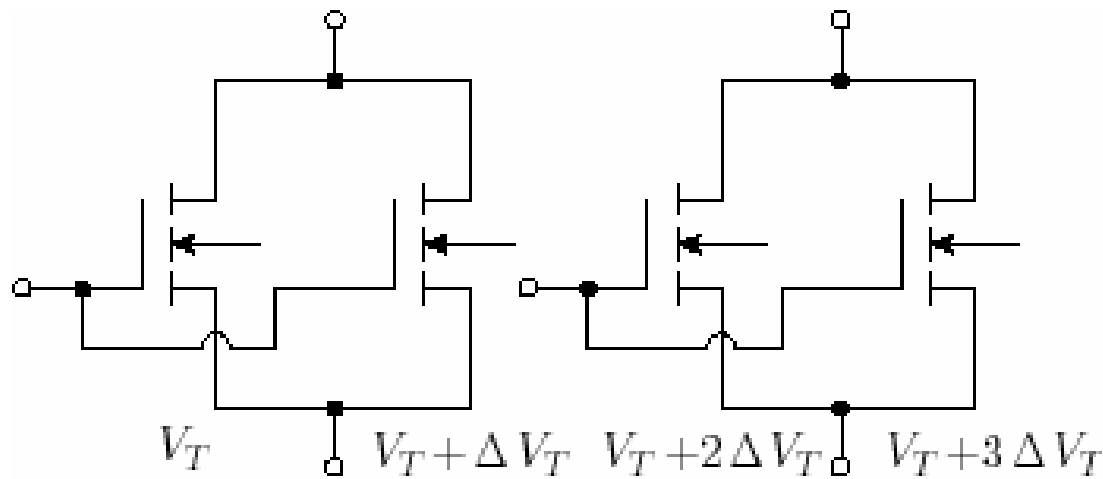
素子の整合(1)

素子の配置： 特性偏差を距離の1次式に近似

例：しきい電圧の整合



$$\begin{aligned} & \frac{K}{2}(V_{GS} - V_T)^2 + \frac{K}{2}(V_{GS} - V_T - \Delta V_T)^2 \\ &= K(V_{GS} - V_T - \frac{\Delta V_T}{2})^2 + \frac{K\Delta V_T^2}{4} \\ &\approx K(V_{GS} - V_T - \frac{\Delta V_T}{2})^2 \end{aligned}$$

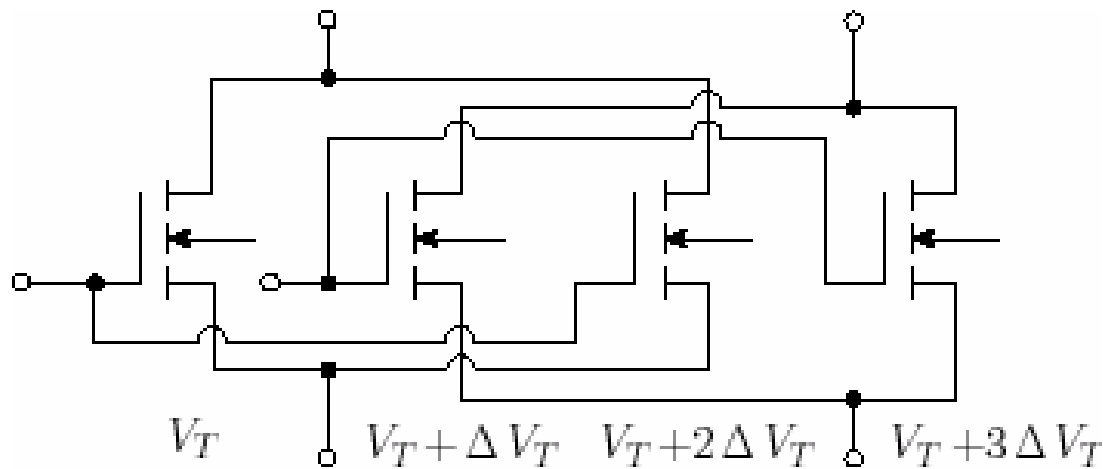


(a1)

(a2)

$$(a1): V_T + \frac{\Delta V_T}{2}$$

$$(a2): V_T + \frac{5\Delta V_T}{2}$$



(b1)

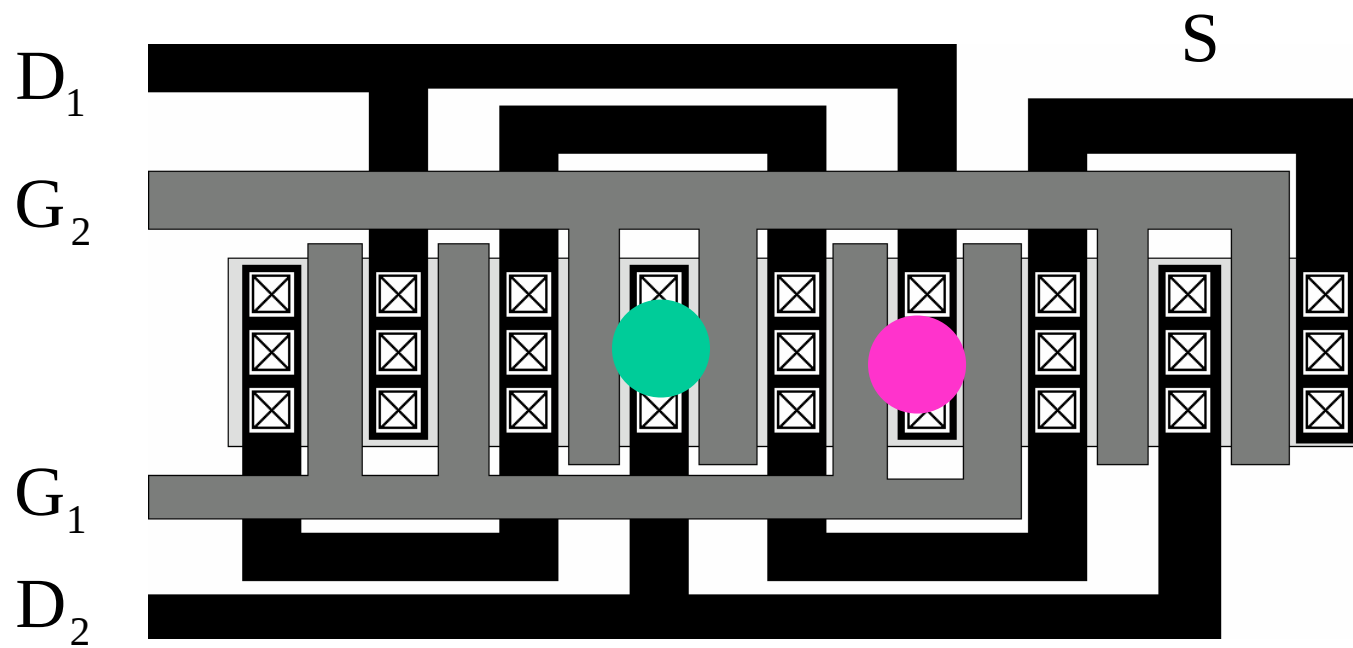
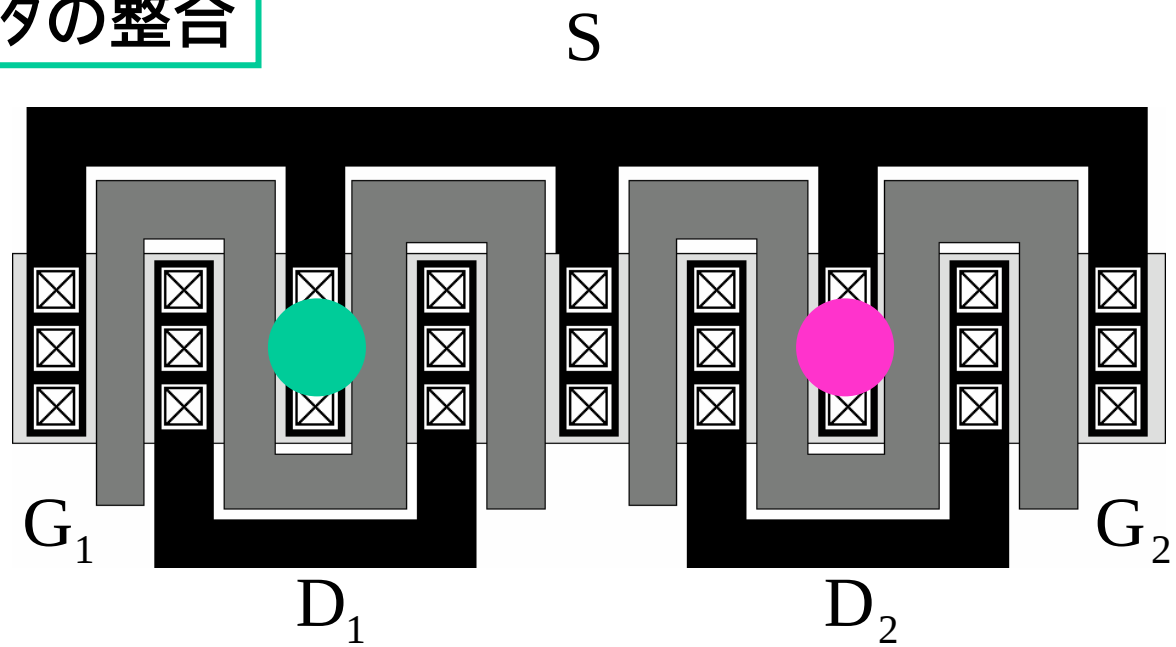
(b2)

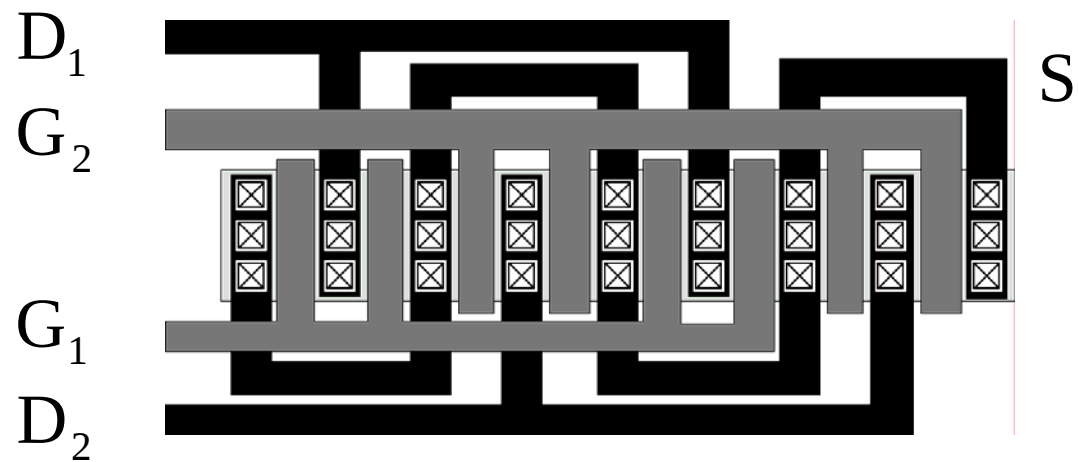
$$(b1): V_T + \Delta V_T$$

$$(b2): V_T + 2\Delta V_T$$

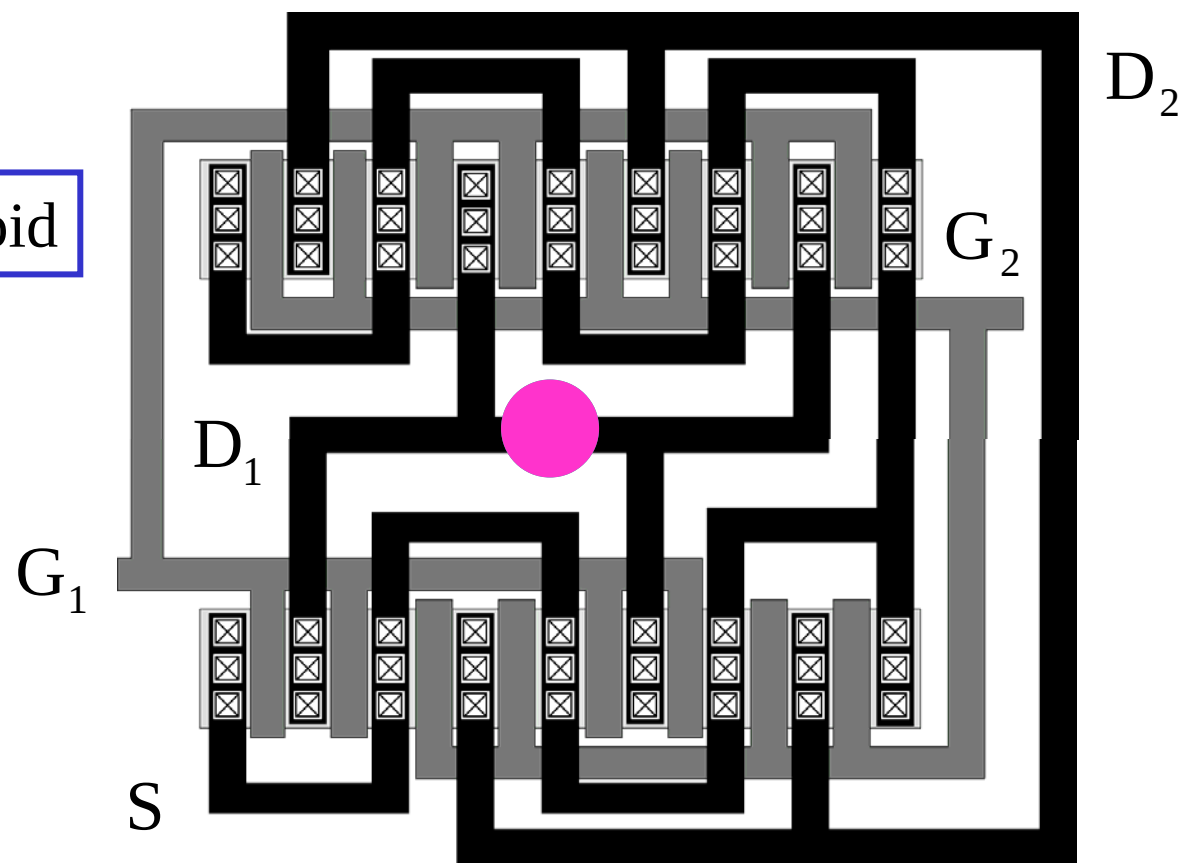
Interdigitize

トランジスタの整合

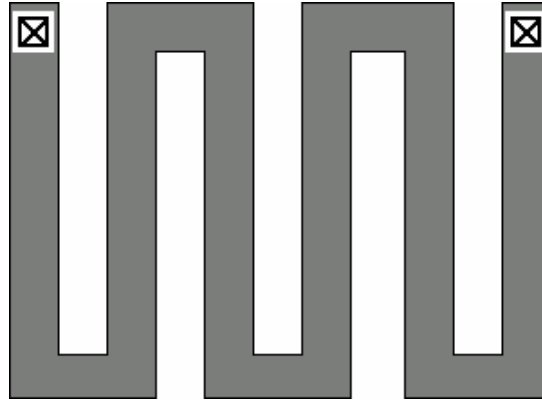




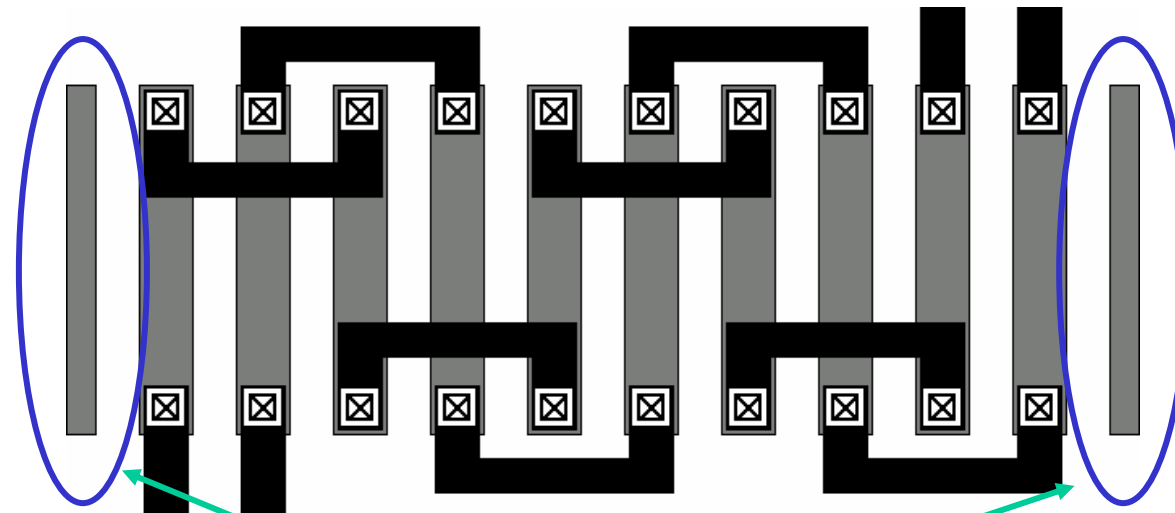
Common Centroid



抵抗のレイアウト



抵抗の整合

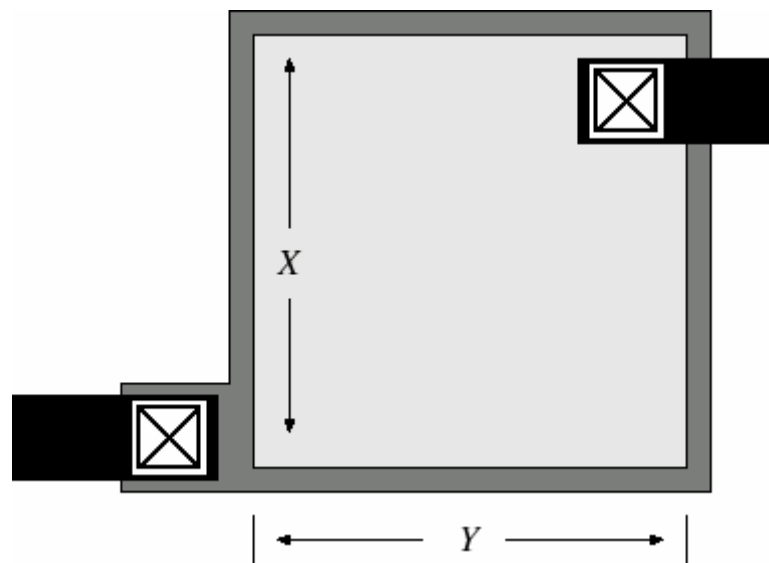


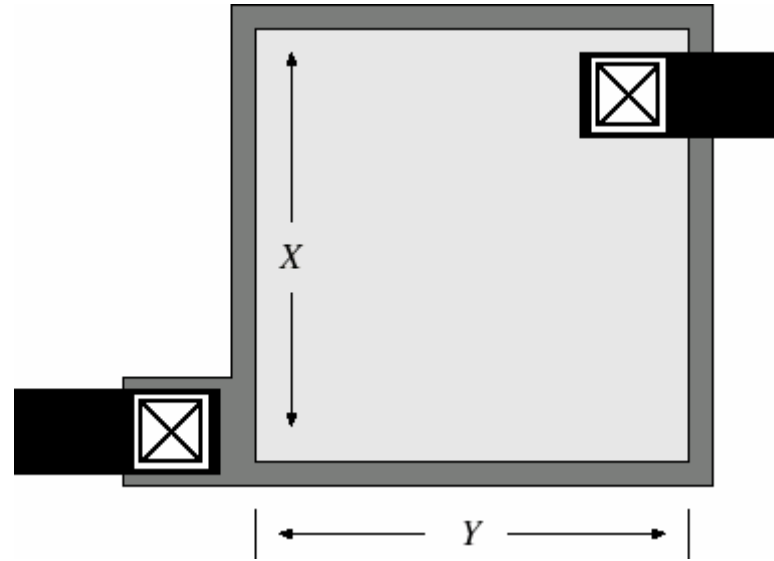
ダミー抵抗

素子の整合(2)

周辺効果： ダミー素子の配置

例：容量のアンダーカット ΔU





$$A_{eff} = X(1 - 2\Delta U) \cdot Y(1 - 2\Delta U)$$
$$\approx XY - 2(X + Y)\Delta U$$

誤差低減: $\frac{XY}{2(X + Y)}$ を大きく

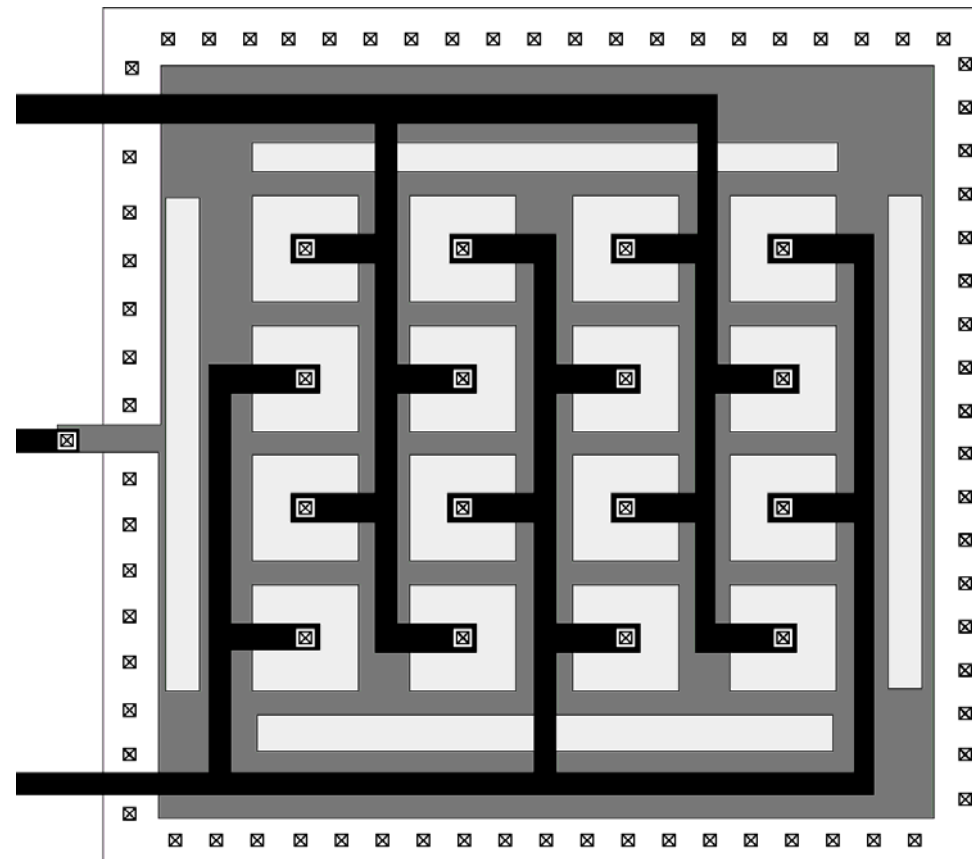
容量の整合:

$$A_{eff1} : A_{eff2} = X_1 Y_1 - 2(X_1 + Y_1)\Delta U : X_2 Y_2 - 2(X_2 + Y_2)\Delta U$$

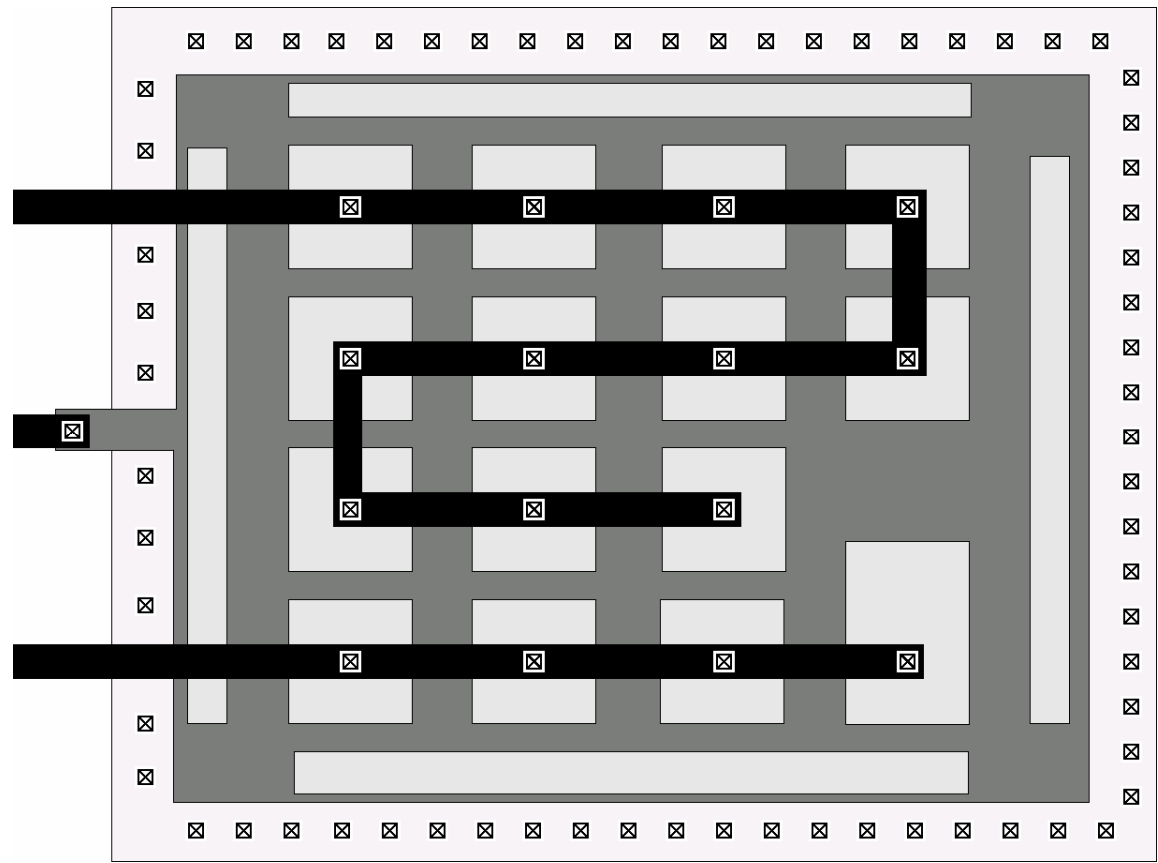
$$A_{eff1} : A_{eff2} = X_1 Y_1 : X_2 Y_2$$

$$A_{eff1} : A_{eff2} = X_1 + Y_1 : X_2 + Y_2$$

コモンセントロイド型レイアウト



単位容量によるレイアウト



配線

太い配線:

配線抵抗は減少

寄生容量は増加

ゲート間の配線: 高インピーダンス → 雑音の混入

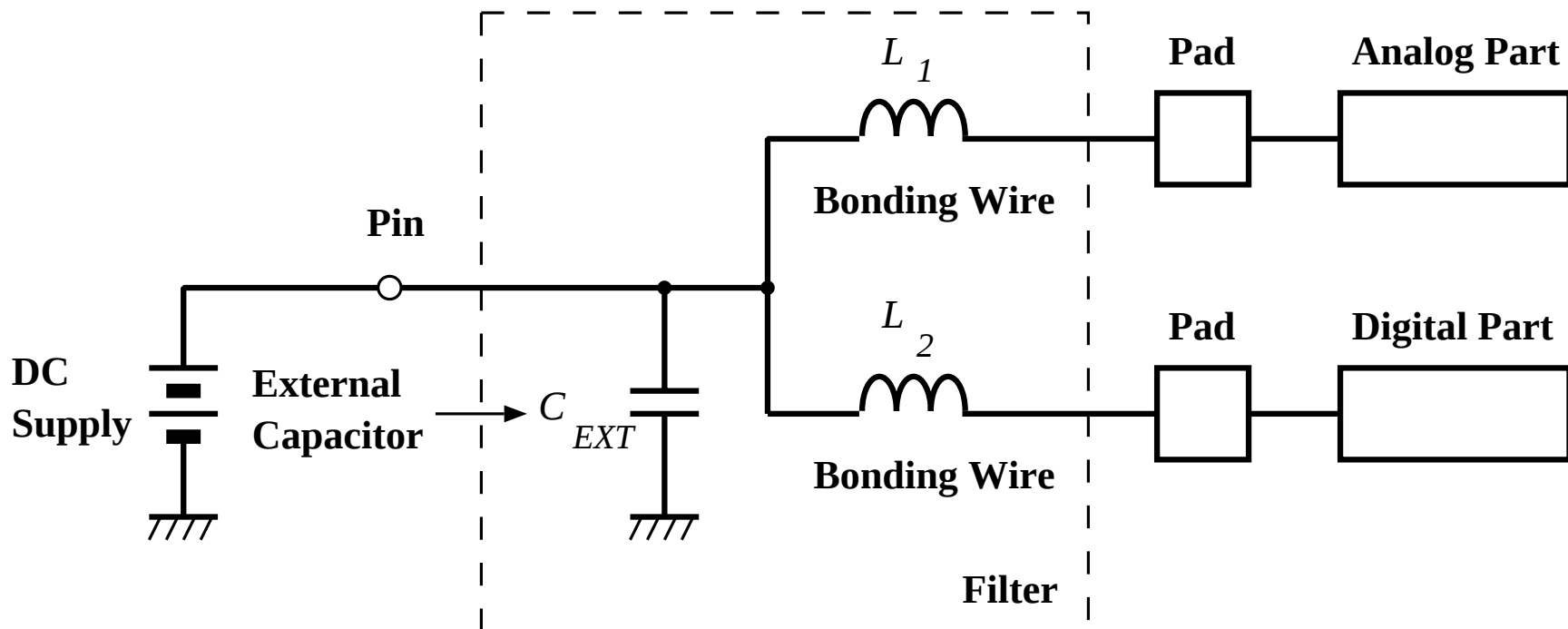


他の信号線との交差の回避

ボンディングワイヤ: インダクタ (1mm 1nH)

ボンディングワイヤを用いたデジタル回路からの雑音低減

電源からの供給電流: 数百万A/sの変化 → 数十から数百mV

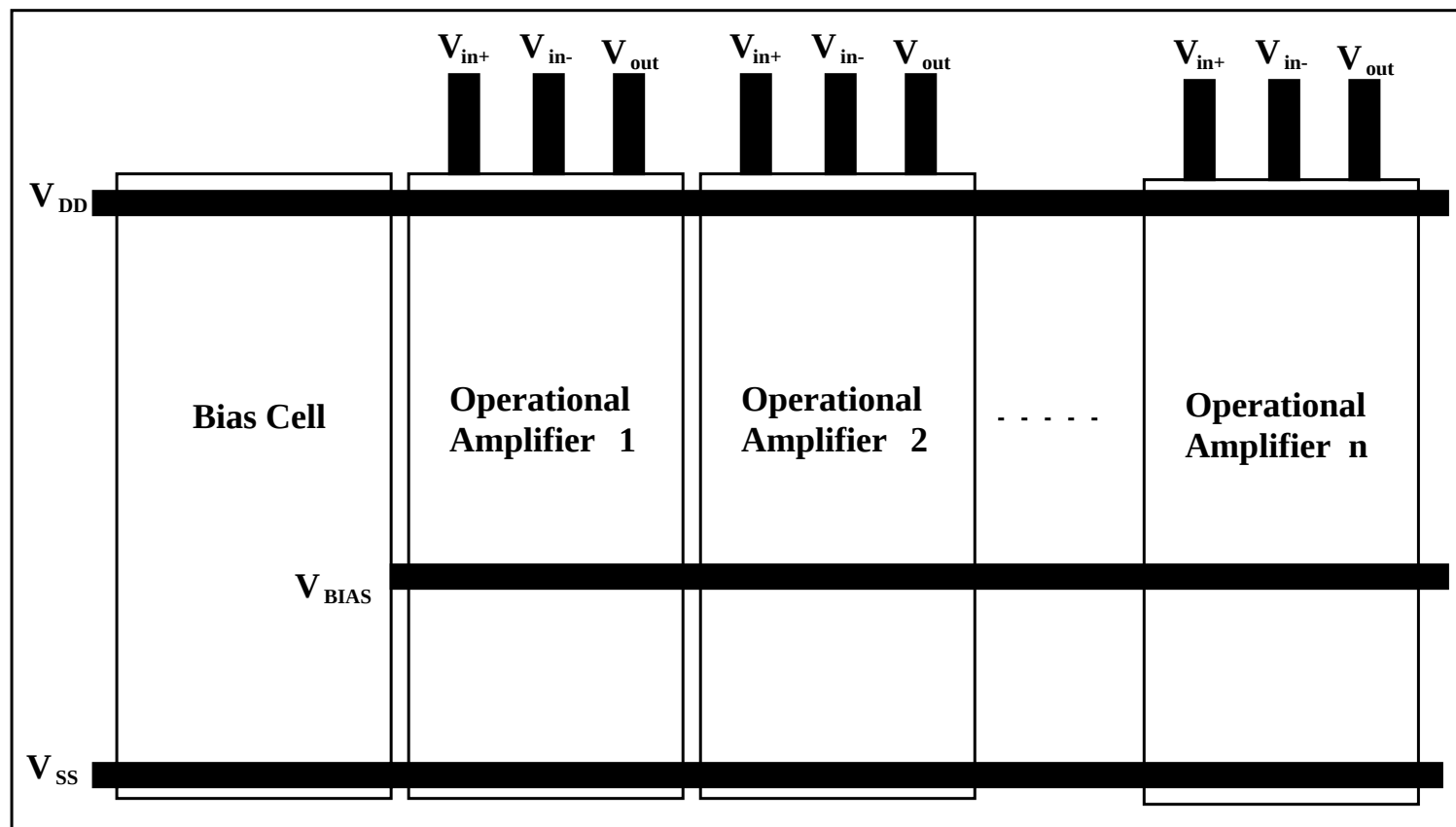


アナログ回路のフロアプラン

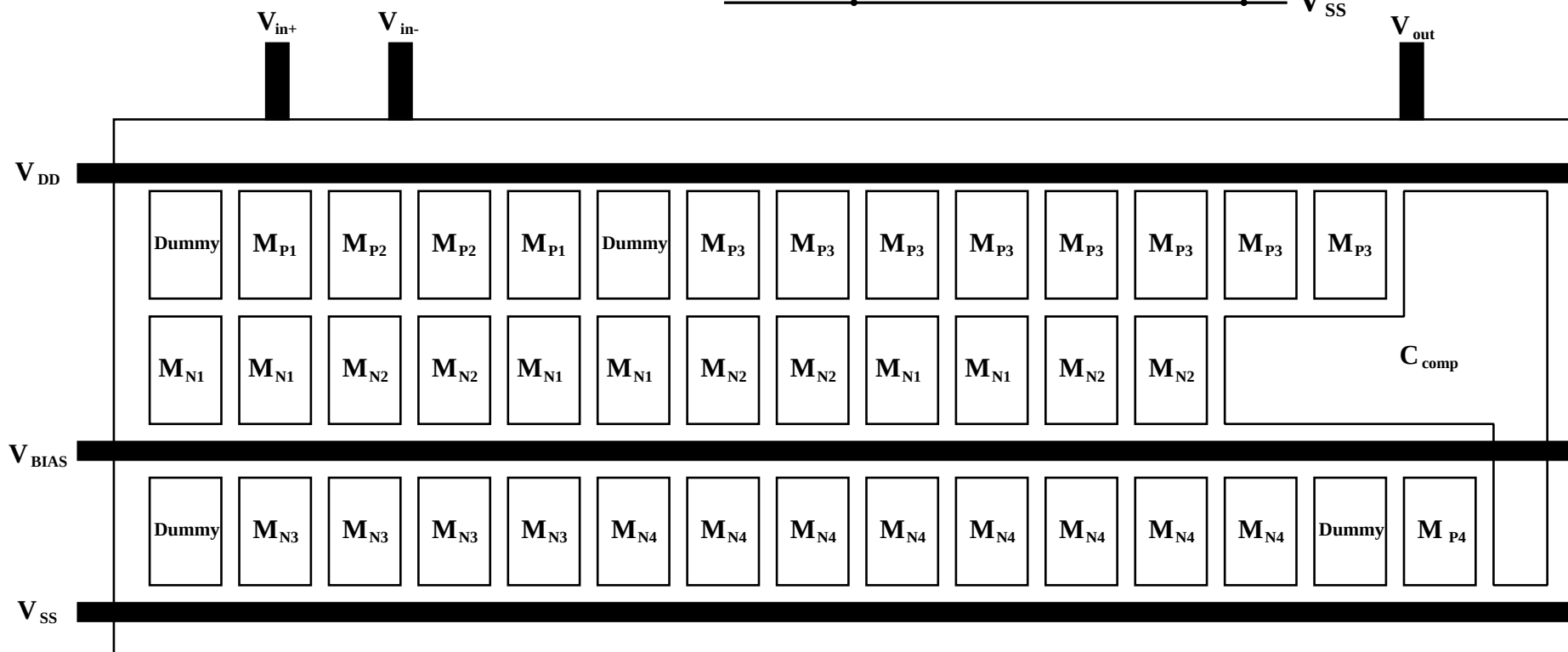
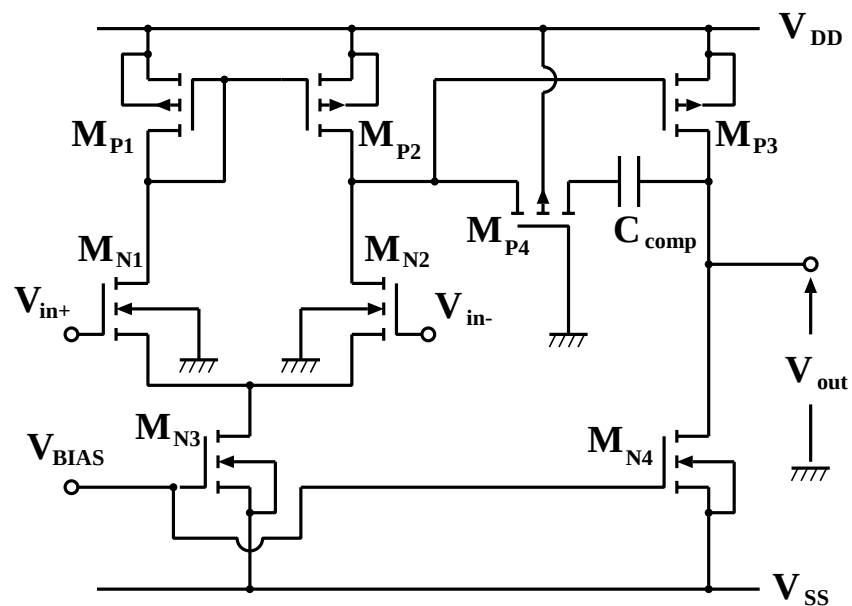
基本方針

- 同一方向にトランジスタを配置
- トランジスタの対基板容量の低減
- 回路の対称性を利用した対称なレイアウトによるオフセットの低減
- 大電流部分の金属配線の使用
- シールドの多用

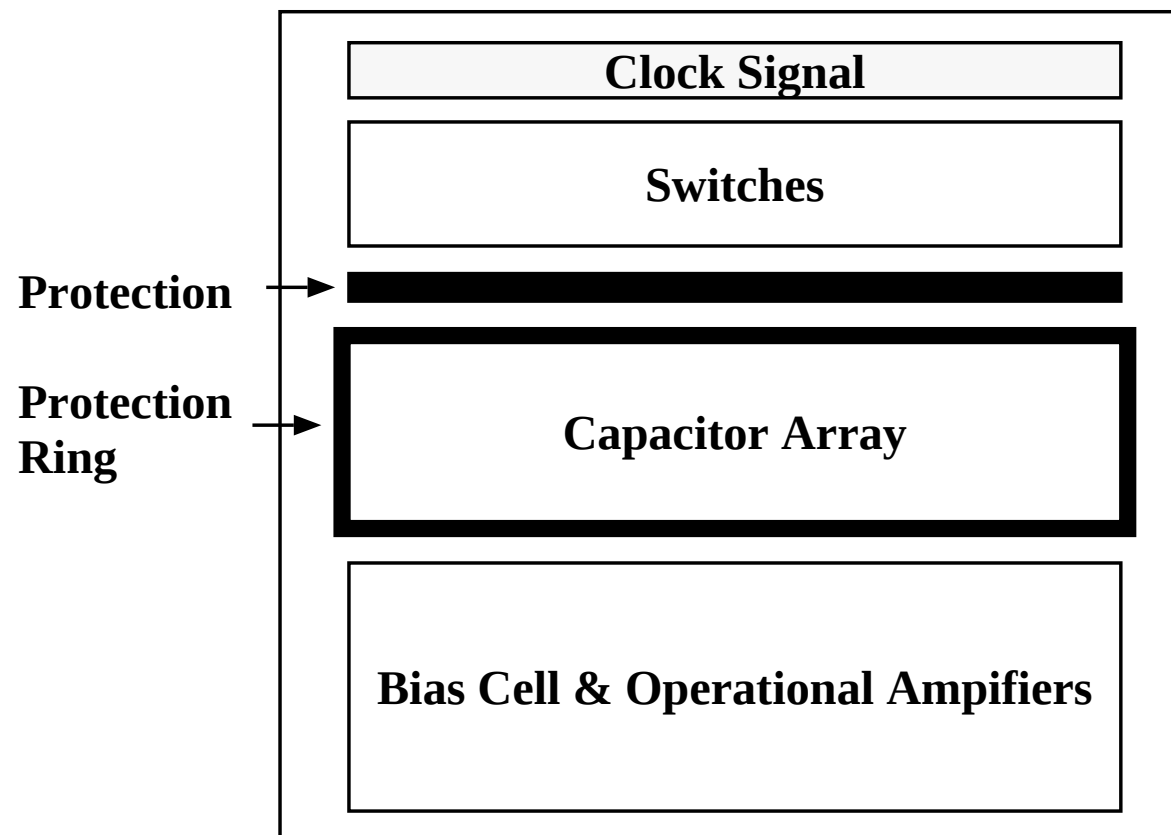
複数の演算増幅器のレイアウトの概要



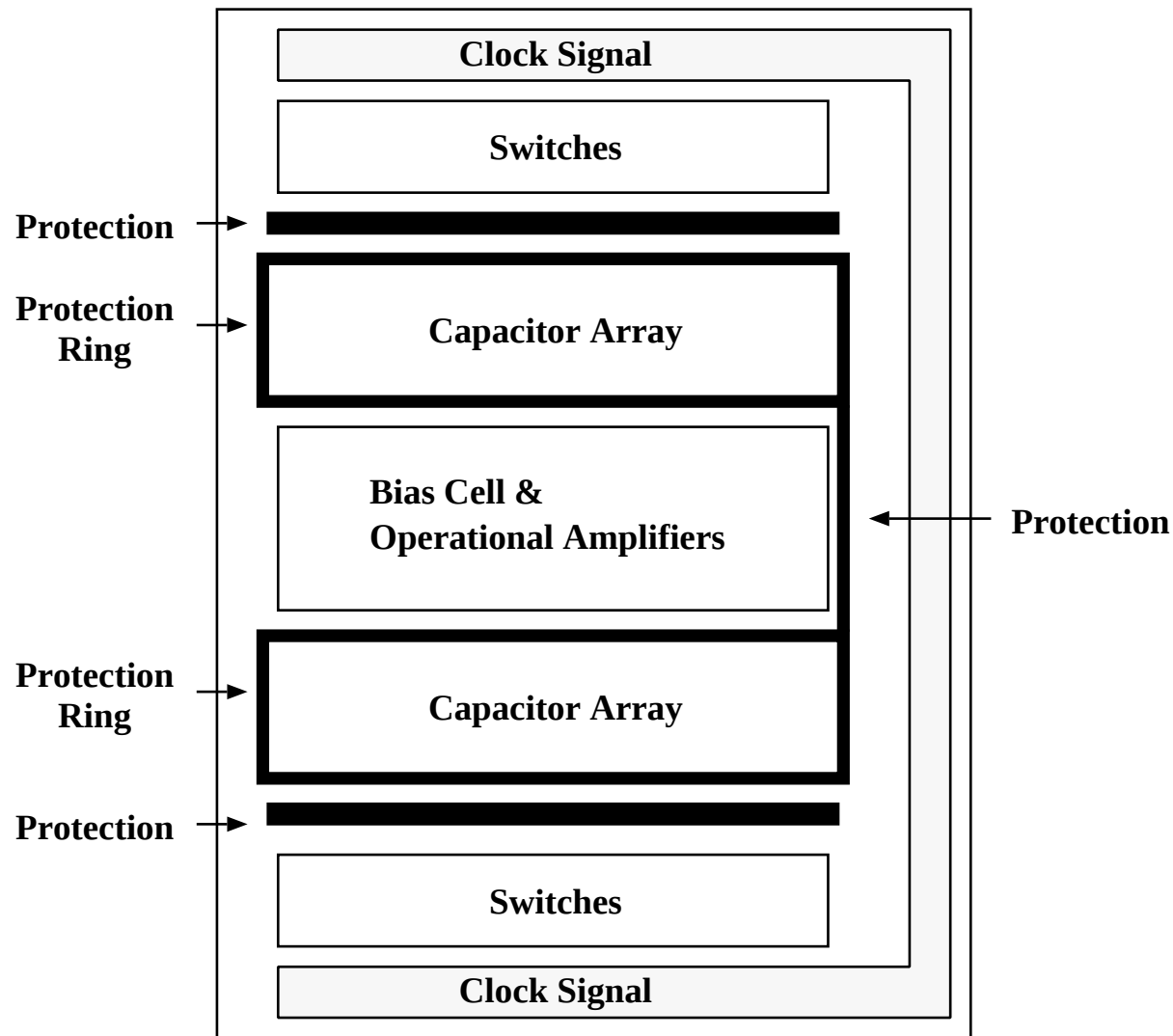
演算増幅器の レイアウトの例



スイッチトキャパシタ回路のフロアプランの例(1)



スイッチトキャパシタ回路のフロアプランの例(2)



その他の注意事項

- 未使用領域によるバイパス容量の実現
→ 雑音の低減
- コンタクトの多用による基板抵抗の低減
- その他

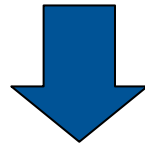
実際のレイアウト例(フィルタアレイの場合)

フィルタ仕様

種類	低域通過型
帯域幅	20MHz
特性	Chebyshev
次数	5次
帯域内リップル	0.5dB
帯域外減衰量	40dB@40MHz

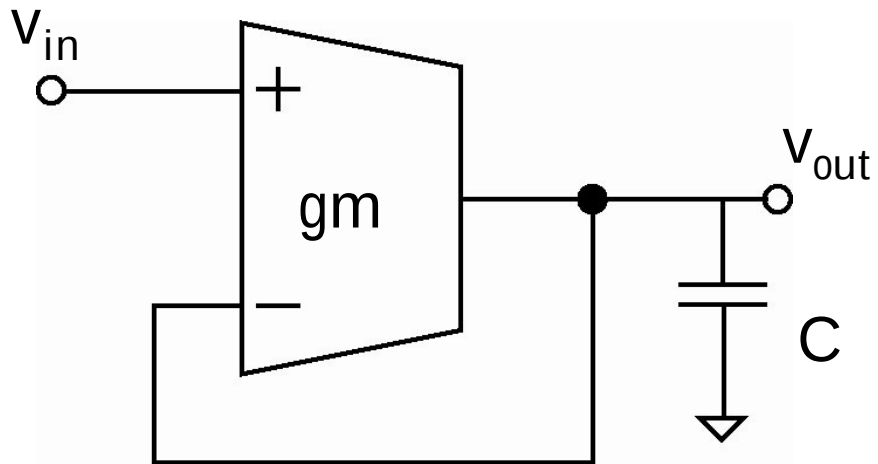
フィルタの伝達関数

$$T(s) = \frac{5.62 \times 10^{39}}{\underbrace{(s + 4.52 \times 10^7)}_{f_0 = 7.2\text{MHz}} \underbrace{(s^2 + 7.41 \times 10^7 s + 7.58 \times 10^{15})}_{\substack{Q = 1.17 \\ f_0 = 13.8\text{MHz}}} \underbrace{(s^2 + 2.76 \times 10^7 s + 1.64 \times 10^{16})}_{\substack{Q = 4.64 \\ f_0 = 20.4\text{MHz}}}$$



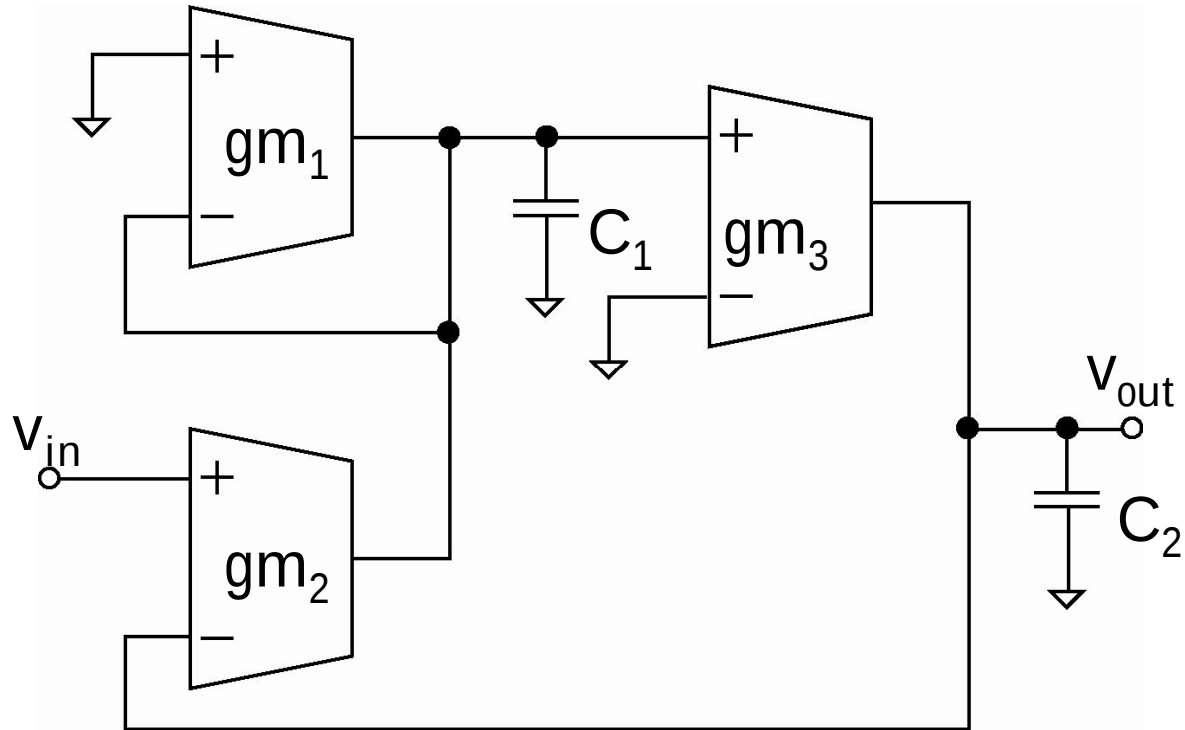
$$T(s) = T_1(s)T_2(s)T_3(s)$$

1次有損失積分回路



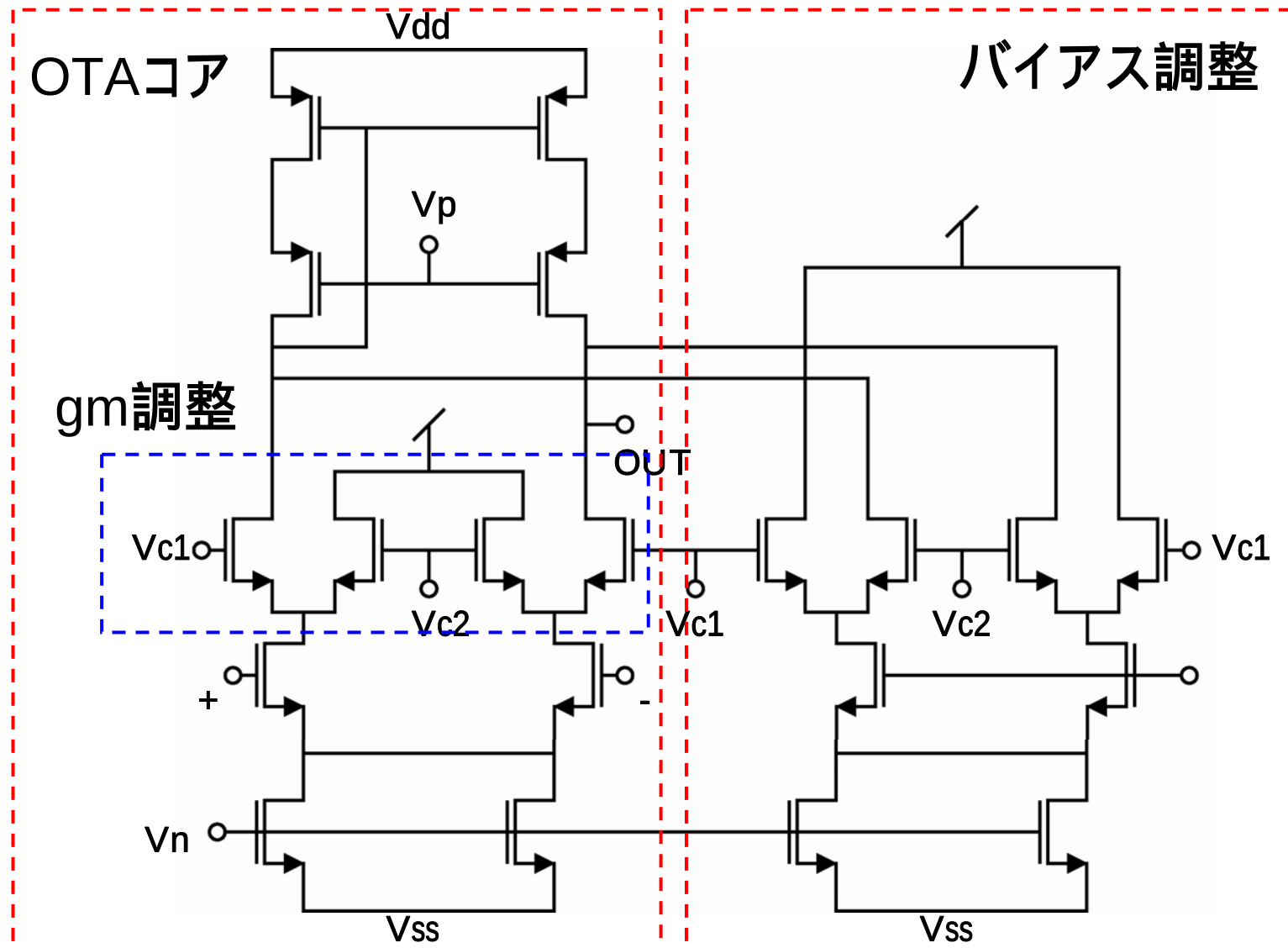
$$\frac{V_{out}}{V_{in}} = \frac{g_m}{sC + g_m}$$

バイカッドフィルタ

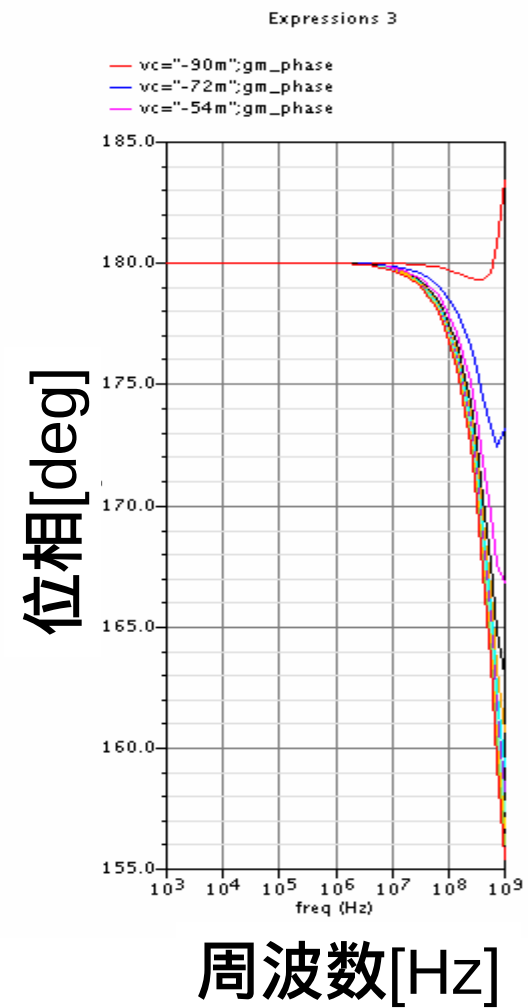
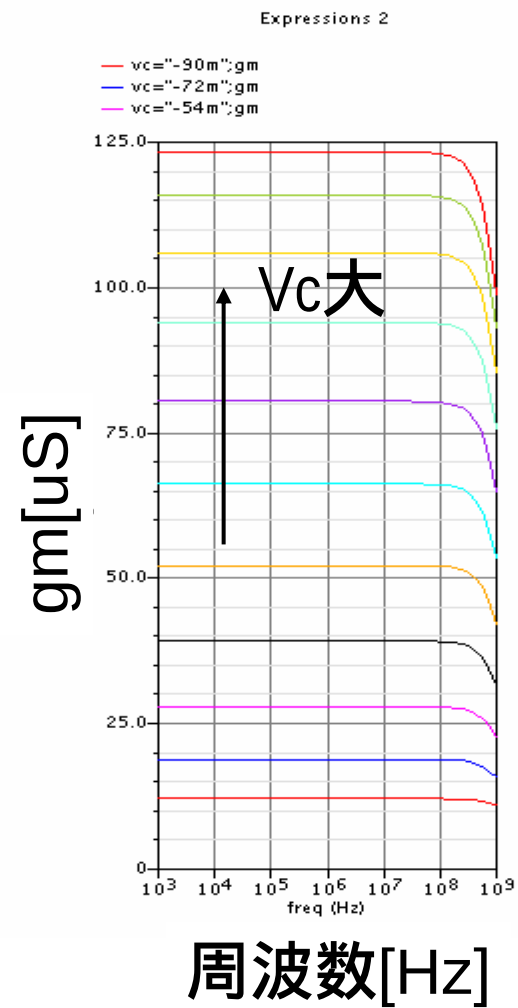
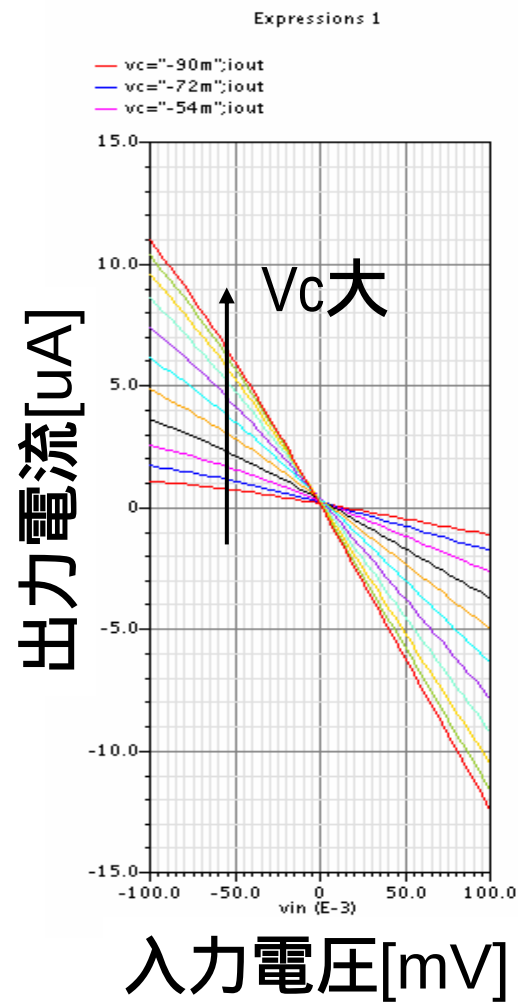


$$\frac{V_{out}}{V_{in}} = \frac{gm_2 gm_3}{C_1 C_2} \frac{1}{s^2 + s \frac{gm_1}{C_1} + \frac{gm_2 gm_3}{C_1 C_2}}$$

OTA



OTA特性 ($V_c = -90\text{mV} \sim 90\text{mV}$)



数值例 (容量値一定、 $C=3\text{pF}$)

設計値

$$g_{m0}=30\mu\text{S} \quad \leftarrow \quad \text{基本OTA}$$

$$T_1(s)$$

$$g_{m1}=3g_{m0}$$

$$g_{m2}=g_{m3}=13g_{m0}$$

$$T_2(s)$$

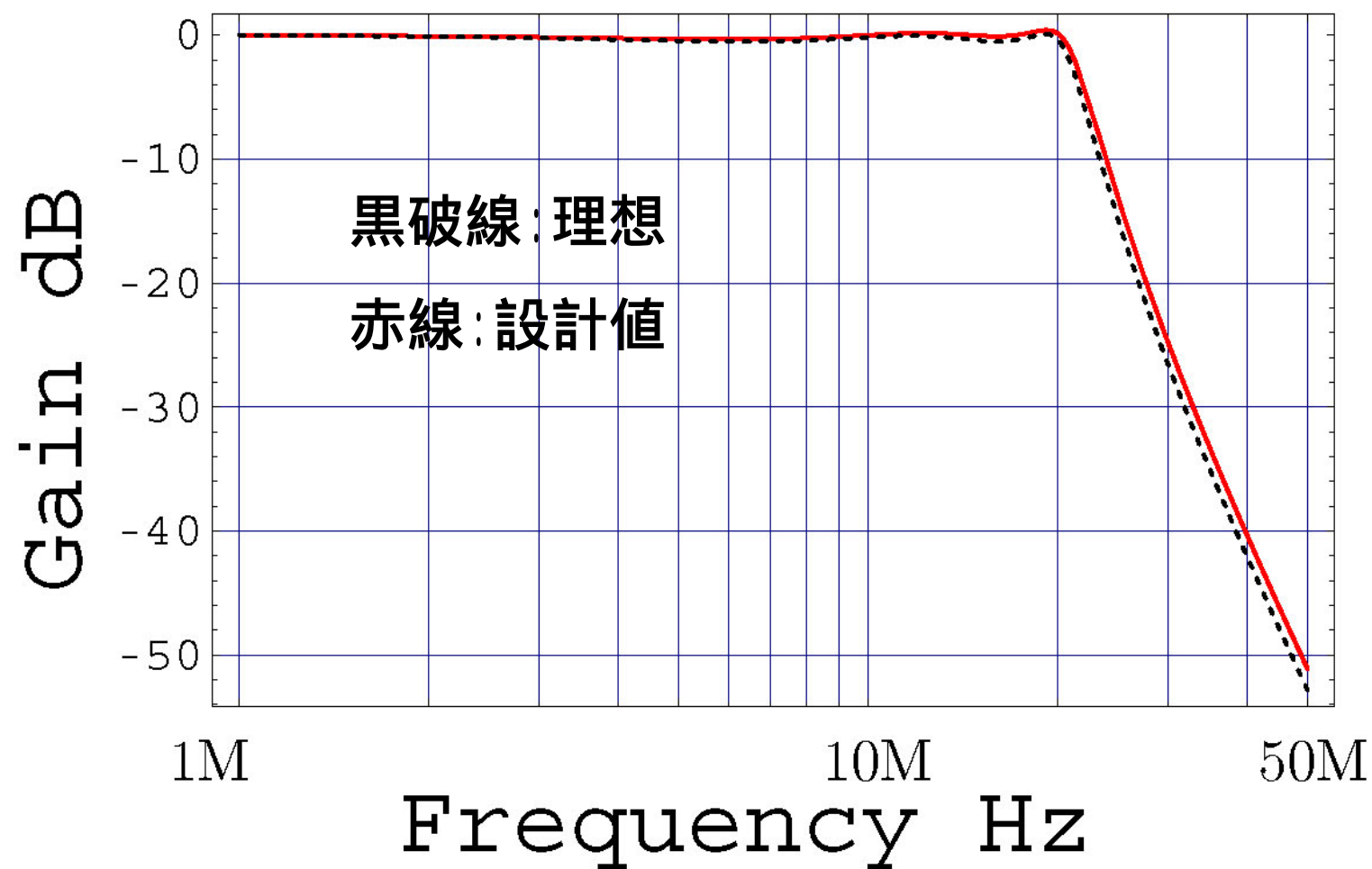
$$g_{m1}=8g_{m0}$$

$$g_{m2}=g_{m3}=9g_{m0}$$

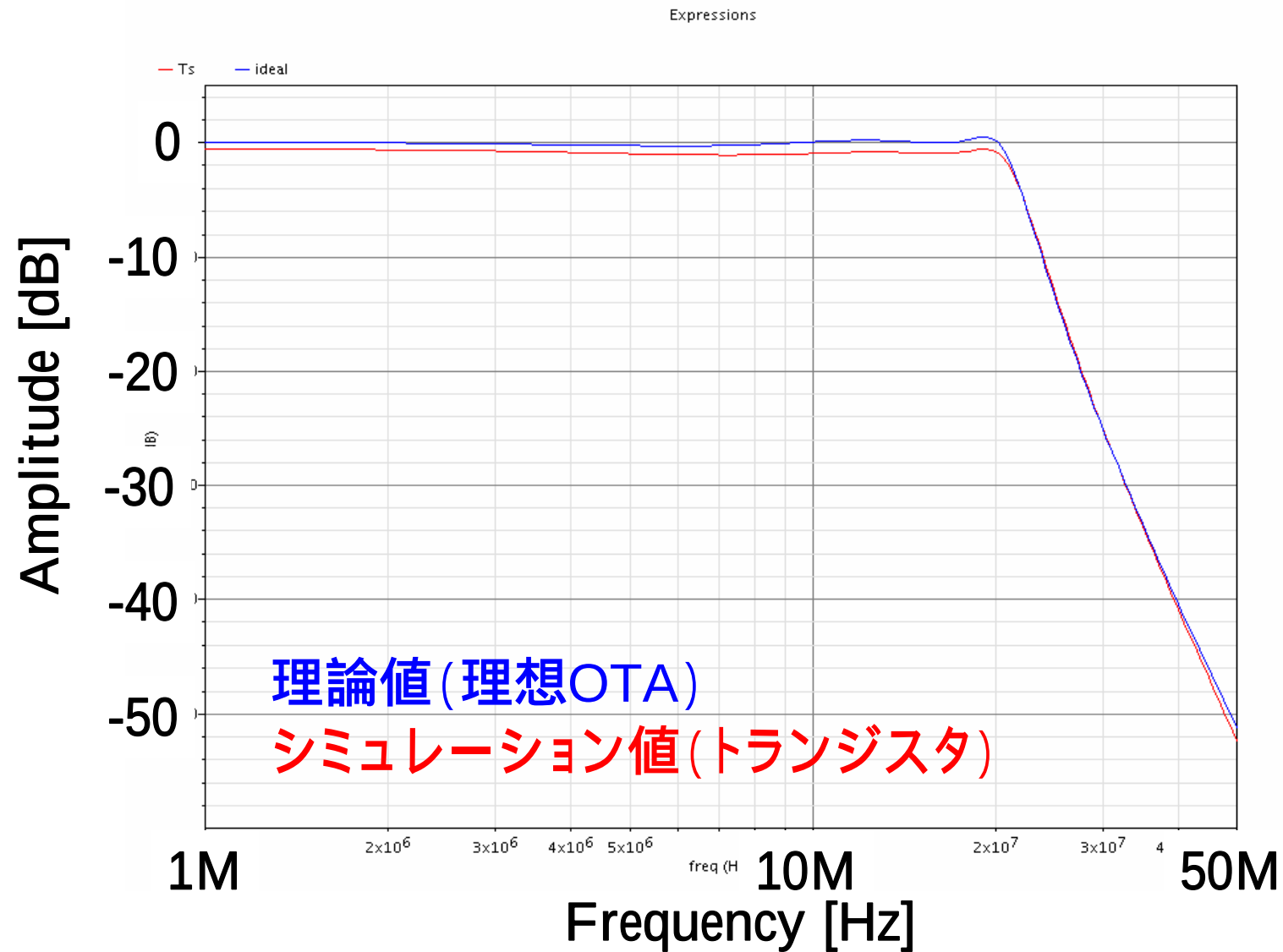
$$T_3(s)$$

$$g_m=5g_{m0}$$

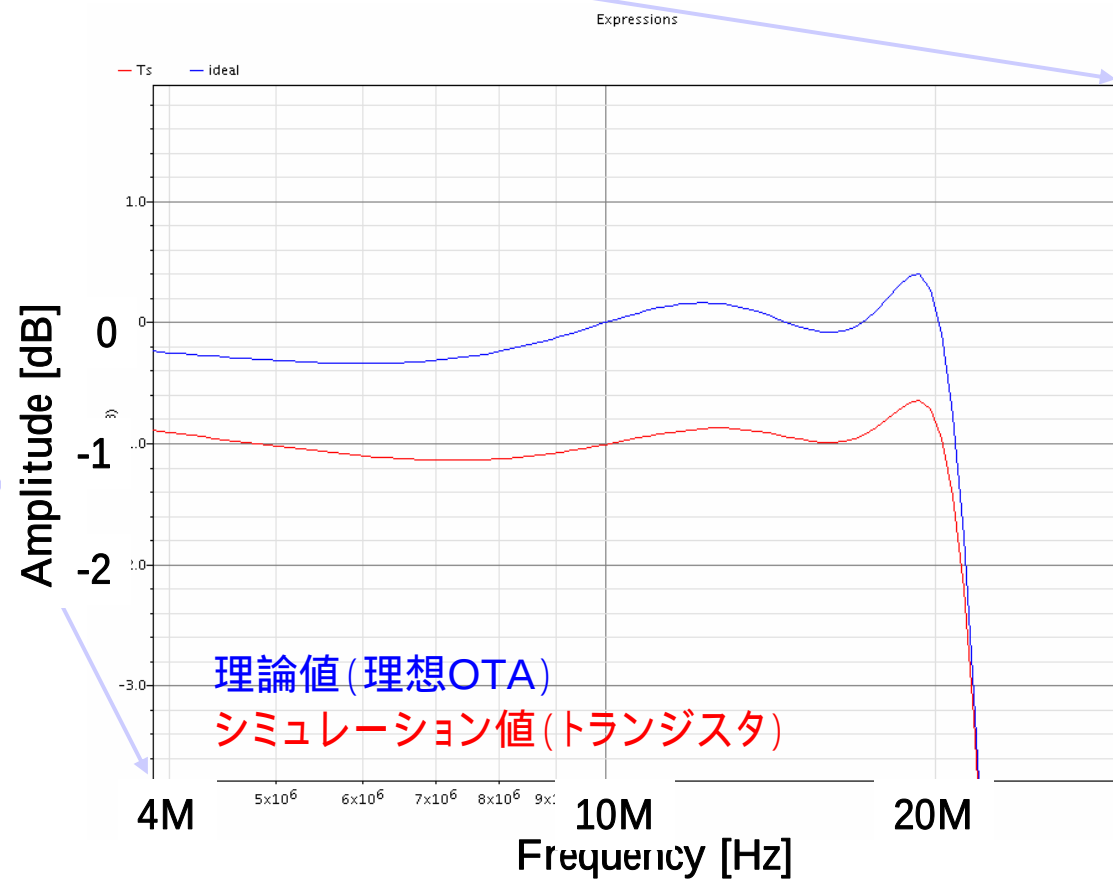
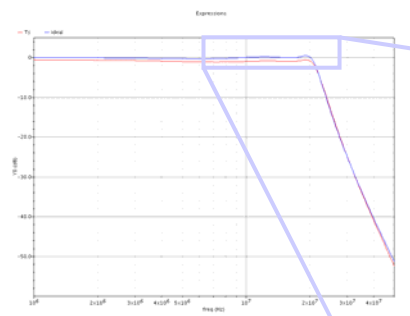
周波数特性 (伝達関数)



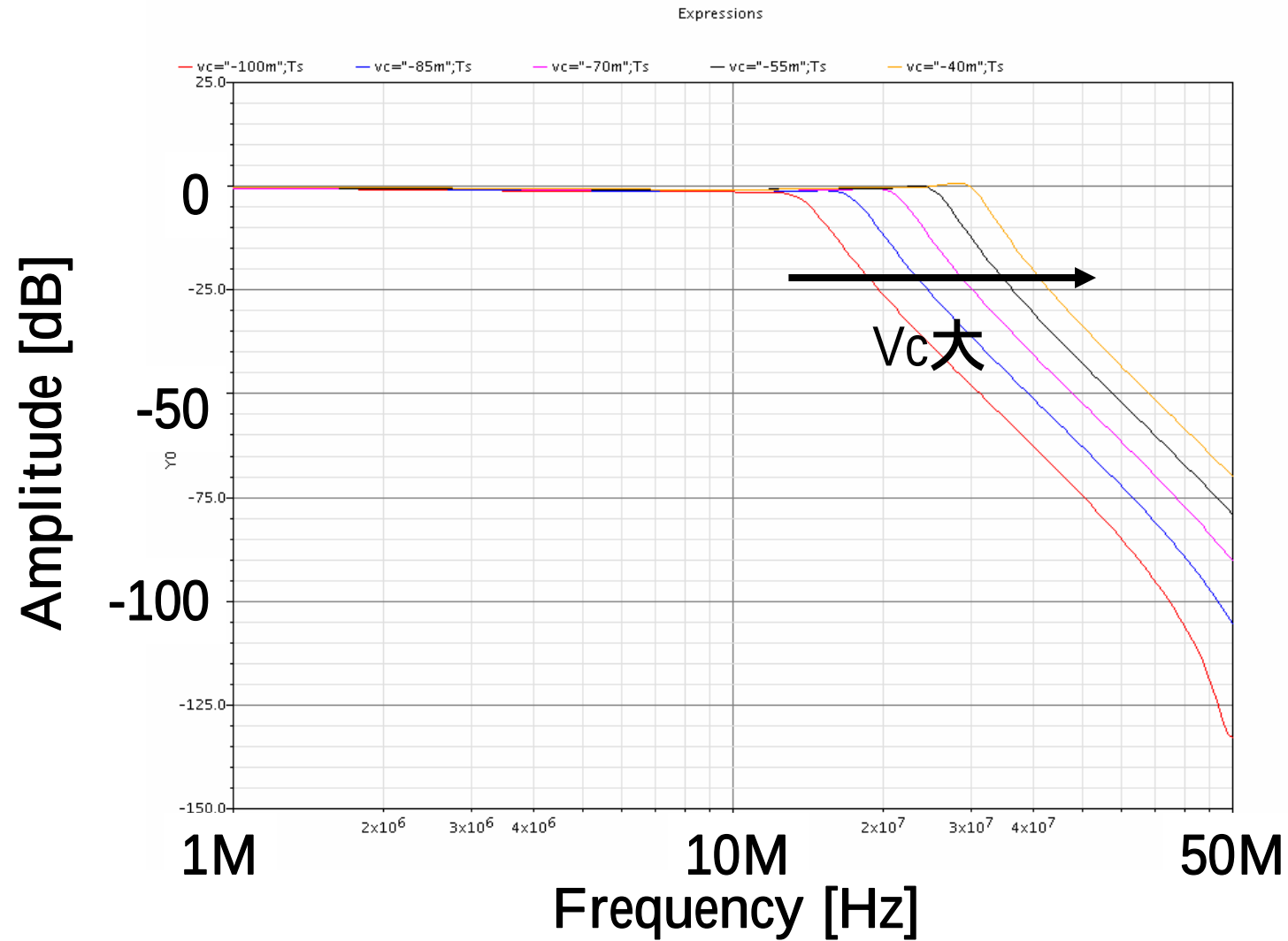
フィルタ特性(周波数特性)



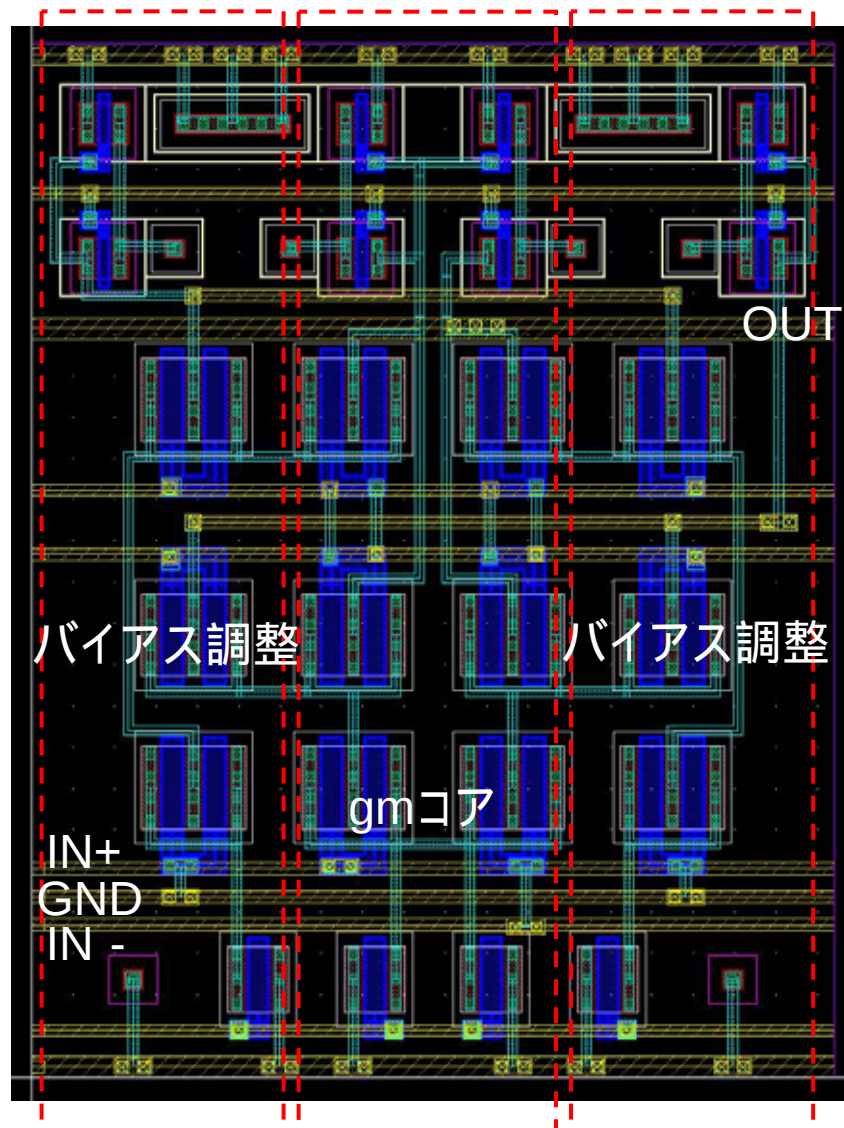
フィルタ特性(拡大)



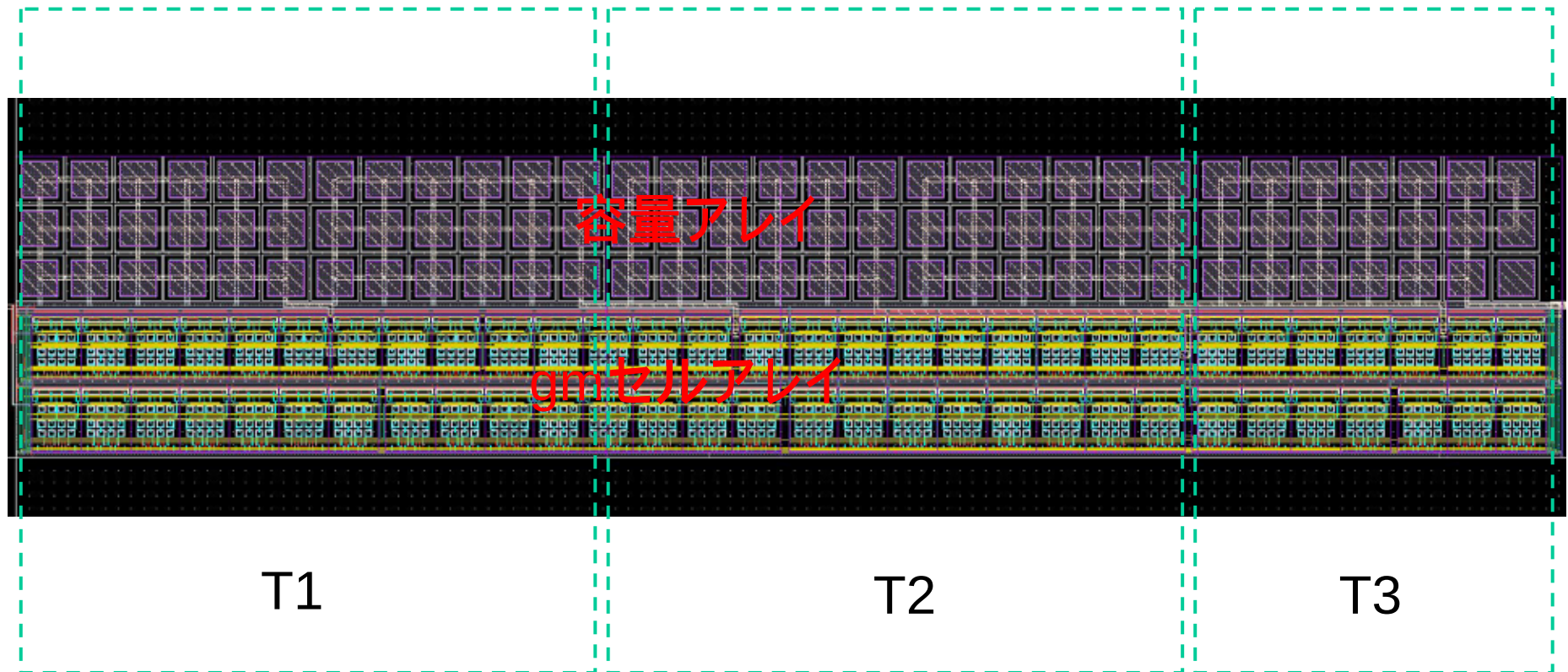
遮断周波数の調整($V_c = -100\text{mV} \sim -40\text{mV}$)



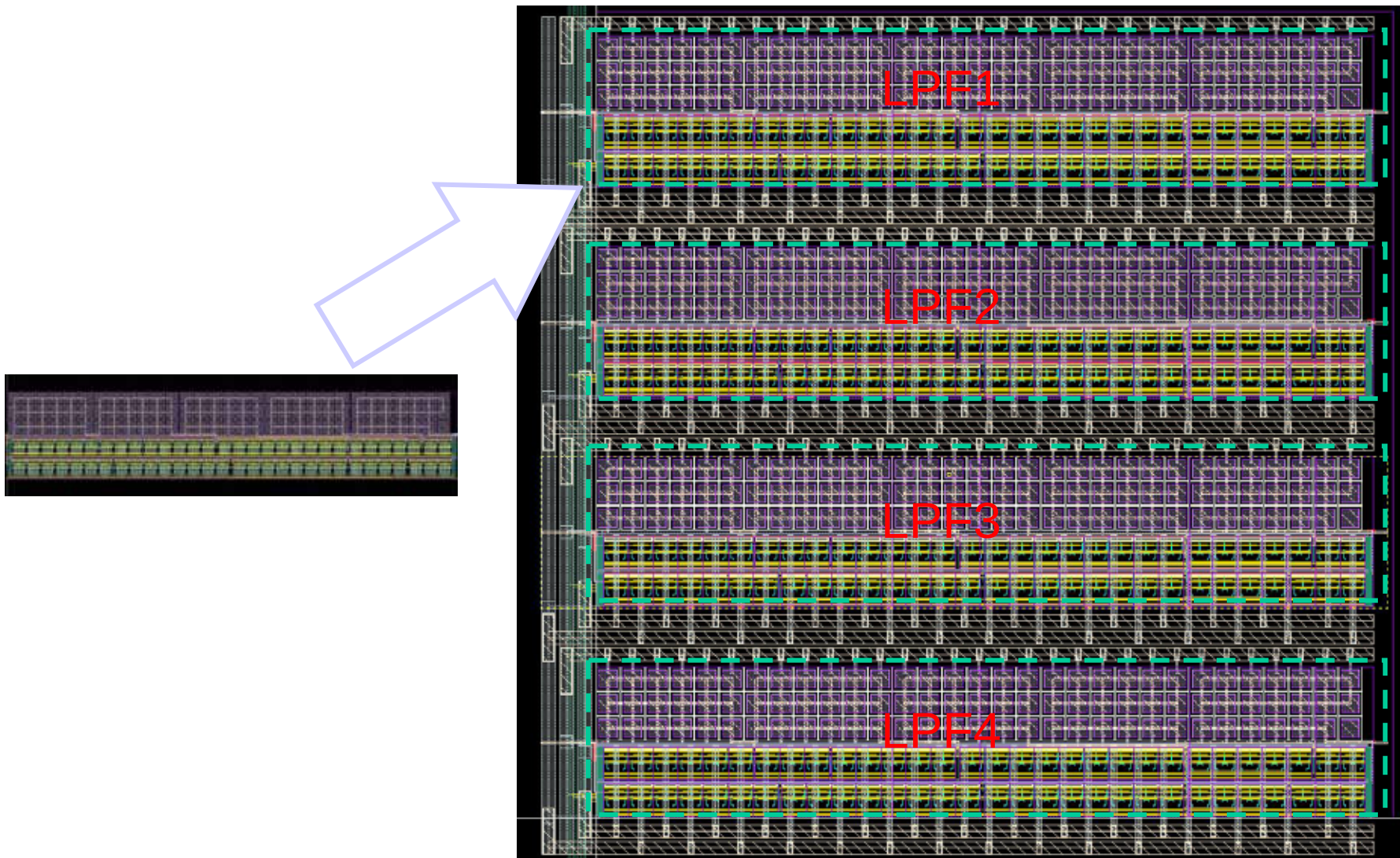
OTAのレイアウト



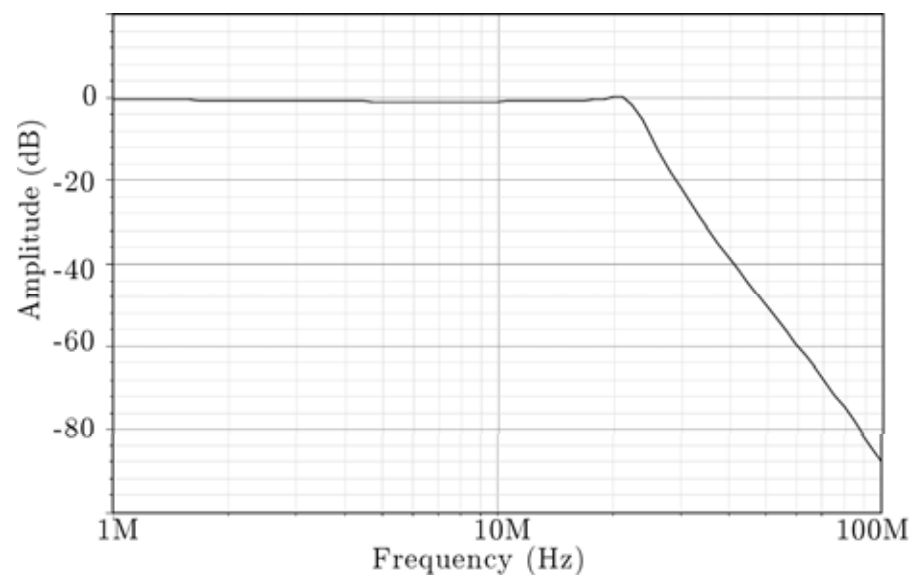
LPF全体のレイアウト



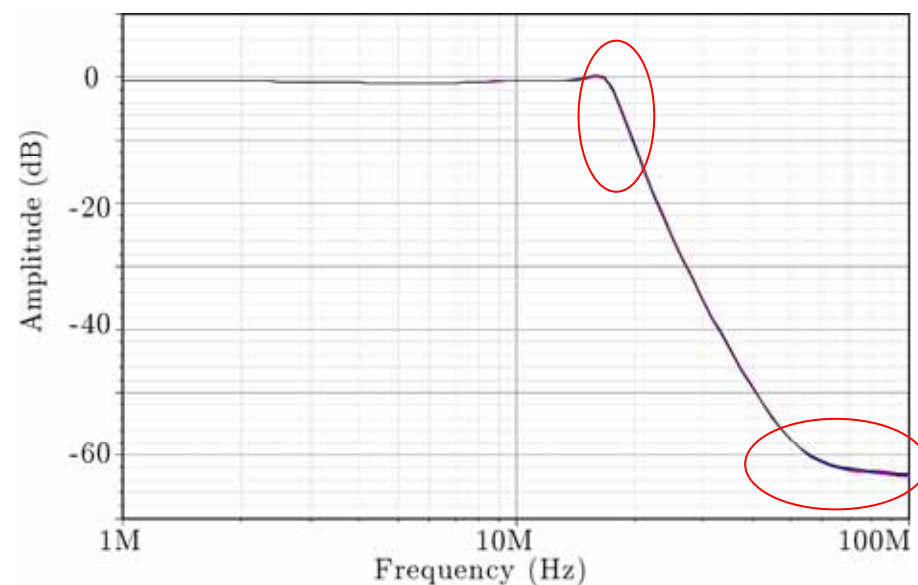
LPFアレイのレイアウト



シミュレーション結果 (フィルタアレイ + バッファ + パッケージ寄生素子)



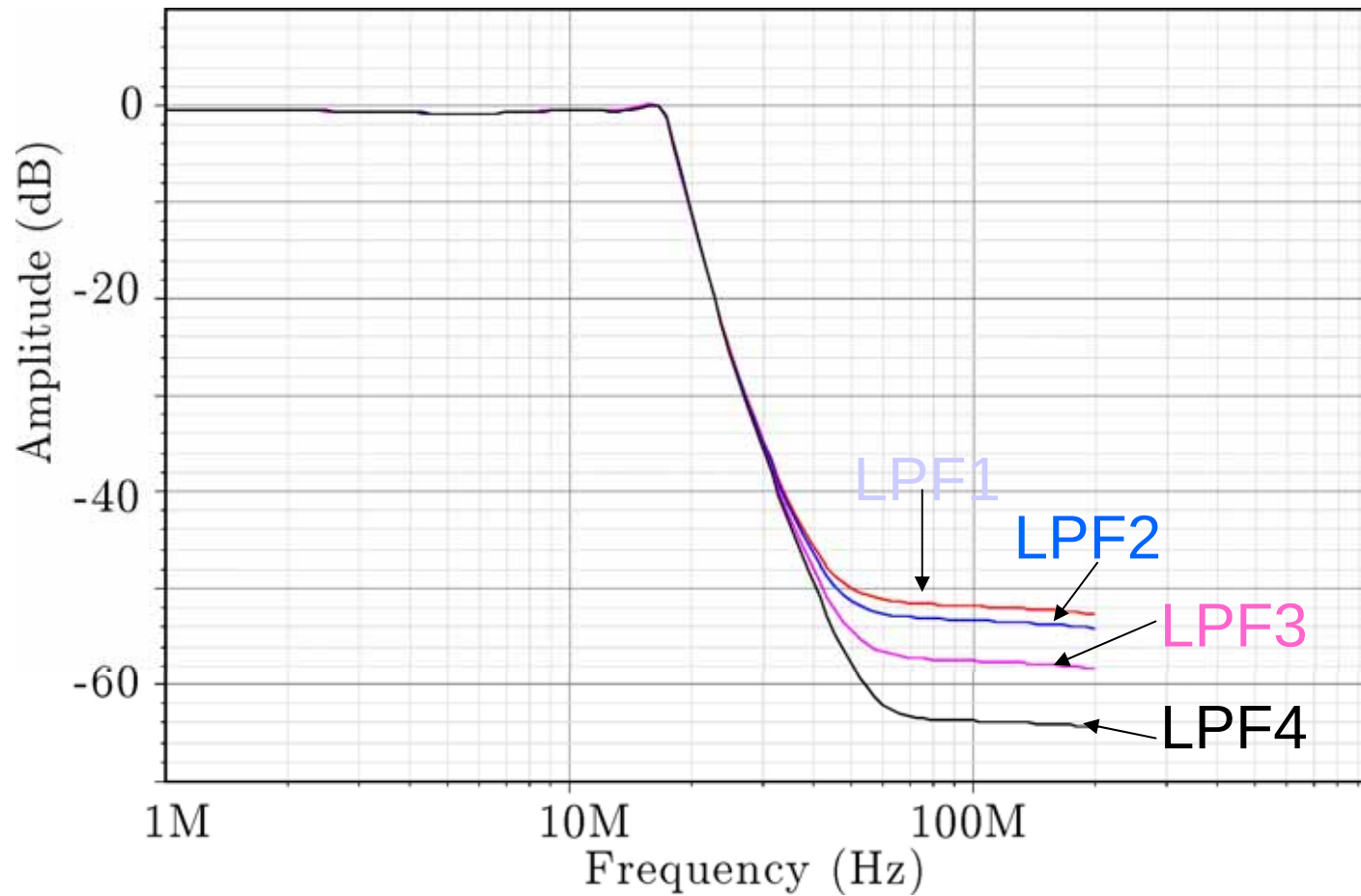
pre-layout



post-layout

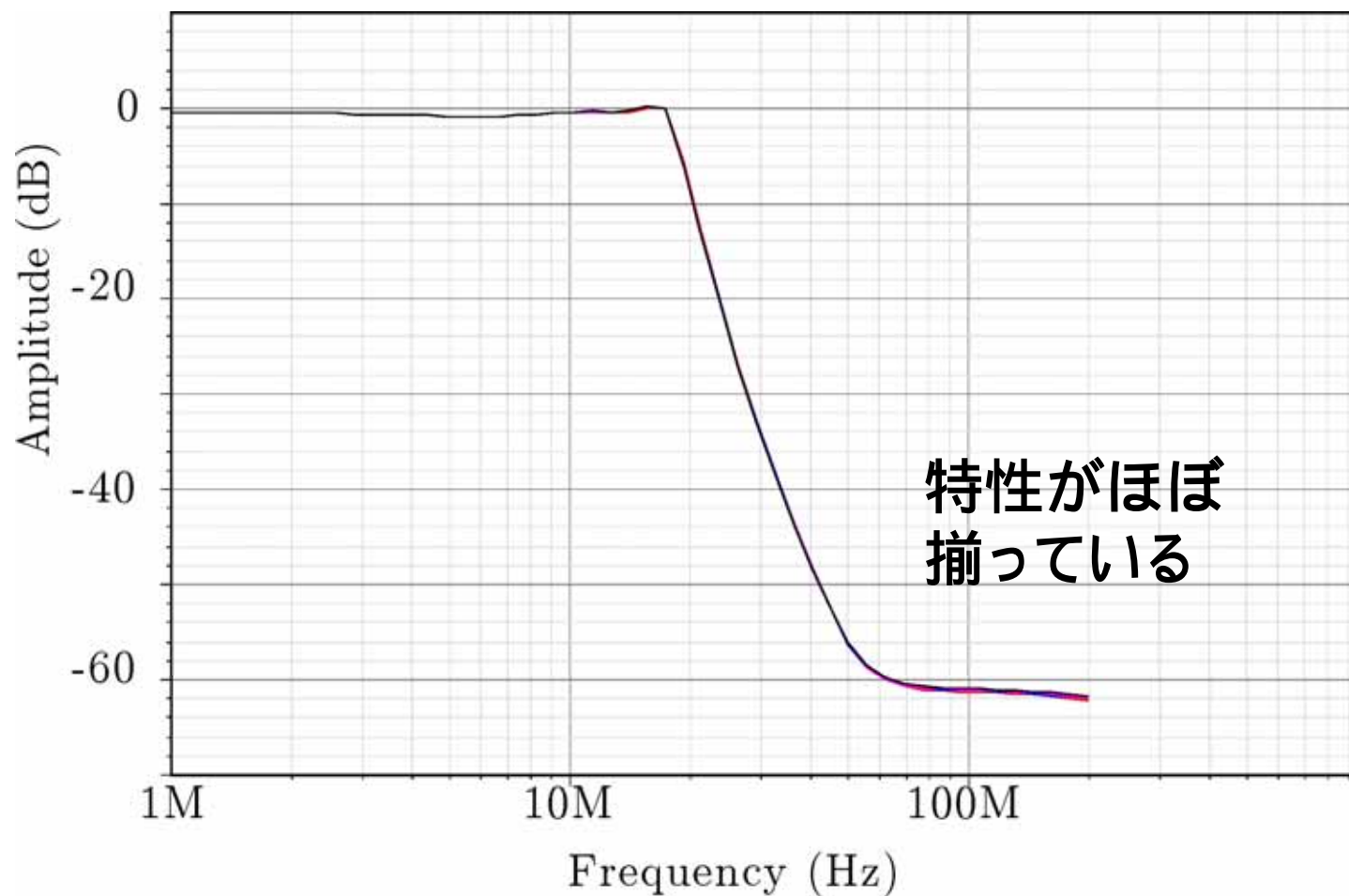
寄生容量と寄生抵抗による
影響

ポストレイアウトシミュレーション(フィルタアレイ) 修正前

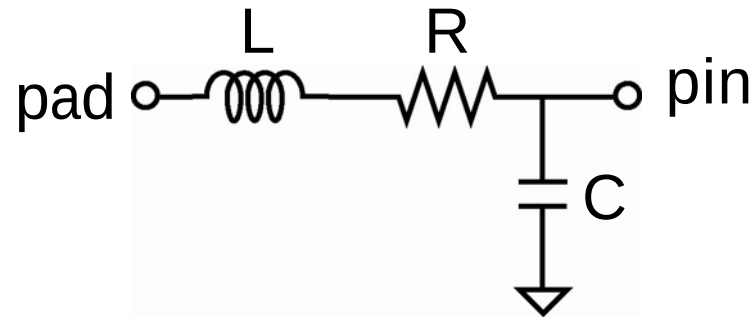


接地ラインや電源ラインの長さの差

ポストレイアウトシミュレーション(フィルタアレイ)
修正後(接地ラインと電源ラインの長さを揃える)



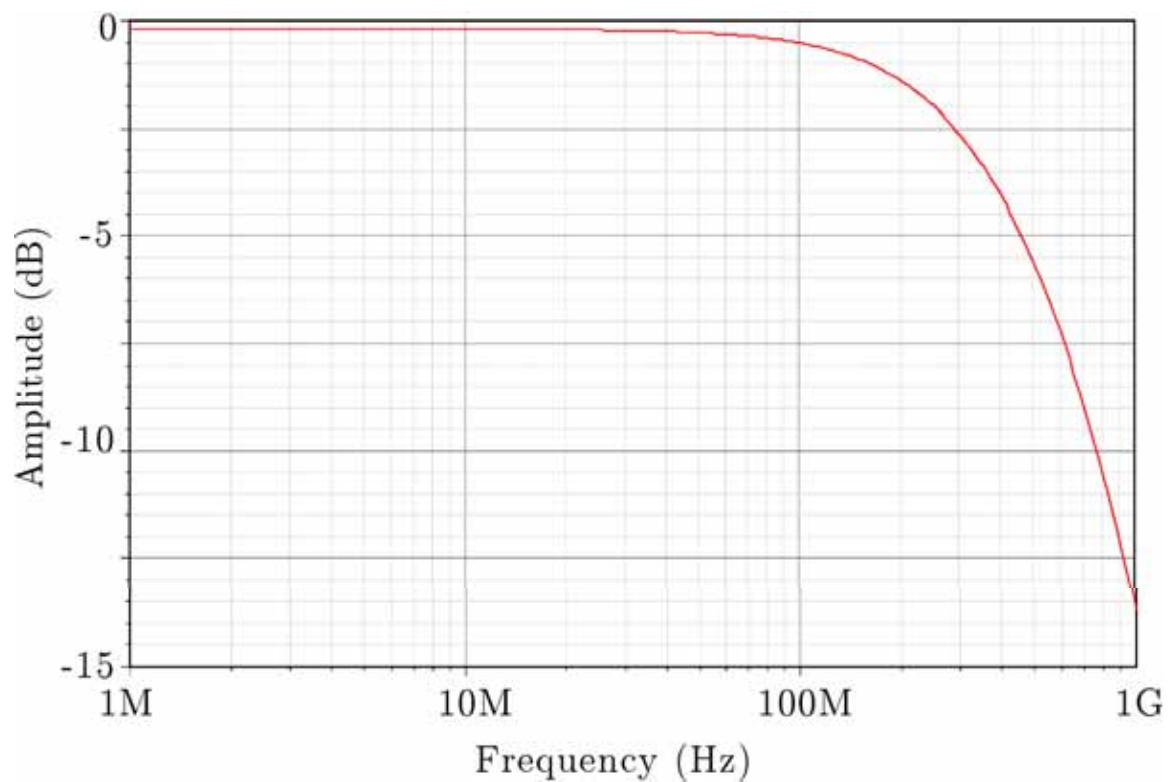
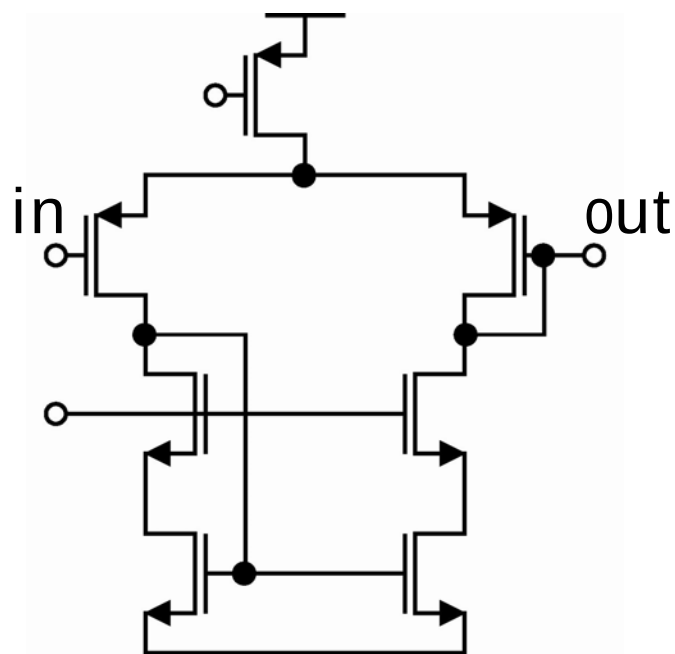
パッケージの寄生素子 (QFP100)



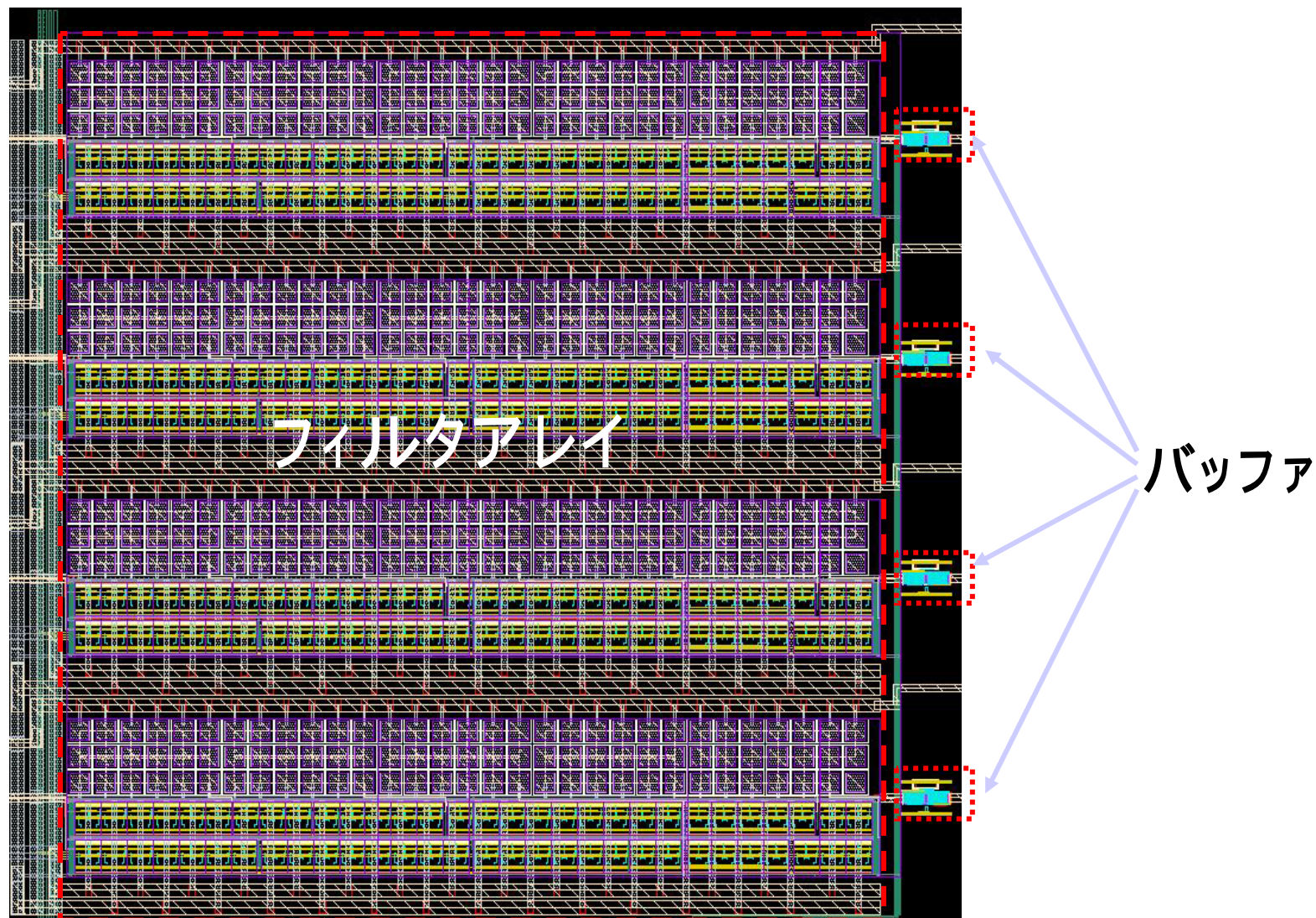
素子	素子値
L	2.7nH
C	1.5pF
R	70m Ω

出力バッファが必要

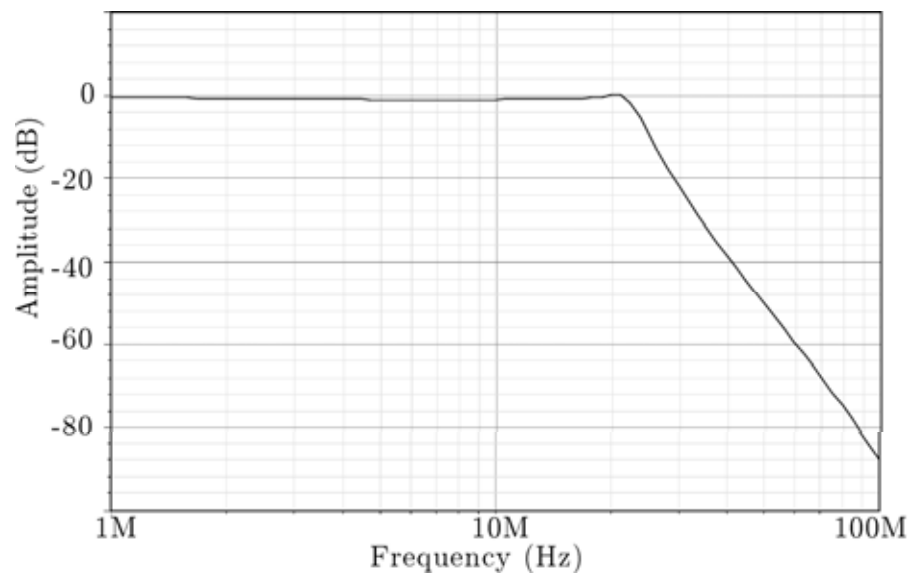
バッファ回路構成(パッケージ寄生素子を含む)



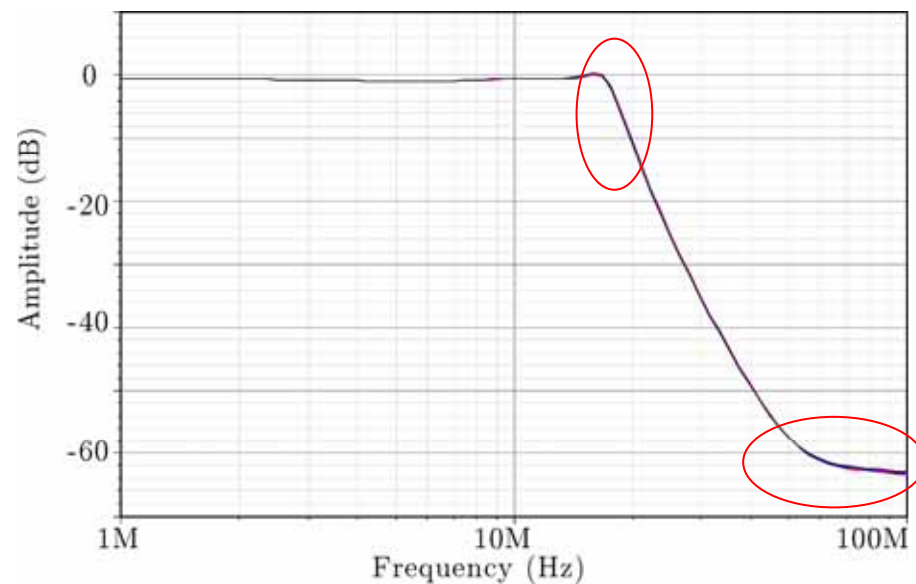
最終レイアウト(フィルタアレイ + バッファ)



シミュレーション結果 (フィルタアレイ + バッファ + パッケージ寄生素子)



pre-layout



post-layout

電源配線抵抗が大

修正: 電源配線を太く

