電気電子基礎学

集積回路　その1

電子物理工学専攻
松澤　昭

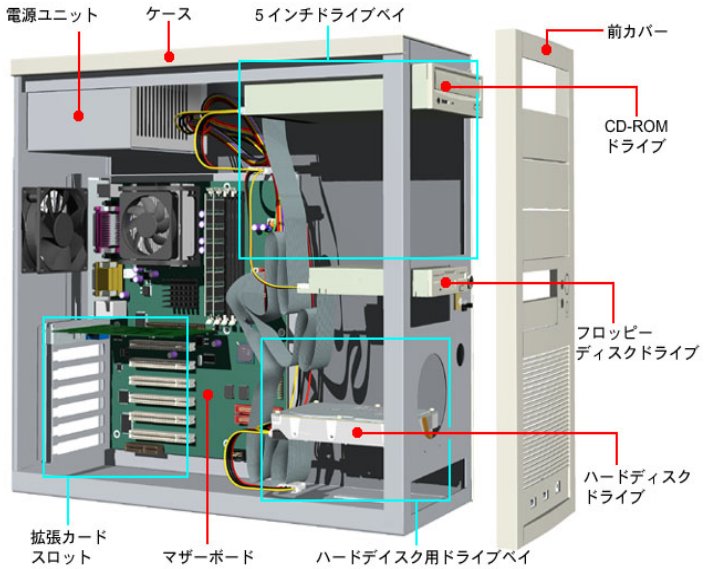
松澤研究室ホームページにいろいろな資料があります。
http://www.ssc.pe.titech.ac.jp

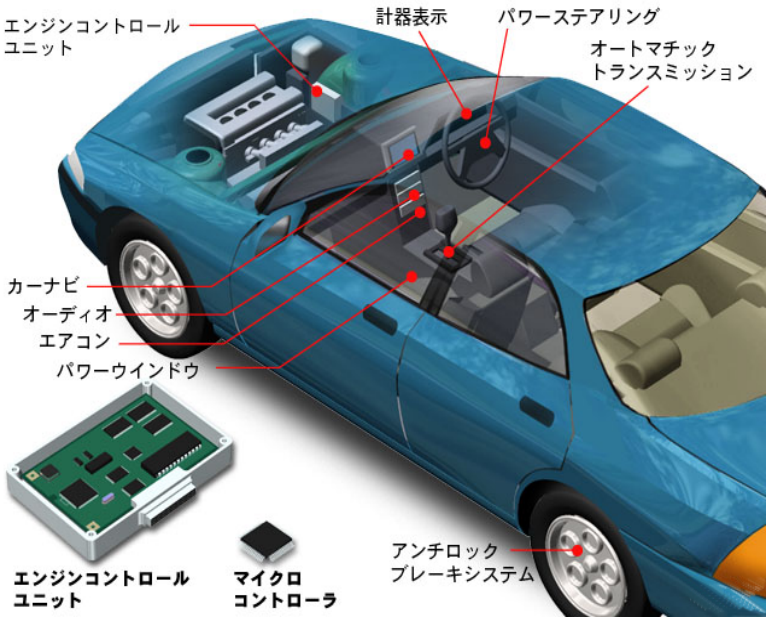
集積回路と現代の電子機器

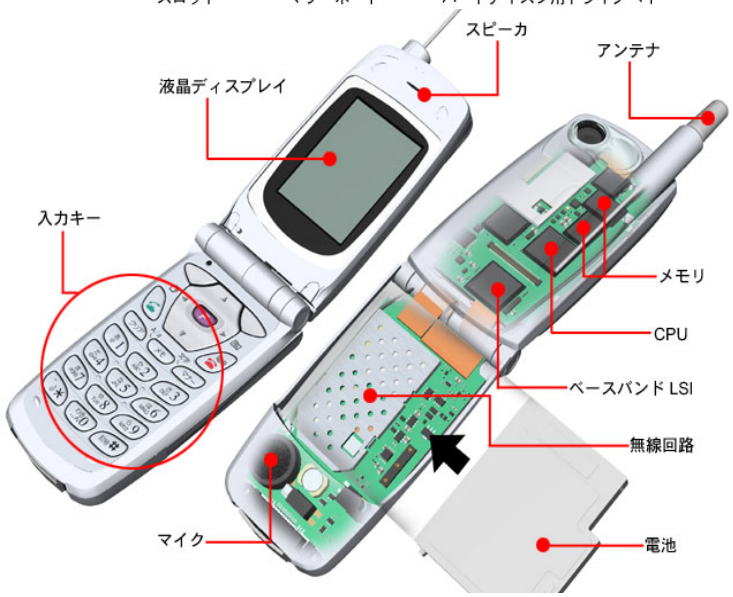
集積回路はどこにある？

集積回路：　Integrated Circuit

いまや日常の暮らしと切っても切り離せない集積回路。
電気製品の殆ど全て、車、機械、玩具など多くのものに
使用されている。



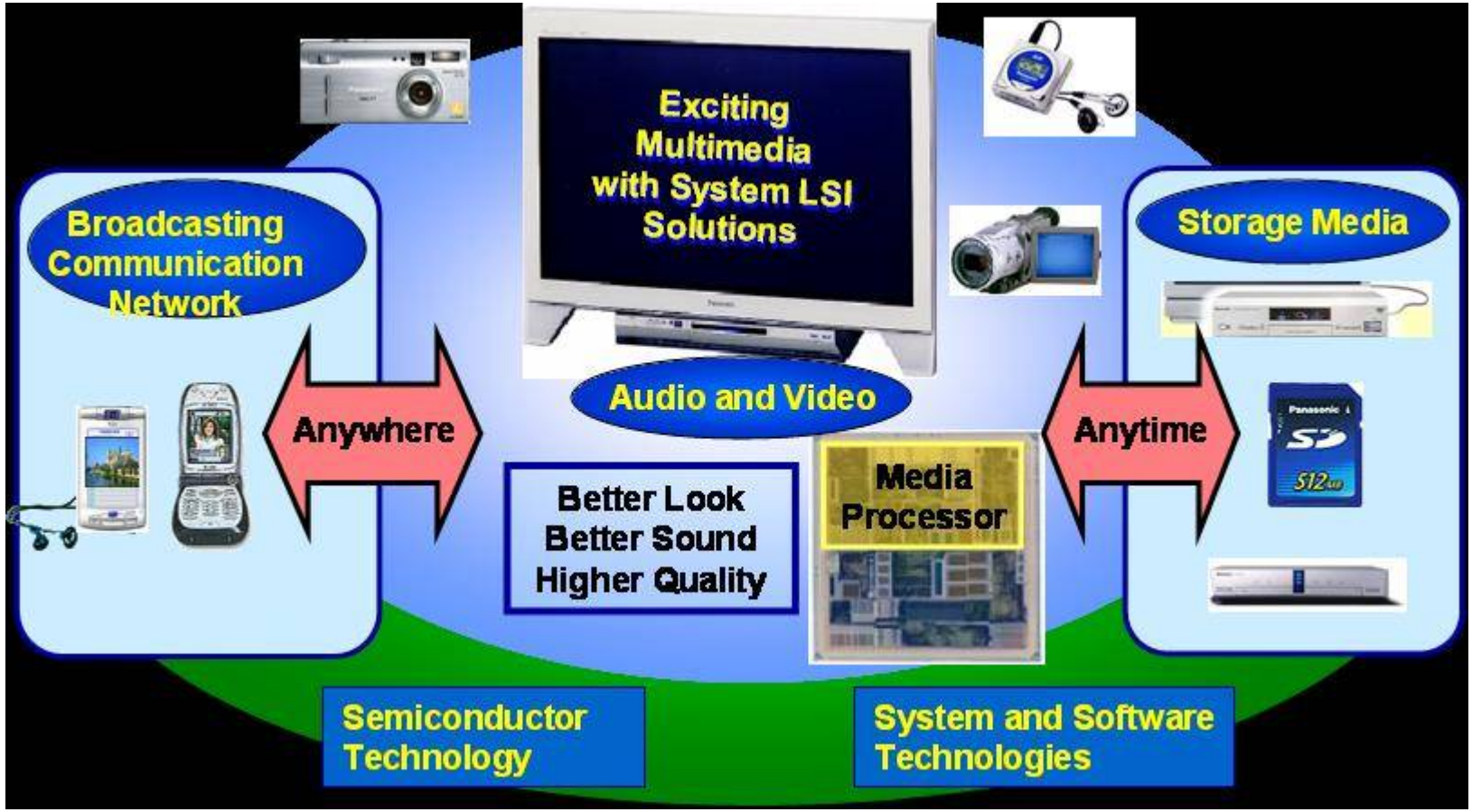




デジタル情報家電

デジカメ、カメラ付携帯電話、DVDレコーダー、デジタルTV、フラットディスプレーなどのデジタル情報家電機器が大成長。これらの機器には1～2個のシステムLSI (SoC)が使用されている。

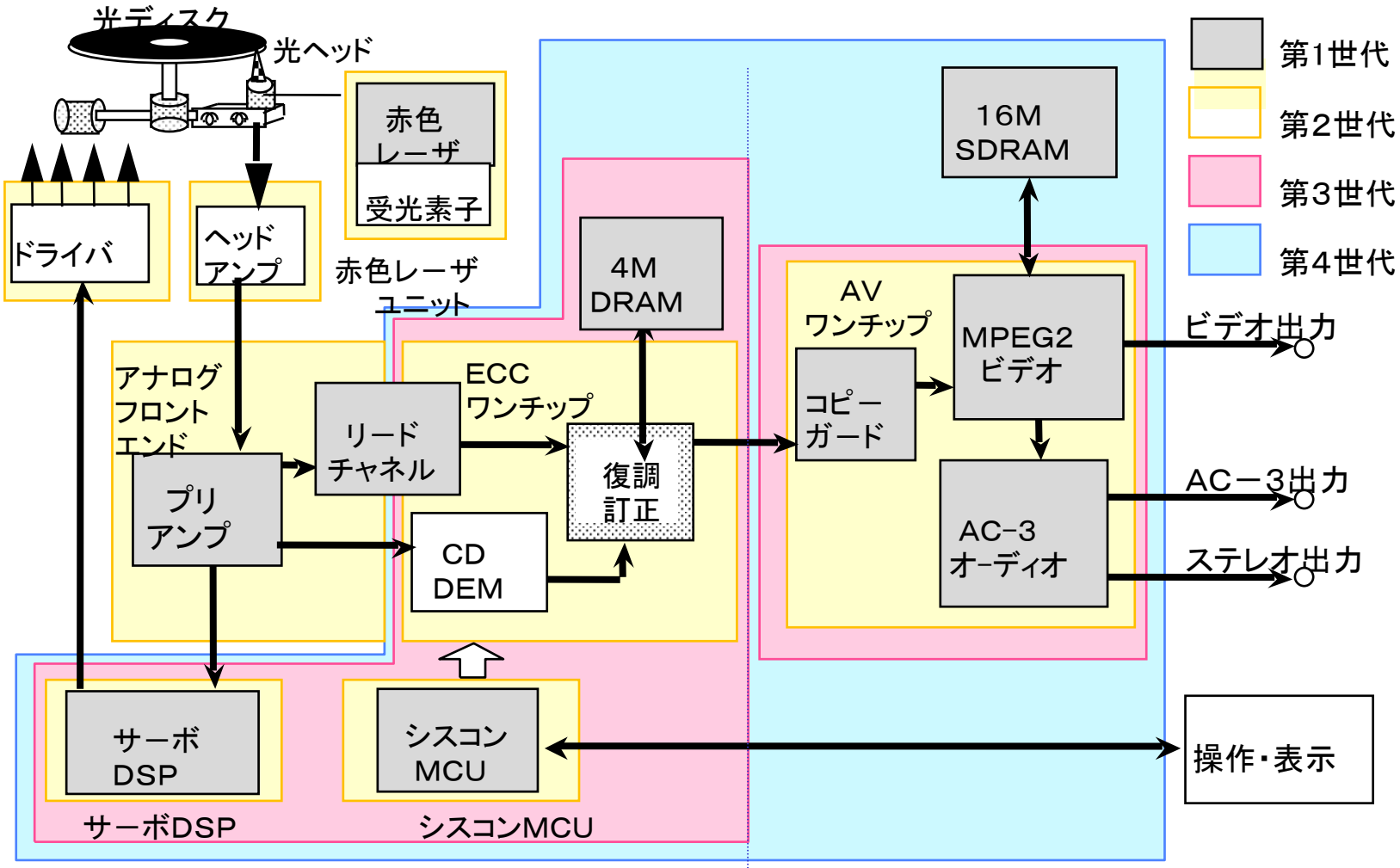
SoC: System on a Chip：システムレベルの集積ができる集積回路



DVD用システムLSI

DVDのような複雑なシステムもワンチップSoCで全システムが集積可能

チップ：集積回路のこと



アナ・デジ混載SoC：DVDの完全ワンチップ化

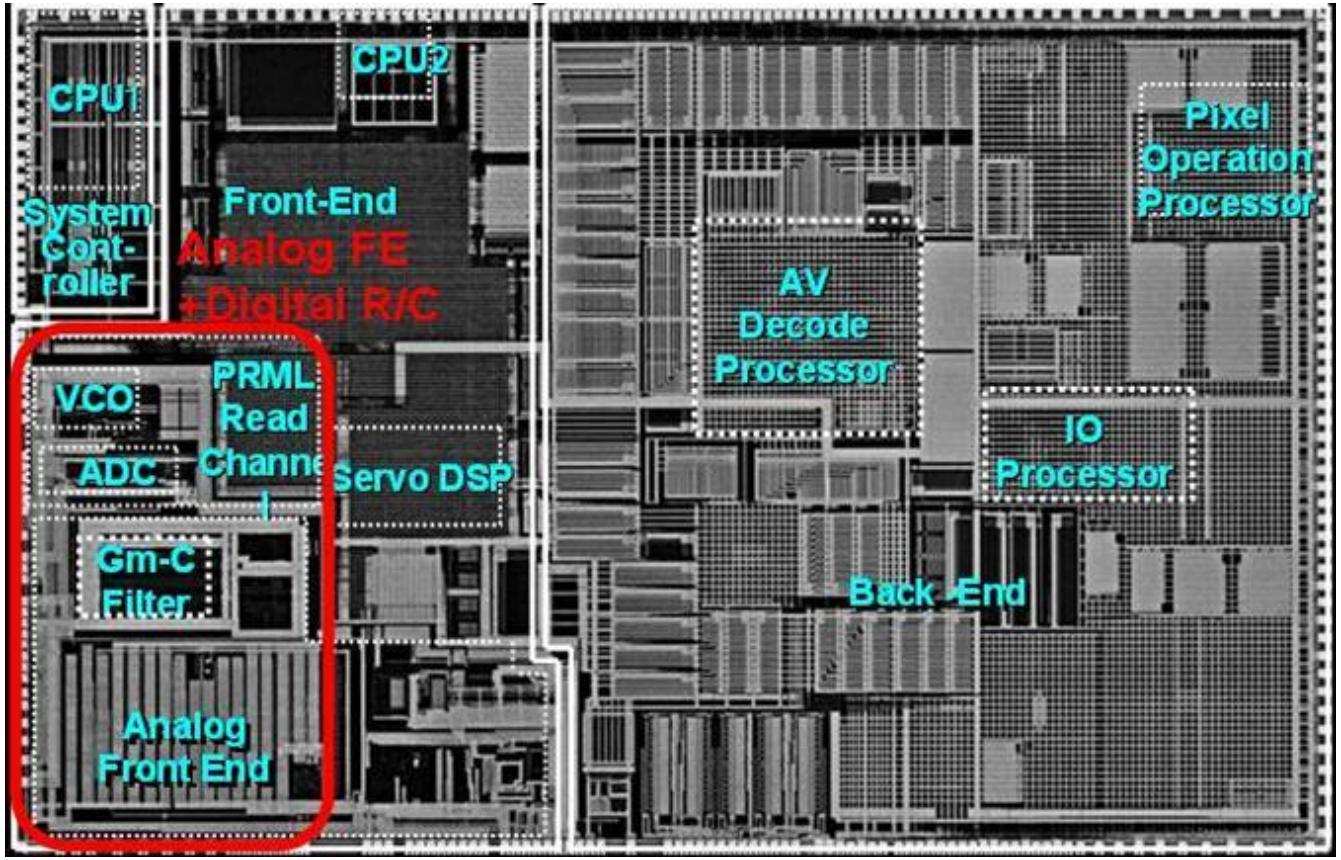
高性能アナログを含むDVDの全機能を0.13um技術を用いてワンチップに集積した。

この集積回路1個でDVDの殆どの信号処理が実現できる

0.13um, Cu 6Layer, 24MTr

アナ・デジ混載：アナログ回路とデジタル回路を同時に集積すること

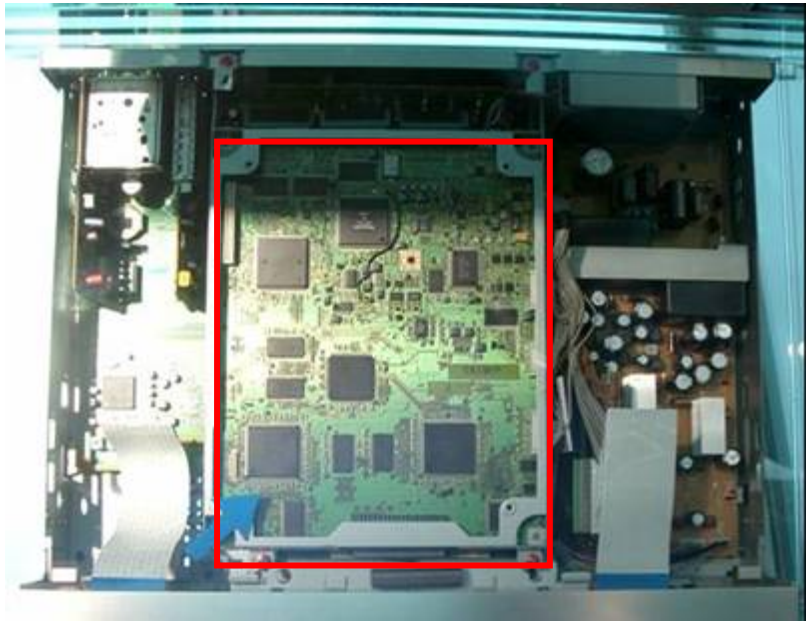
Okamoto, et al., ISSCC 2003



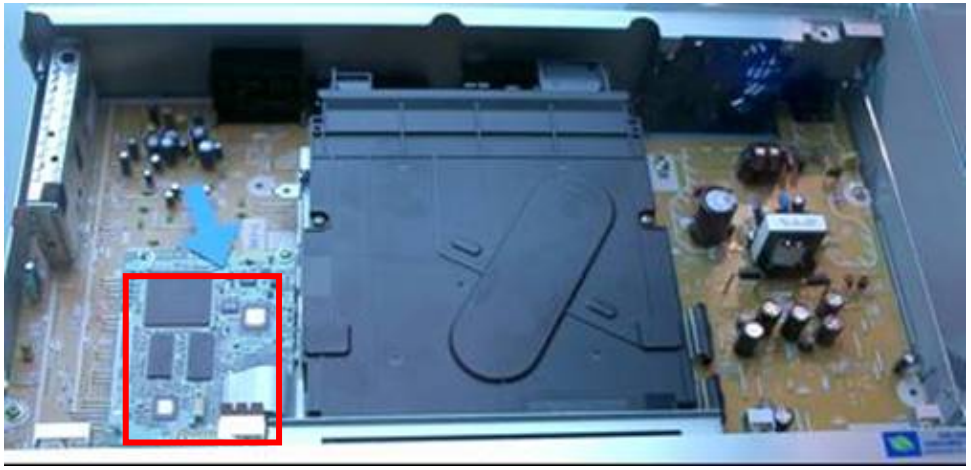
DVD Recorderの基板

集積回路技術の進展により従来多くの集積回路が必要だったものが1つの集積回路に集積可能になった。このためケース内部のボードは驚くほど簡単になっている。
これが性能向上とコストダウンに寄与している。

2000年モデル



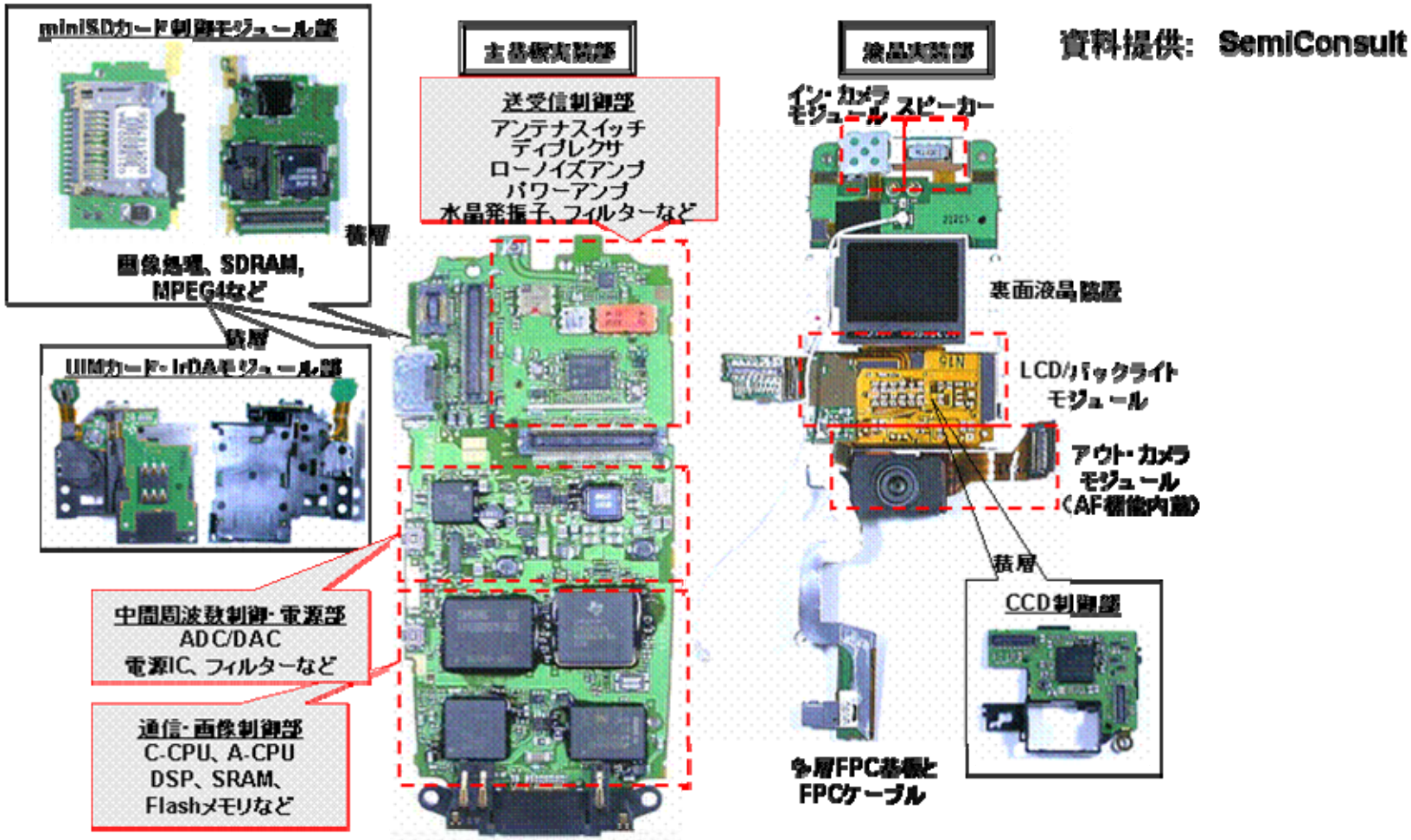
2003年モデル



携帯電話システム

現代の携帯電話は画像処理回路やデジカメ機能まで集積している。

P900iの主回路基板と半導体パッケージ



ユビキタスネット：RF-TAG

このような「ゴマ粒チップ」が全ての物に入りネットワークを形成しようとしている

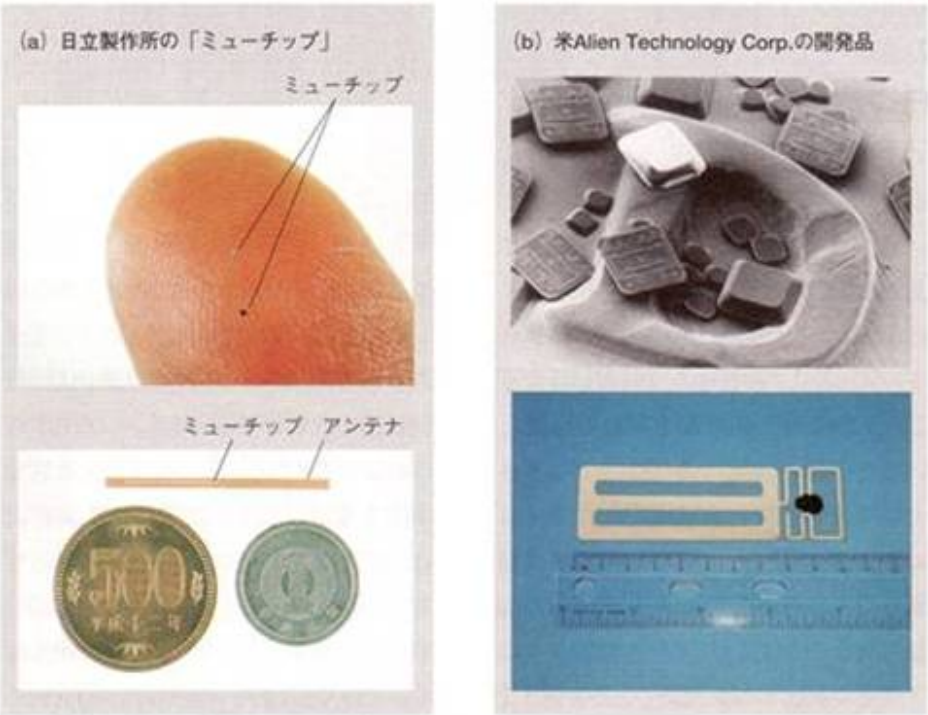
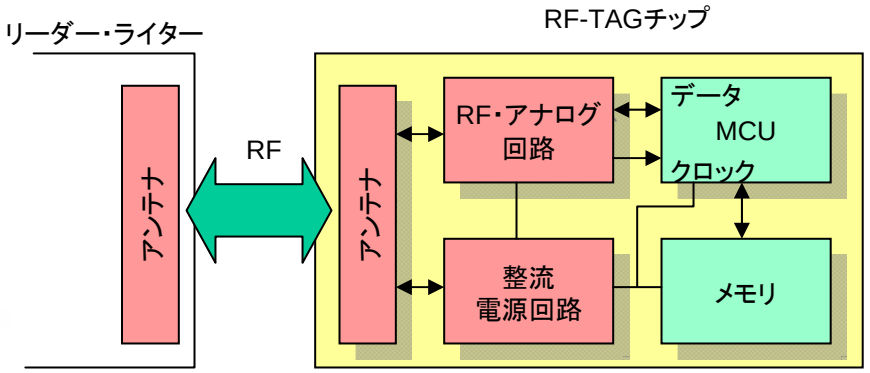


図1　「粉末」のような無線タグ用チップが登場
日立製作所の「ミューチップ」の外形寸法はわずか0.4mm×0.4mm×0.06mmである（a）。これにアンテナを外付けして使う。通信に用いる周波数は2.45GHzである。米Alien Technology Corp.が開発したチップは1辺が0.1mm～0.2mmとさらに小さい（b）。30mm×100mm程度のアンテナを外付けすることで，リーダーと5mほど離れても使えるという。用いる周波数は915MHz（米国向け），868MHz（欧州向け），2.45GHz（日本向け）の3種類。

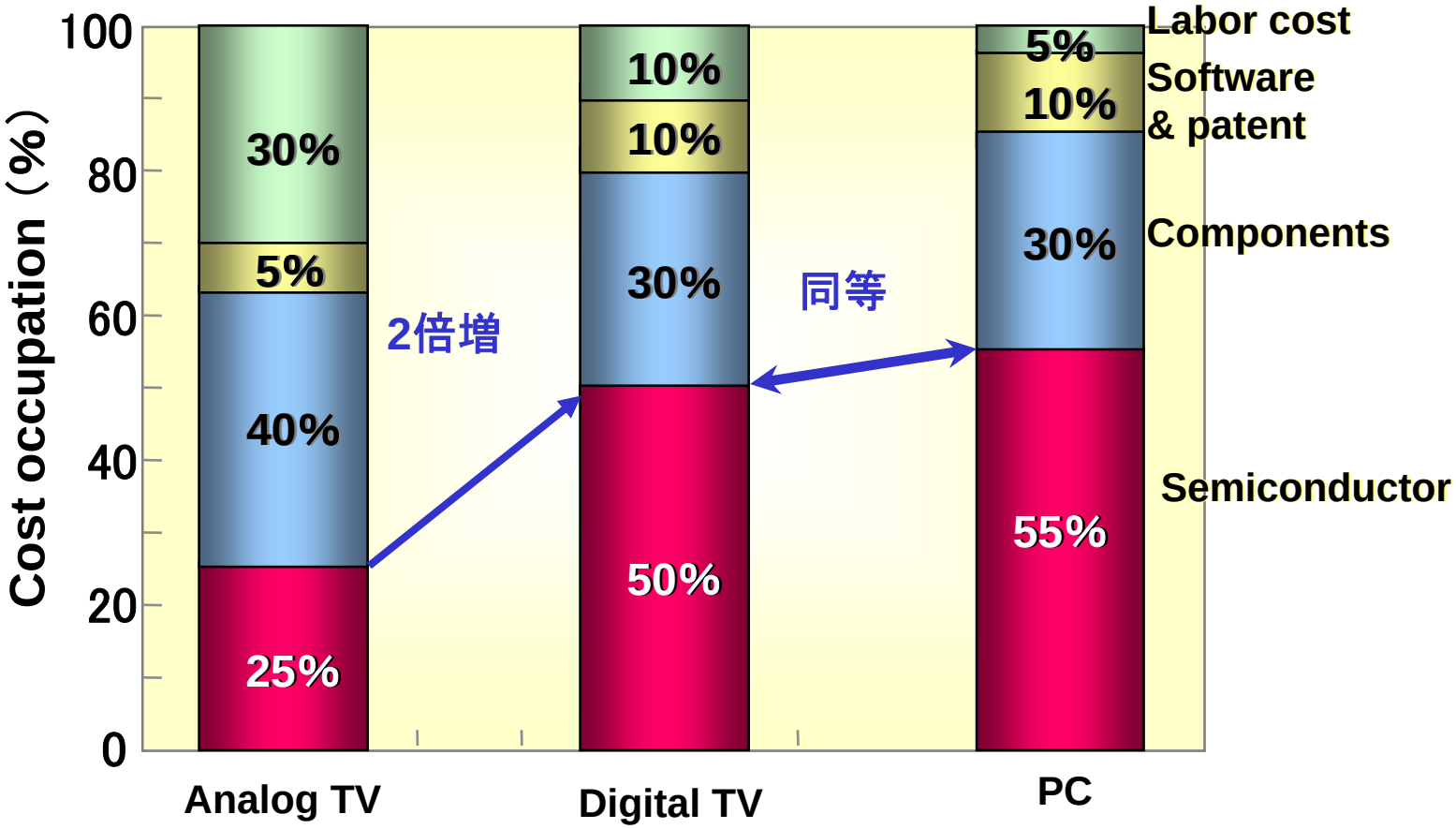
0.4mm角，厚さ0.1mmの小さなチップではあるが、2.4GHzの電波を用いてデータ通信が可能。動作電力も電波を整流して作り出す。お札に入れることも可能。



日経エレクトロニクス
2002. 2. 25, pp. 132

デジタル情報家電用機器のコスト構成

機器のデジタル化によりコスト構成はPCと殆ど同じになった。
半導体投入比率は倍増している。機器=半導体の時代になった。



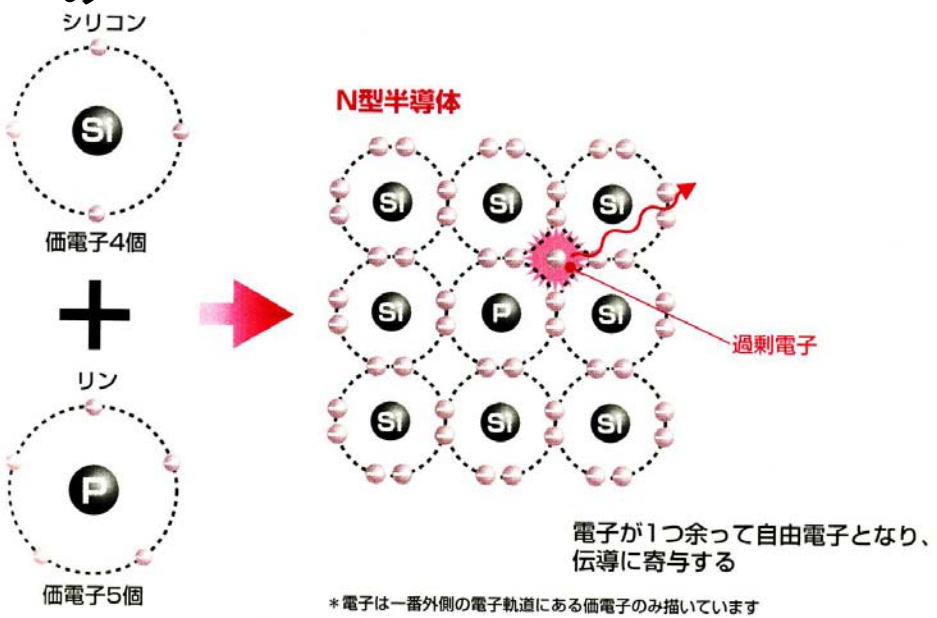
半導体とMOSトランジスタ

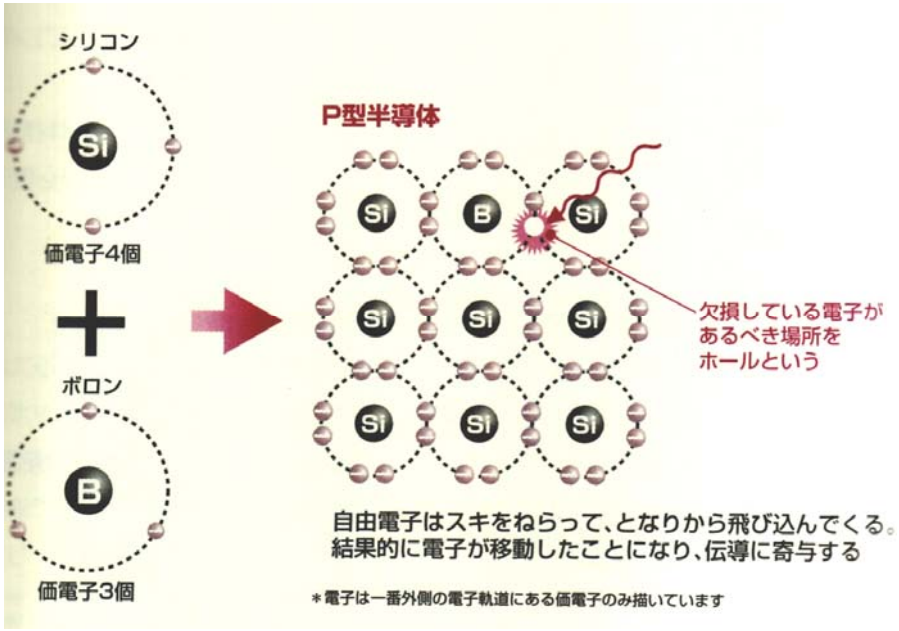
集積回路は半導体とMOSトランジスタを基本としているので
まずこれから簡単に説明する。

N型半導体とP型半導体

Ｎ型半導体：シリコン(4価）基板中に微量のリン（５価）を入れると過剰電子が生まれ
自由電子（負電荷）となって伝導に寄与できるようになったもの
Ｐ型半導体：シリコン(4価）基板中に微量のボロン（３価）を入れると電子欠損が生じ
ホール（正電荷）となって伝導に寄与できるようになったもの

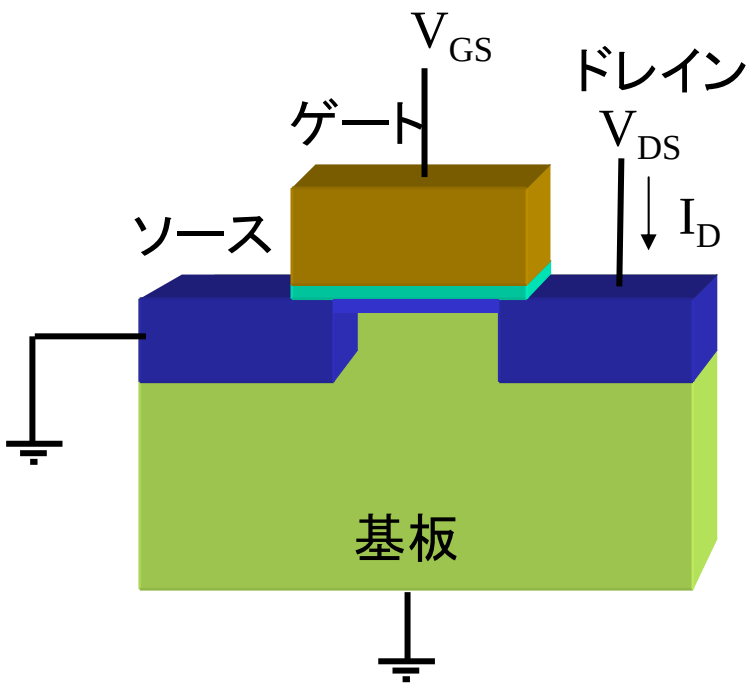
P型半導体とN型半導体を組み合わせて様々な電子デバイスができる

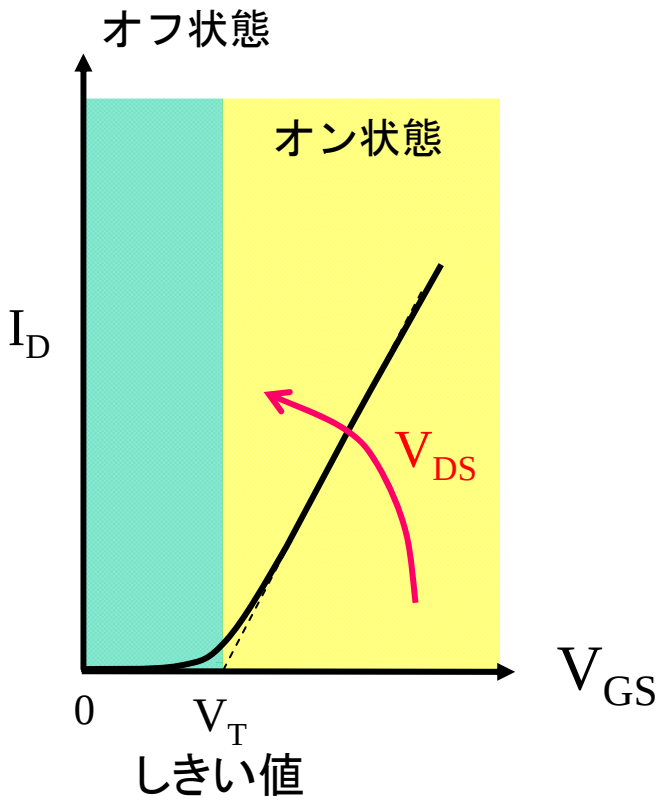




MOSFETの電気特性

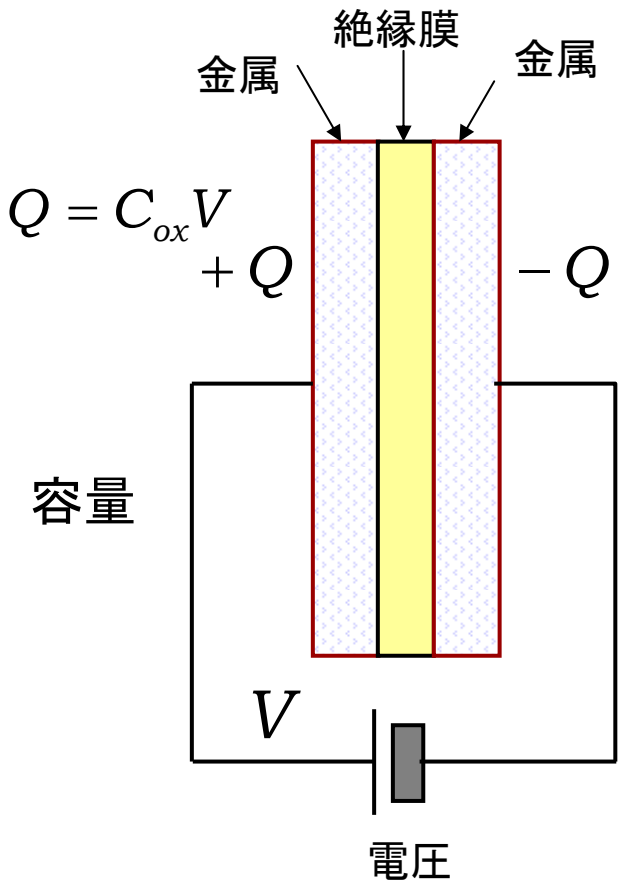
NMOSトランジスタはゲートにしきい値電圧より高い正の電圧をかけると電流が流る。
PMOSトランジスタではしきい値電圧以上の負の電圧をかけると電流が流れる。

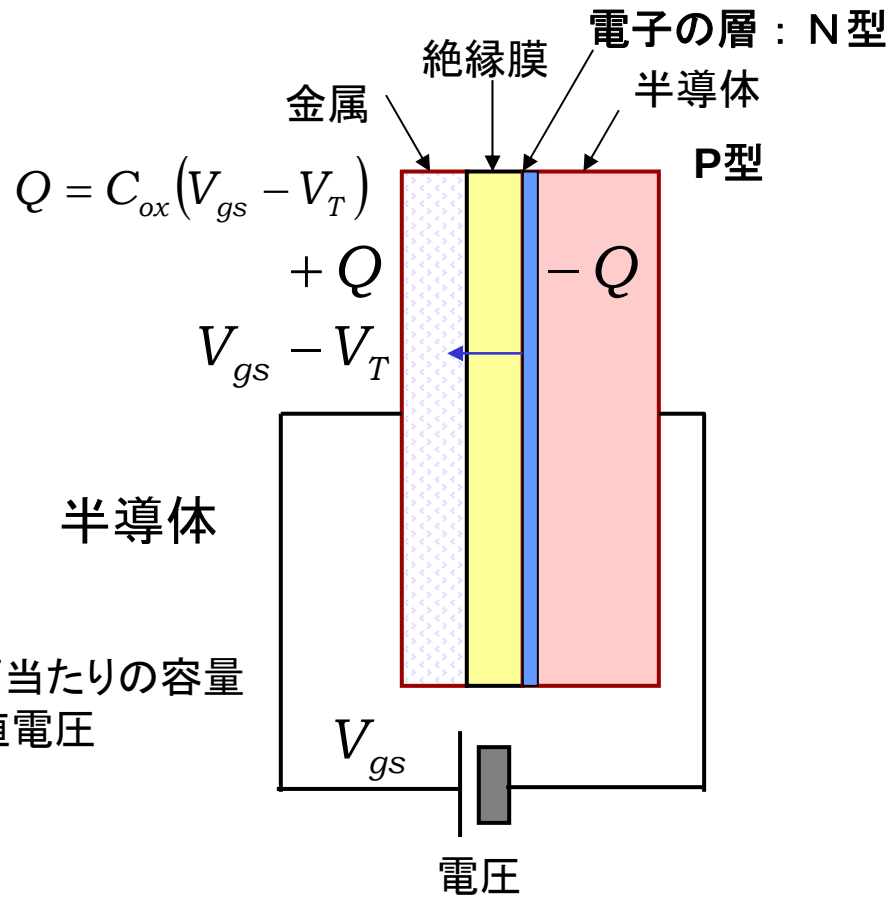




MOSトランジスタ

絶縁体を金属で挟み、電圧を印加すると金属の表面に電荷が発生する。
一方の金属をＰ型半導体で置き換え(MOS構造）、金属側に正の電圧を印加すると
あるしきい値電圧V_T以上ではP型半導体の表面に電子が現れる。
この電子により半導体表面はN型になり、電子の量は印加電圧に比例する。

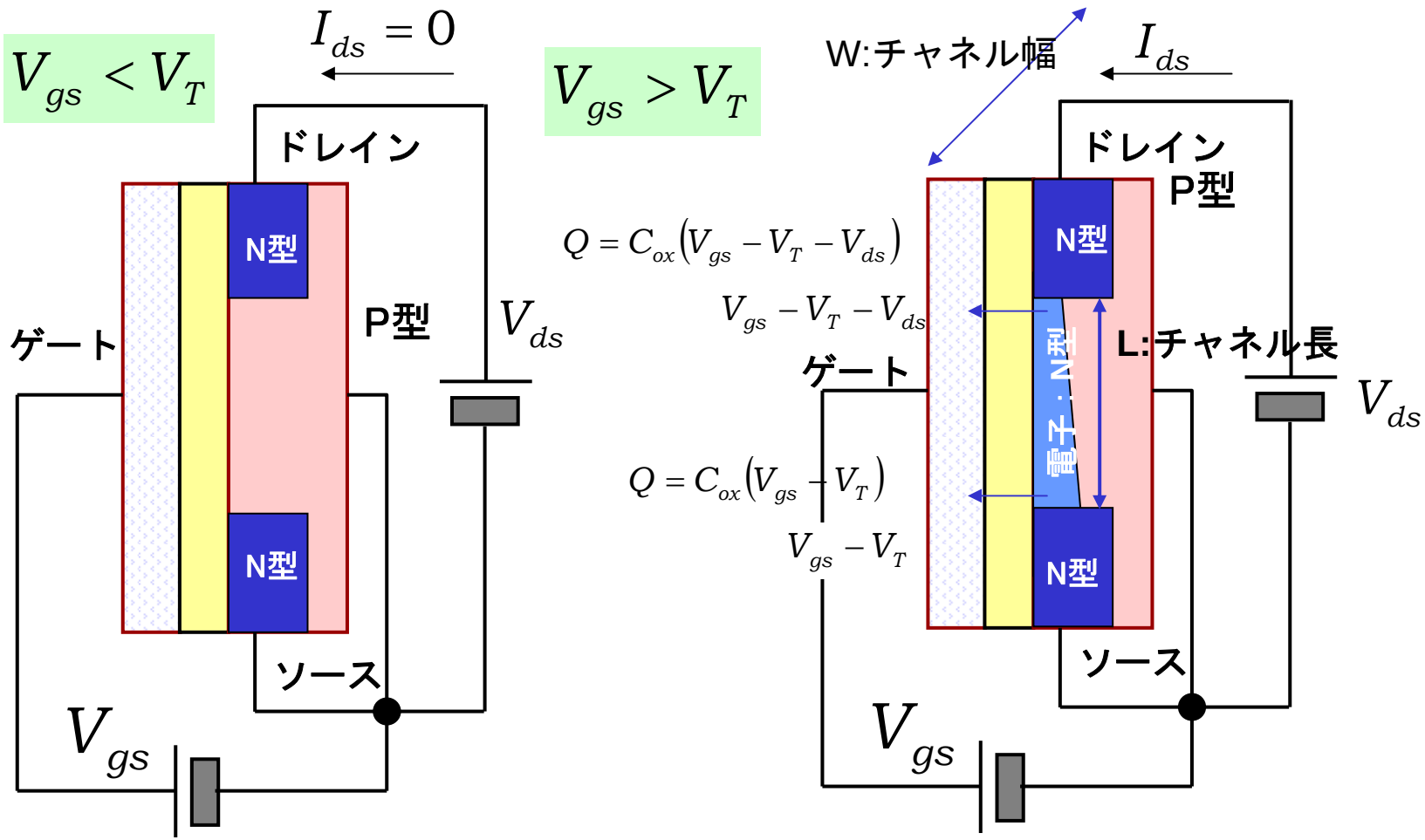




C_{ox}:単位幅当たりの容量
V_T:しきい値電圧

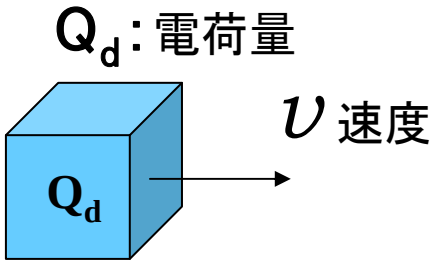
MOSトランジスタを流れる電流

P型半導体表面にN型半導体領域を形成し電圧V_{ds}を印加する。
$V_{gs}<V_T$では半導体表面にN型領域が形成されないので電流が流れるチャネルが形成されず、電流が流れないが、$V_{gs}>V_T$では半導体表面にN型領域が形成されるので、チャネルとなり電流が流れる。



半導体中を流れる電流

電流は川の流れのように電荷量に速度をかけたものである。



電流=動ける電荷（キャリア）の量 ×速度　　$I = Q_d \cdot \upsilon$

動ける平均電荷（キャリア）の量　　$Q = W \cdot C_{ox} \cdot \left(V_{gs} - V_T - \frac{V_{ds}}{2} \right)$

速度　　$\upsilon = \mu E = \mu \frac{V_{ds}}{L}$

電流　　$I_{ds} = \mu C_{ox} \cdot \frac{W}{L} \cdot \left(V_{gs} - V_T - \frac{V_{ds}}{2} \right) V_{ds}$

MOSFETの電圧・電流特性

V_{ds}が高くなるとドレイン近傍のゲートと半導体間には電子を発生させるだけの十分高い電圧がかからず、電子は生じなくなる。しかしながら、ソース付近では十分な電子が発生しているため、これが電流となる。そこで、この限界電圧を有効なチャネル領域に印加される電圧と考え、$V_{ds}=V_{gs}-V_T$と置き換えると飽和領域での電流が導かれる。この領域では電流はドレイン電圧とは無関係にゲート電圧で決まる。

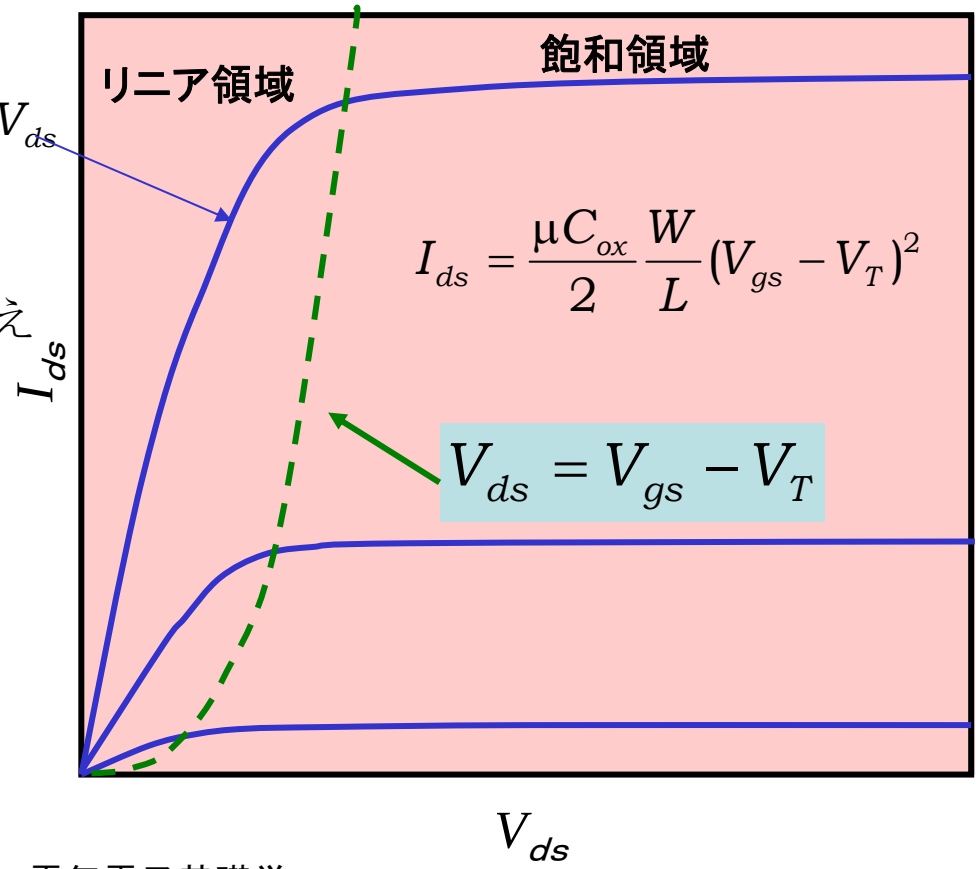
リニア領域

$$I_{ds} = \mu C_{ox}\frac{W}{L}(V_{gs} - V_T - \frac{V_{ds}}{2})V_{ds}$$

$$V_{ds} \rightarrow V_{gs} - V_T$$ の置き換え

飽和領域

$$I_{ds} = \frac{\mu C_{ox}}{2}\frac{W}{L}(V_{gs} - V_T)^2$$



集積回路ができるまで

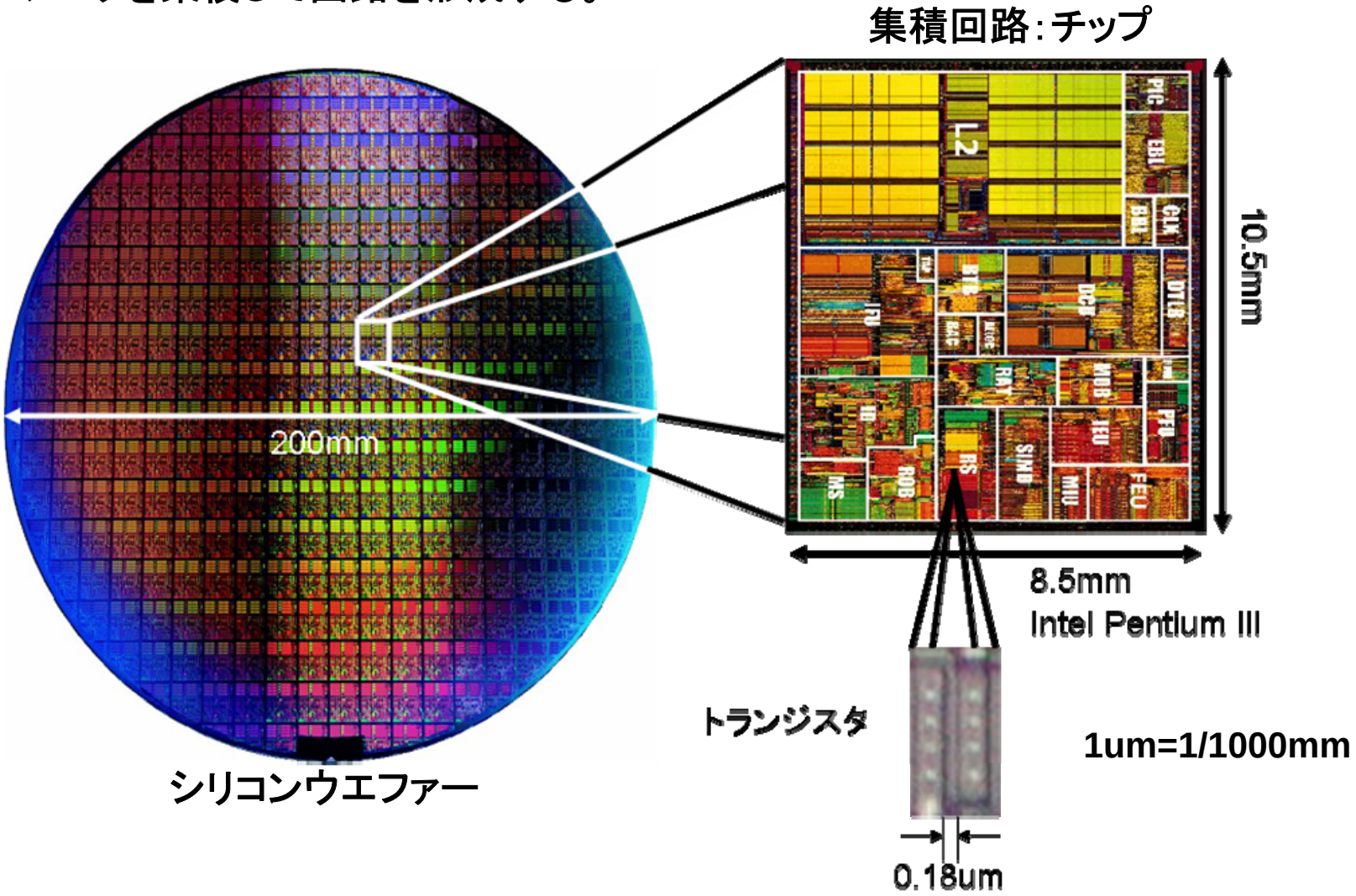
集積回路とは？

- 1cm^{2}程度のシリコンチップ上に数百万から１億のトランジスタを集積し、回路ブロックを形成し、その結合によりシステムを実現したもの。

- 回路の種類
  - デジタル論理回路
    - CPU、演算回路、デジタル信号処理回路、インタフェース回路
  - メモリ回路
    - RAM、ROM、フラッシュメモリ
  - アナログ回路
    - オペアンプ、A･D変換、D･A変換、PLL、入出力回路
  - センサー
    - CCD、フォトダイオード、ガスセンサ

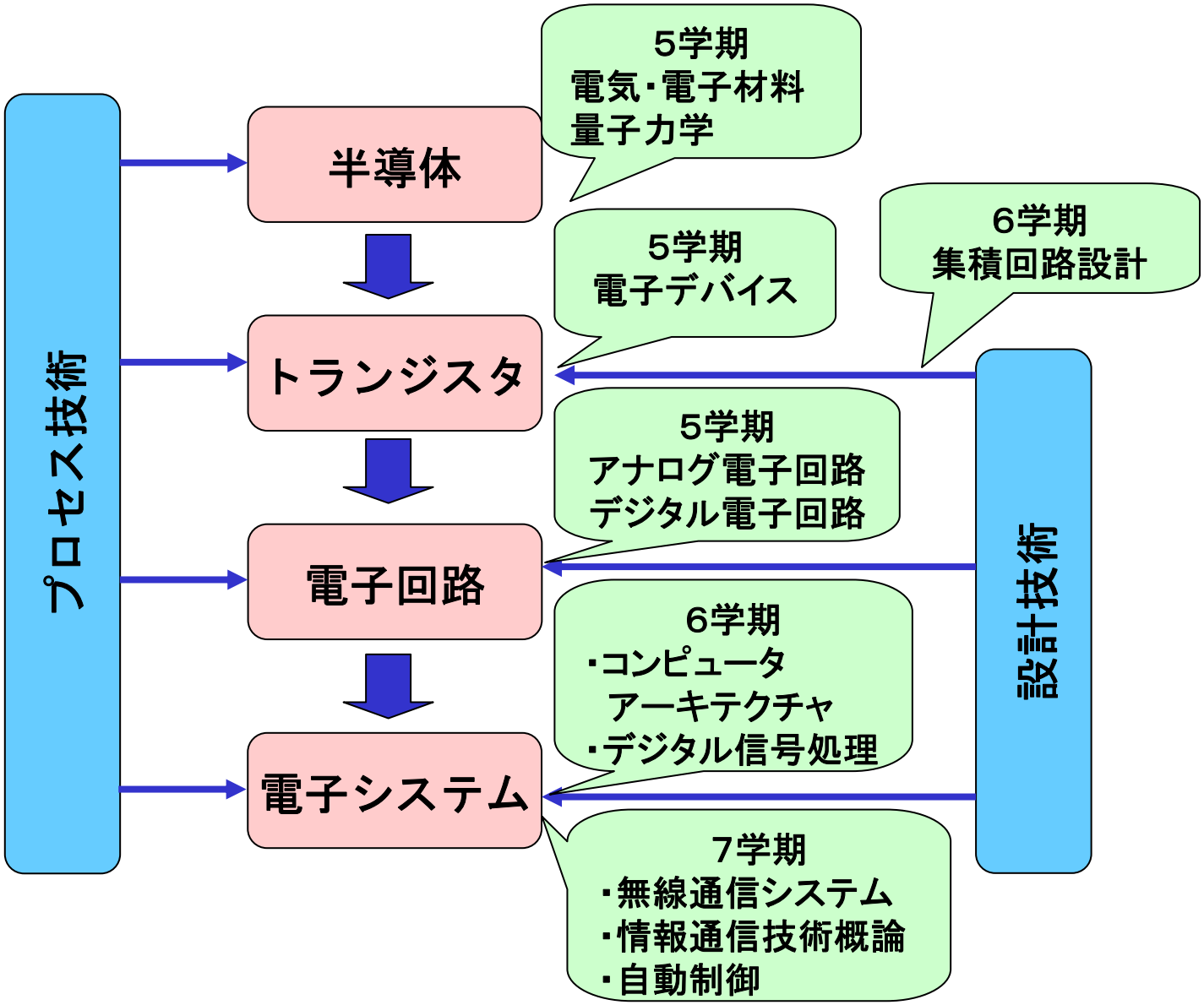
集積回路の構造

直径20cmから30cmのシリコン上ファー上の10mm角のチップに1億程度のMOSトランジスタを集積して回路を形成する。



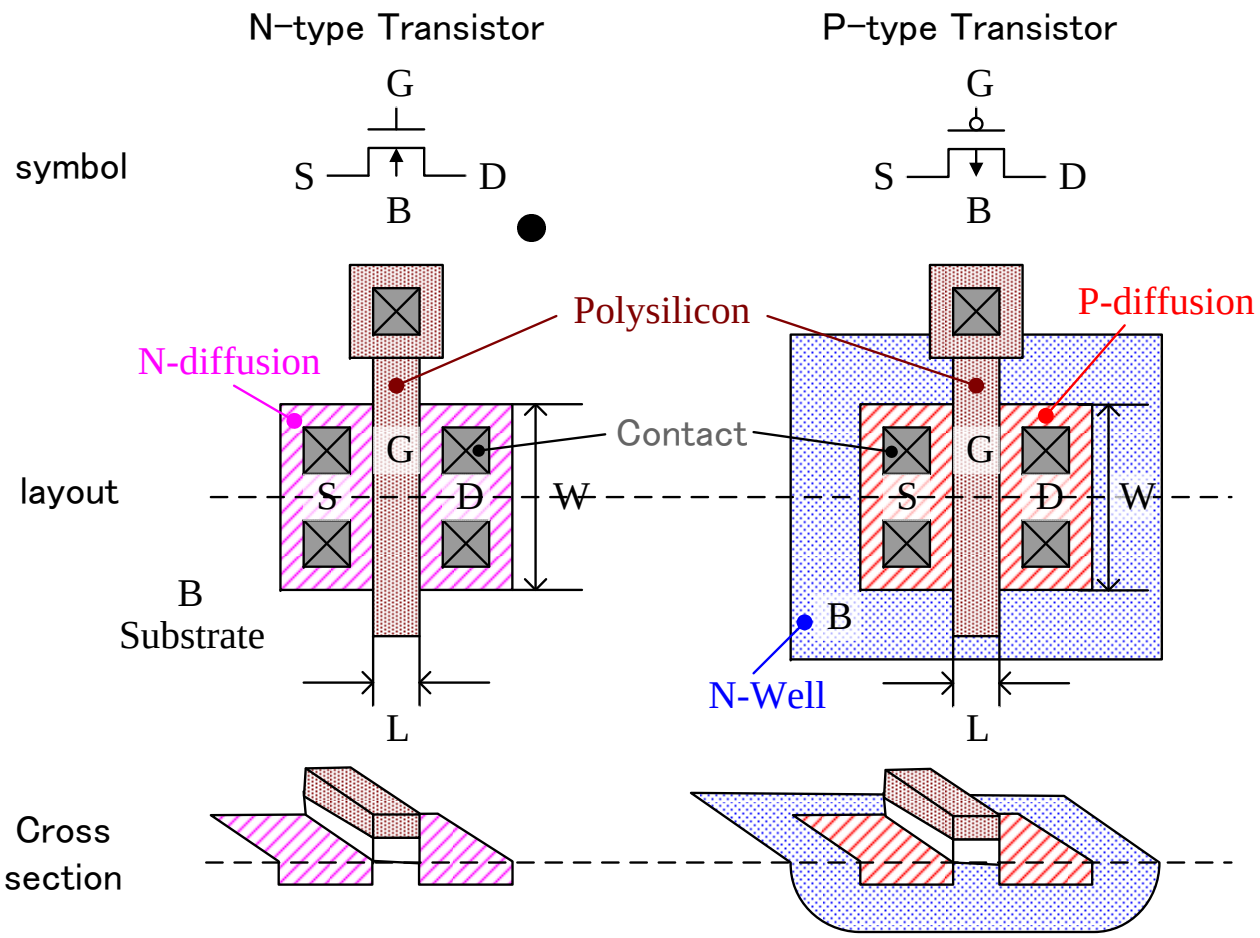
集積回路の技術構造と授業科目

3・4学期に学ぶ講義はすべての基礎であるので省略した



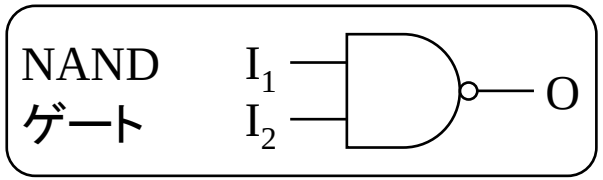
トランジスタの種類と構造

Layout上のCMOSトランジスタの構造

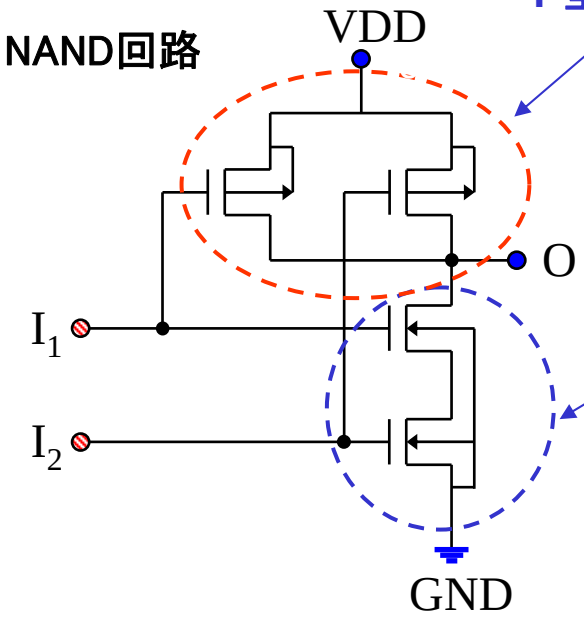


回路とレイアウト

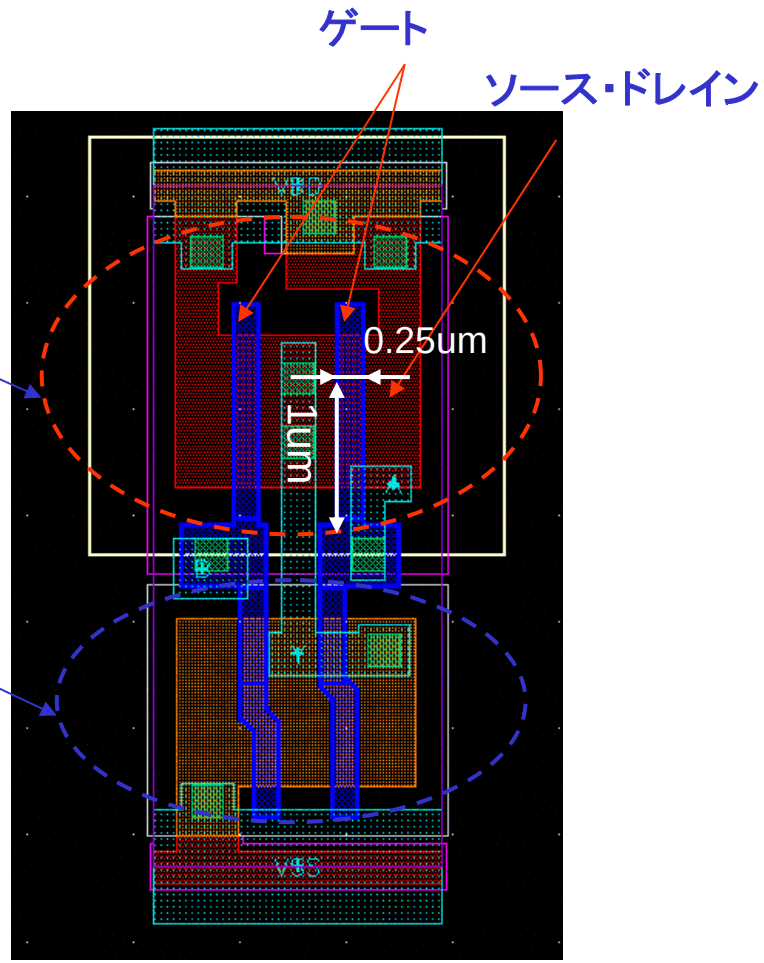
集積回路ではトランジスタや抵抗は特定のパターンを描くことで実現される。
次にトランジスタや抵抗などの素子を接続することで回路が形成される。
これも配線パターンで実現される。



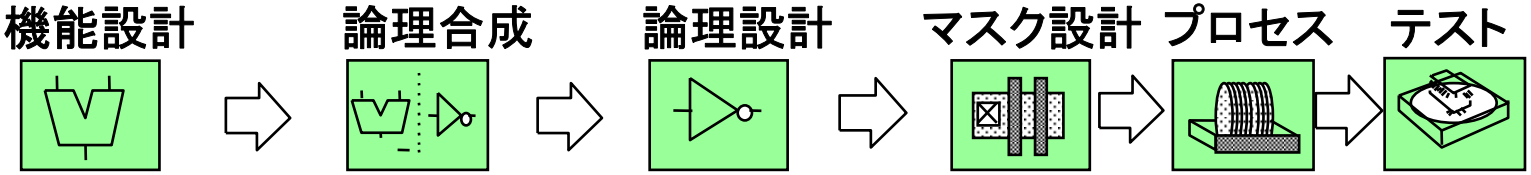
（1）論理図



トランジスタ回路図



ＶＬＳＩ設計フロー



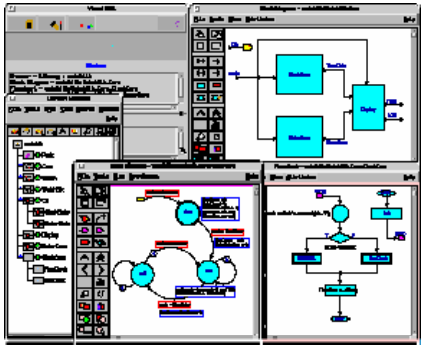
所望の動作を実現する為のLSIの機能を機能図又はHDLで記述し検証

HDLを論理合成ソフトにより論理図に変換

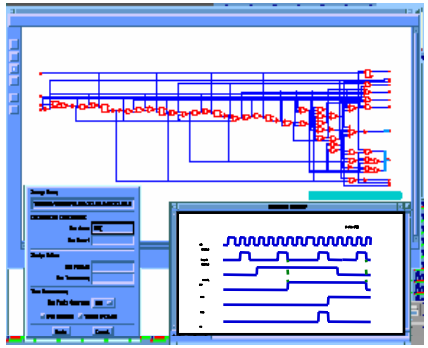
論理が正しいことをシミュレーションで確認

論理図をもとに標準セルROM/RAM等の部品を配置・配線

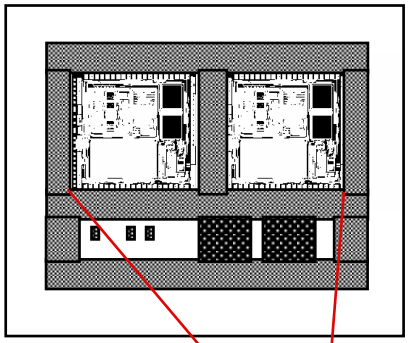
出来上がったチップの動作の検証



機能図によるLSIの機能設計



論理図と論理シミュレーション

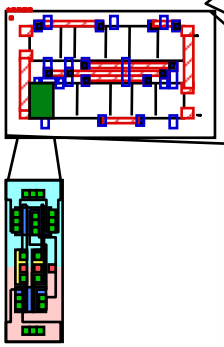


レチクル（ガラス原板）

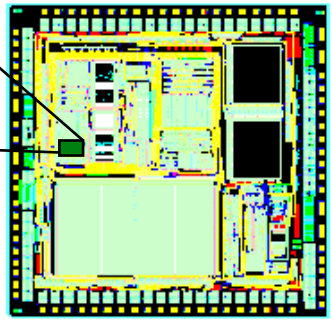
```
module KeyScan(CLOCK,RESET,SIN,SCAN,VAL)
    input          CLOCK,RESET
    input     [3:0]  SIN;
    output    [3:0]  SCAN,VAL;
    reg              clk,rst;

always @(posedge clk or psedge rst) begin
        if(rst)
            r_scan <= 4'd0;
        else
            case(Init)
            1'b1:r_scan <=  4'd8; // Cobstant: r_scan[3:0]
                1'b0:
                    case( Scanning )
                        1'b1:r_scan <= { r_scan[3] , r_scan[2] ,  r_scan
[1] }
                        1'b0:r_scan <= r_scan;
                        default: r_scan <= 4'bx;
                    endcase
                default: r_scan <= 4'bx;
            endcase
end
```

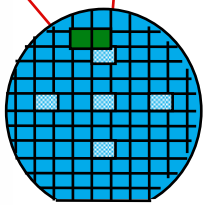
ハードウェア記述言語（HDL）によるLSIの機能設計



標準セル

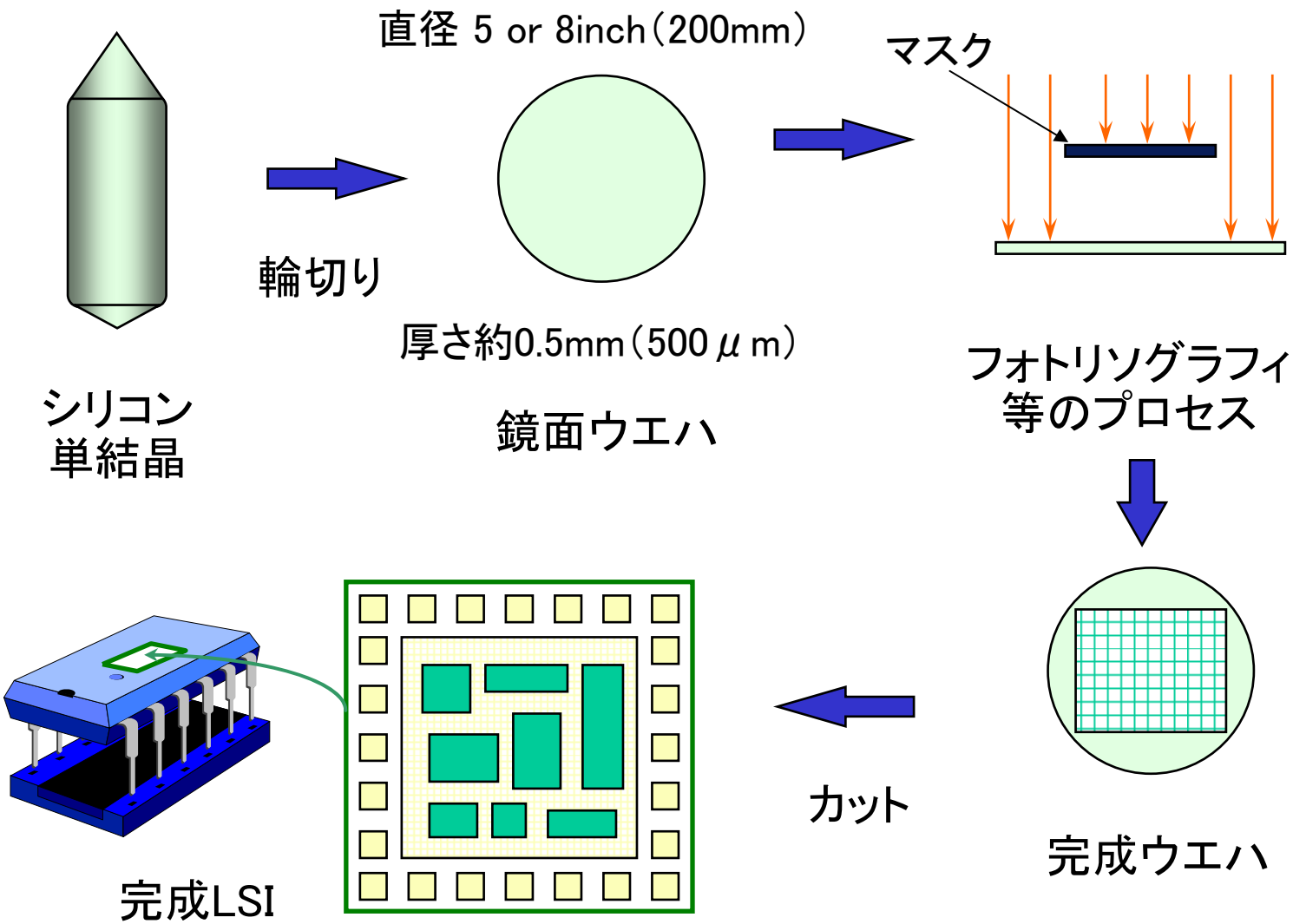


1チップ自動レイアウト



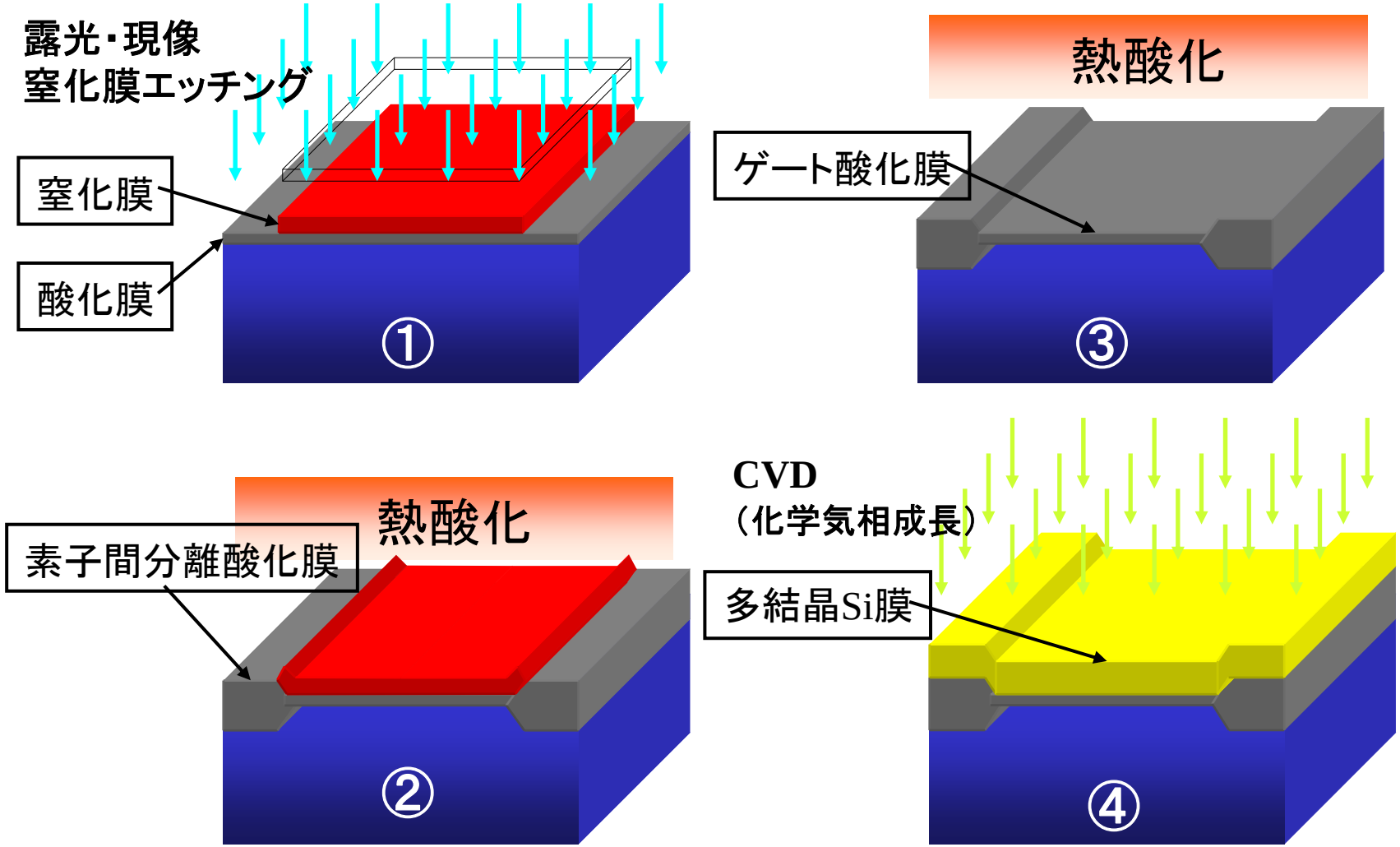
LSIの製造手順

ウエファーにリソグラフィー（写真）技術で回路を焼き付けていく



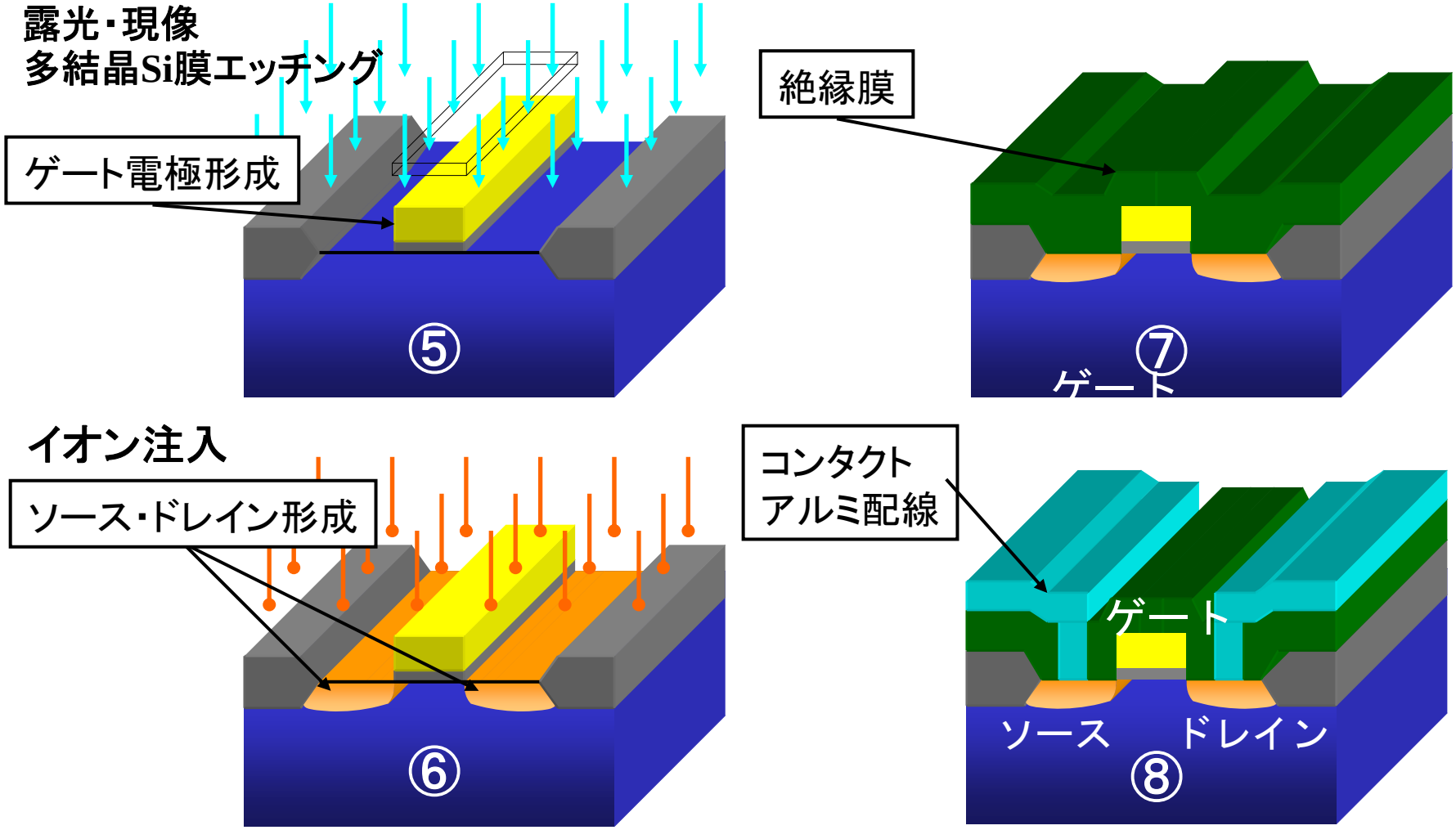
集積回路製造工程

集積回路は露光・エッチング・酸化・成長などで作られる

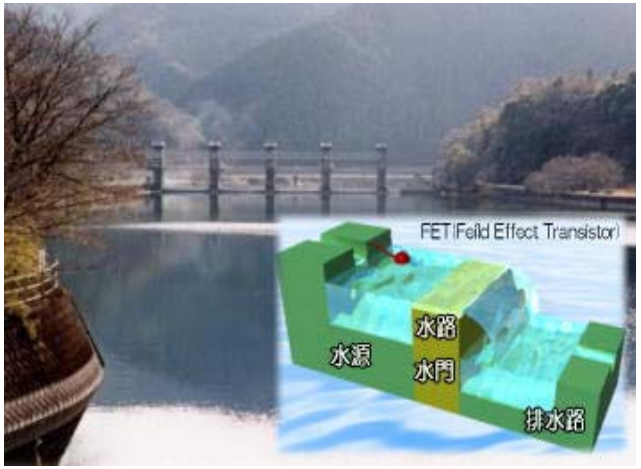


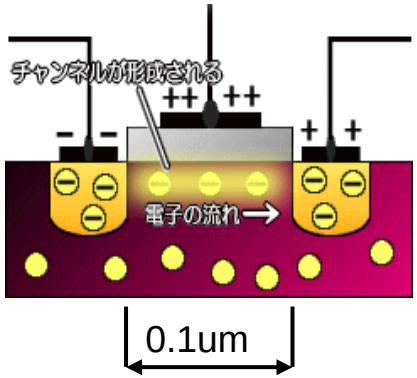
集積回路製造工程

更にイオン注入・配線金属形成なども用いられる

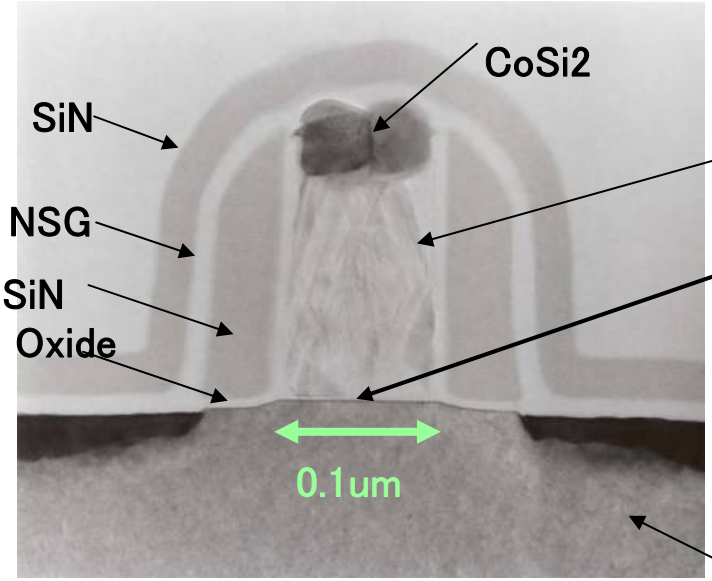


MOSトランジスタ





FETは水門によく似た働きをする。そのことは、FETを構成する三つのパートが**ソース（水源）**、**ゲート（水門）**、**ドレイン（排水路）**と名づけられていることからもよくわかる。



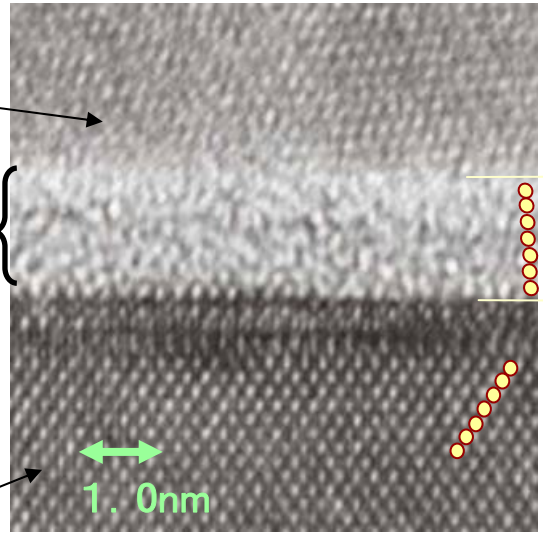
トランジスタの断面

ゲート

ゲート酸化膜

5000倍拡大

Si 基板

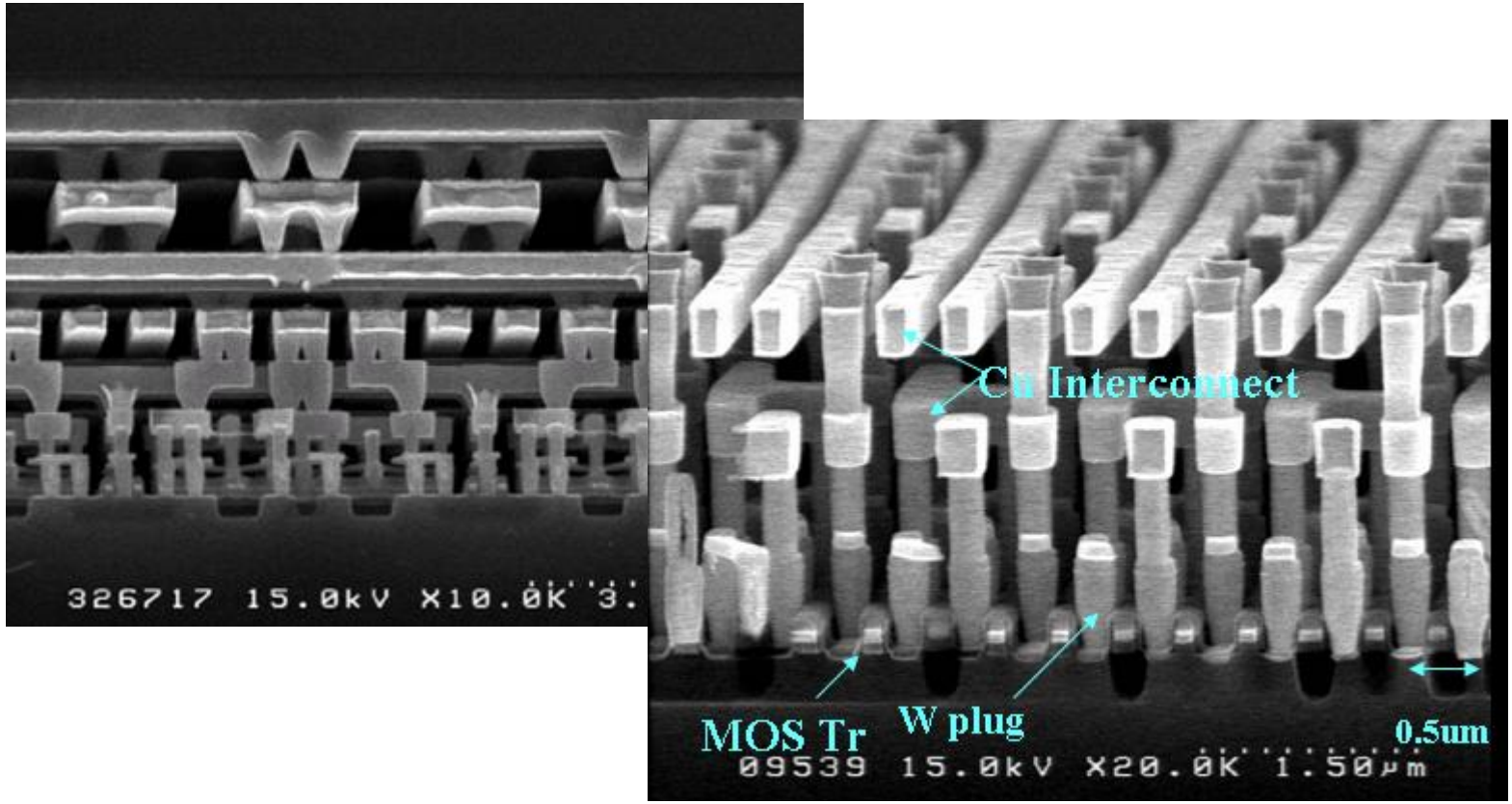


格子7個に相当

ゲート絶縁膜

現在の配線

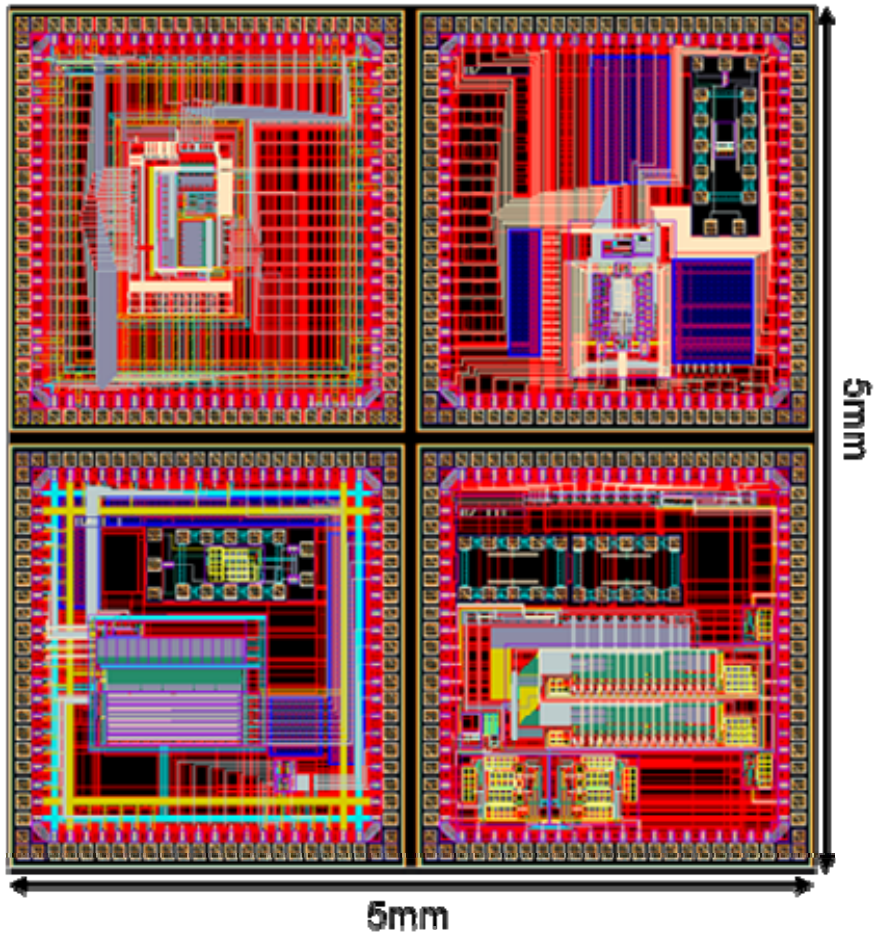
現在はAlからCuに配線材料が変化している。
民生用SoCでも配線層数は6層以上が多く、配線間は柱のようなスタックトビアで接続されている。

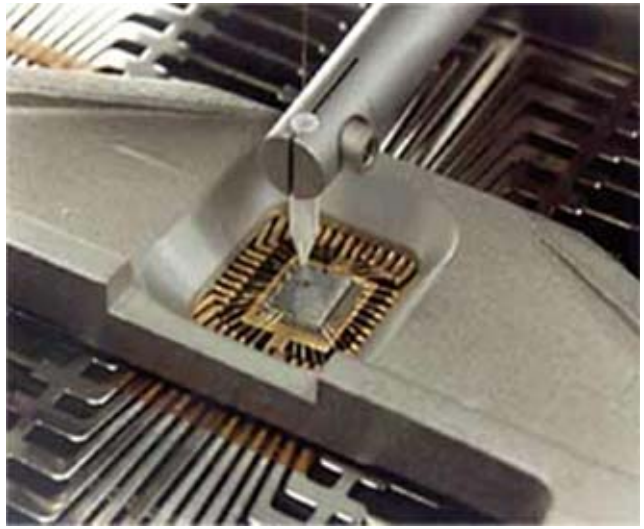


マスクとパッケージング

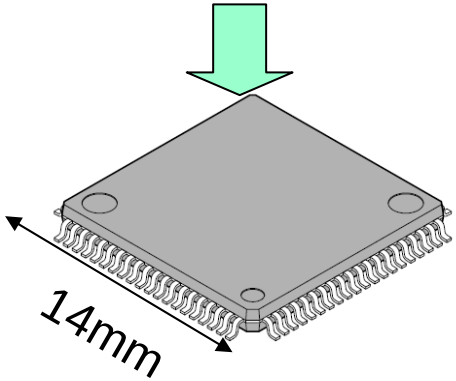
マスクにより回路パターンができる。
ウエファからチップを切り出してパッケージに封じする

松澤研で開発した集積回路





マウンティング、ワイヤーボンディング



パッケージや封止材で密封される