

14. A/D D/A 変換器

現代はデジタル時代であり、電子機器の殆どの信号処理はデジタルで行われる。しかしながら外部信号はアナログであり、アナログ信号とデジタル信号の変換を行う機能が必要とされる。アナログ信号をデジタル信号に変換するのが A/D 変換器であり、デジタル信号をアナログ信号に変換するのが D/A 変換器である。この章では A/D D/A 変換器の基本的な仕様、A/D D/A 変換器の代表的な変換方法とその特徴について述べる。

14.1 A/D D/A 変換と基本仕様

図 14.1 に現在の電子機器の基本である、アナログ信号をデジタル信号処理して、再びアナログ信号に戻すシステムを示す。

通常、A/D 変換器の入力には、プレフィルタを配置し、標本化に伴う周波数の折れ返しを防ぎ、また信号振幅が適切な大きさになるように可変利得増幅器(AGC)を置く場合がある。D/A 変換器の出力には、周波数の折れ返しを防ぐ、ポストフィルタを配置する。

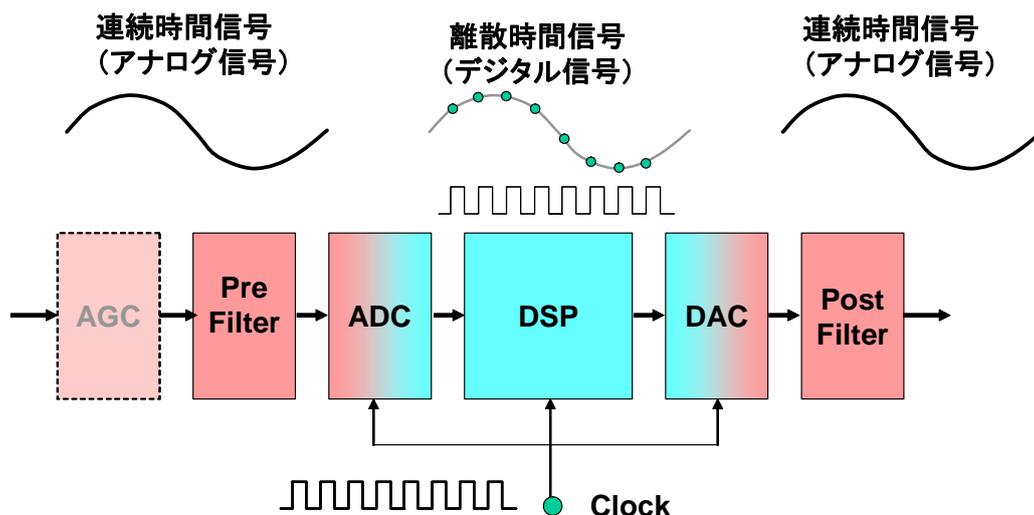


図 14.1 A/D D/A 変換器と DSP を用いた信号処理システムの構成

図 14.2 に A/D 変換特性を示す。理想的な変換特性は、波線で示したようになるが、実際の変換特性は実線で示したようになる。そこで、通常変換値が遷移するときの、実際の入力信号値の理想特性からのずれを積分非直線性誤差特性と言い、その最大値を積分非直線性誤差(INL: Integrated Non-Linearity)という。ただし、ベストフィット法という、入出力変換特性に一定のオフセット量を設けて積分非直線性誤差が最小になる求め方があり、この定義が用いられていることが多い。

また、一定の変換値を取る入力信号電圧 V_a の理想的な量子化電圧 V_q からのずれを量子化電圧 V_q で規格化した値を微分非直線性誤差(DNL: Differential Non-Linearity)という。

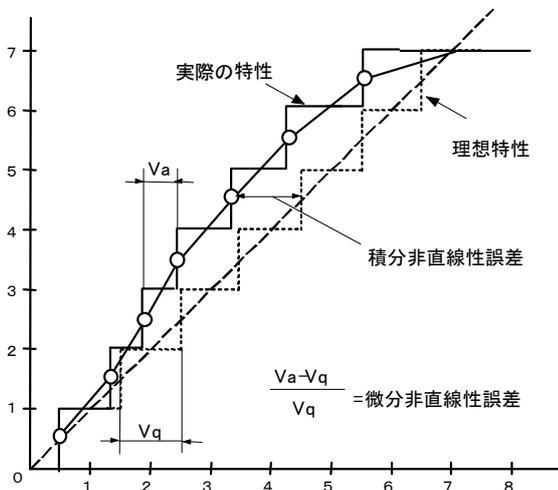


図 14.2 A/D 変換特性

積分非直線性誤差は、主として歪みに関係し、微分非直線性誤差はノイズに関係する。画像を扱う場合は、人間の視覚は歪みに対しては鈍感で、変化やノイズには敏感なため、微分非直線性誤差を重視することが多い。

14.2 D/A 変換器

D/A 変換器は、デジタル信号をアナログ信号に変換する回路である。単独での使用の他に A/D 変換器の内部回路としても用いられるため、初めに D/A 変換器を説明する。

4.2.1 D/A 変換器の基本分類

デジタル信号をアナログ信号に変換するのが D/A 変換器である。N ビットのデジタル入力の各ビットを最上位ビット MSB (Most Significant Bit) から順に D_1, D_2, \dots, D_N とするとき、出力電圧 V_o は、

$$V_o = V_{FS} \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_N}{2^N} \right) + V_{os} \quad D_i \in \{1,0\} \quad (14.1)$$

と表される。ここで V_{os} はオフセット電圧である。

出力が電流の場合は、出力電流 I_o は

$$I_o = I_{FS} \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_N}{2^N} \right) + I_{os} \quad D_i \in \{1,0\} \quad (14.2)$$

で表される。

このような D/A 変換器を実現する方法としては、大きく分けて、図 14.3 に示すように、2進数の要素を加算するバイナリー型と、入力の2進データを一旦デコードし、数値に変換し、単位要素をその個数分加算する、デコード型の2つの方法がある。

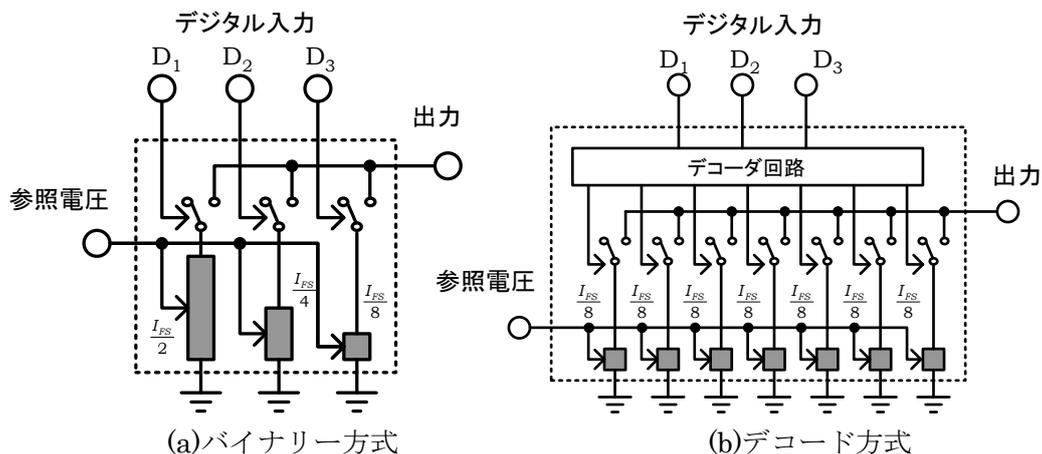


図 14.3 D/A 変換器の基本構成

14.2.2 バイナリー型 D/A 変換器

バイナリー型 D/A 変換器は 式(14.1)もしくは式(14.2)をそのまま表現したもので、

$\frac{1}{2^i}$ $i \in \{0, 1, 2, \dots, N\}$ の大きさの、重み付けされた電流源もしくは電荷を用意し、この重み付けされた電流源もしくは電荷を、入力デジタル信号の各ビットで加算するものである。電圧源は加算が困難であるため、バイナリー型 D/A 変換器には用いられない。

最も単純なバイナリー型 D/A 変換器は 14.4 に示すような、重み付けされた抵抗と演算増幅器を用いるものである。抵抗 $2^i R$ に参照電圧 $-V_{ref}$ を印加すると流れる電流 I_i は

$$I_i = -\frac{V_{ref}}{2^i R_s} \quad (14.3)$$

となる従って出力に現れる電圧 V_o は、

$$V_o = V_{ref} \frac{R_F}{R_s} \sum_{i=1}^N \frac{D_i}{2^i} \quad i \in \{1, 2, \dots, N\} \quad (14.4)$$

となる。

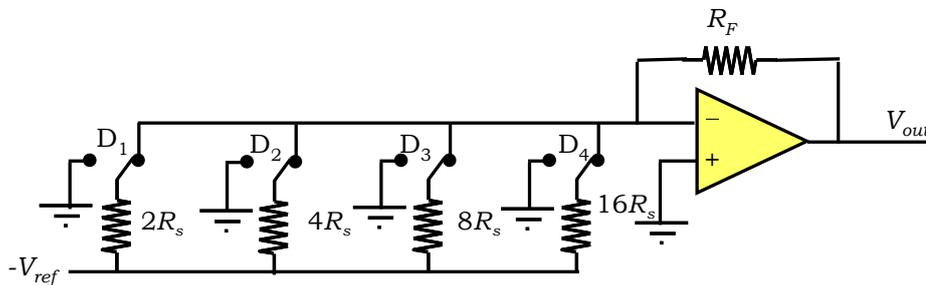


図 14.4 重み付け抵抗を用いた D/A 変換器

しかしながらこの方法では抵抗の比率が大きく、実用的ではない。例えば分解が 10 ビットの場合、 2^9 、つまり 512 倍にもなってしまう。

通常、抵抗を用いてバイナリー型 D/A 変換器を実現する実用的な方法は、図 14.5 に示すような、R・2R ラダー抵抗網を用いる方法である。

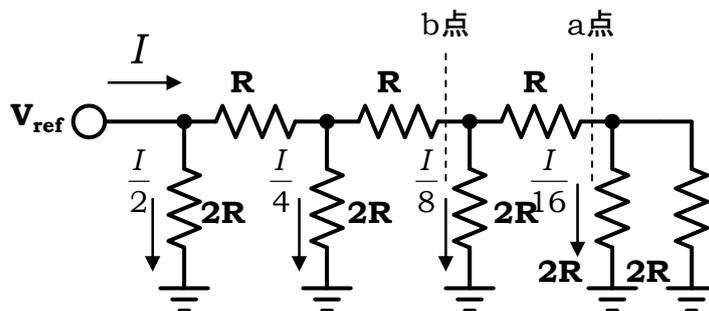


図 14.5 R・2R ラダー抵抗網

図に示すような R・2R ラダー抵抗網において、a 点から右を見た抵抗は、2R と、2R の並列抵抗であるので R となる。したがって a 点の左側から流れ込む電流は均等に分流し、それぞれ半分の電流が流れる。b 点から右を見た抵抗は、R と R の直列抵抗であるので、2R となる。b 点と接地端に挿入されている抵抗は 2R であるので、b 点の左側から流れ込む電流は接地側および a 点方向に均等に半分ずつ分流する。このような性質があるので i 番目の抵抗を流れる電流 I_i は、

$$I_i = \frac{V_{ref}}{R} \cdot \frac{1}{2^i} \quad i \in \{1, 2, \dots, N\} \quad (14.5)$$

となり、図 14.6 のような構成によりバイナリー型 D/A 変換器が実現できる。

抵抗比は、わずか2倍なので、同一抵抗の並列接続、もしくは直列接続により、容易に実現可能である。以上の D/A 変換器は、電流の加算性を用いているが、電荷の加算性を用いることもできる。

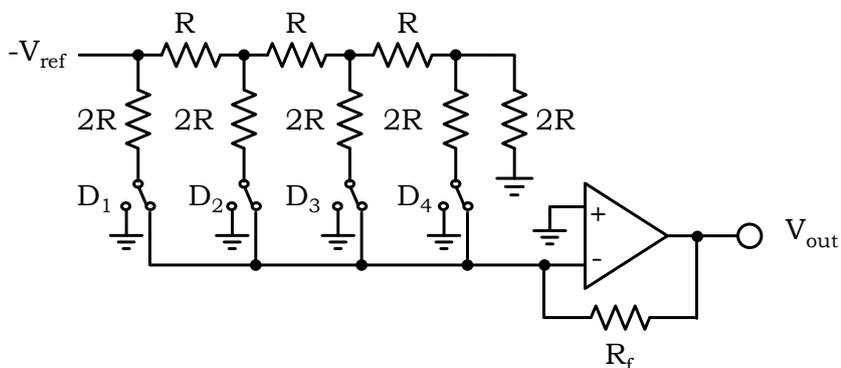


図 14.6 R・2R ラダー抵抗網を用いたバイナリー型 D/A 変換器

14.2.3 デコード型 D/A 変換器

デコード型 D/A 変換器は、最小単位の電圧もしくは電流を 2^N-1 個用意し、デジタル値に応じて加算することで、D/A 変換を行う。

電圧型の場合は図 14.7 に示すように、1LSB に相当する抵抗を直列に接続し、参照電圧を印加すると、各接続点に電圧が発生するので、デジタル値に対応するスイッチのみをオン状態にして、必要とする電圧を取り出すことで実現される。

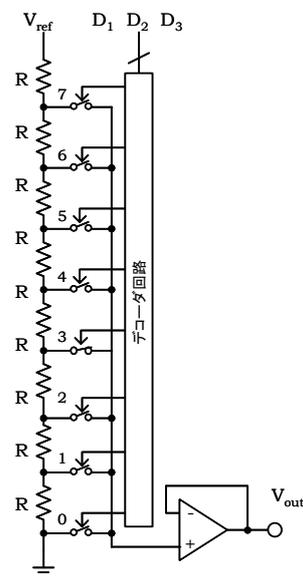


図 14.7 抵抗分圧を用いたデコード型 D/A 変換器

電流型では図 14.8 に示すように、1LSB に相当する単位電流源を 2^N-1 個用意し、デジタ

ル値に応じて加算することで D/A 変換を行う。

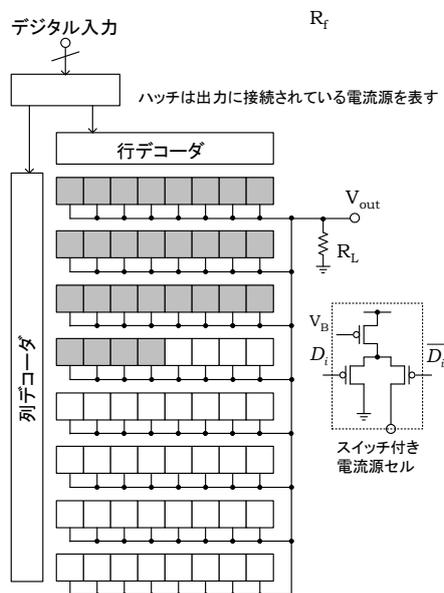


図 14.8 電流原を用いたデコード型 D/A 変換器

14.2.3 バイナリー型 D/A 変換器とデコード型 D/A 変換器

バイナリー型 D/A 変換器は、素子数が最小なので、小型化が可能である反面、MSB に相当する素子感度が極めて高いことが欠点である。今、MSB に相当する素子が α だけずれ、 $(1+\alpha)$ になったとする。

このとき、デジタルコードが $\{0, 1, 1, \dots, 1\}$ と $\{1, 0, 0, \dots, 0\}$ ではデジタルの値は 1 しか変わらないのに、その誤差はフルスケールに対して $\frac{\alpha}{2}$ になる。これは LSB 単位で表すと、

$\alpha \cdot 2^{N-1}$ となることから、微分非直線性誤差を $1/2\text{LSB}$ 以下とすると、

$$\alpha < \frac{1}{2^N} \quad (14.6)$$

としなければならない、例えば分解能が 10 ビットの場合は 0.1% 以下の精度が必要とされる。

これに対しデコード型 D/A 変換器ではそれぞれの素子のずれが 50% であっても $1/2\text{LSB}$ の微分非直線性が得られる。ただし欠点としては素子数が多いことで、バイナリー型 D/A 変換器では分解能 N に対し、 N 程度の素子数で済むのに対し、デコード型 D/A 変換器では 2^N 程度の素子数が必要である。

したがって実際の D/A 変換器では、図 14.9 に示すように、この 2 つのタイプを組み合わせたものが用いられる。

上位ビットは、素子感度の低いデコード型 D/A 変換器を用い、下位ビットは、素子数の少ないバイナリー型 D/A 変換器を用いる。バイナリー型 D/A 変換器では素子感度が高いが、下位ビットに用いることで、素子感度を低くすることができる。

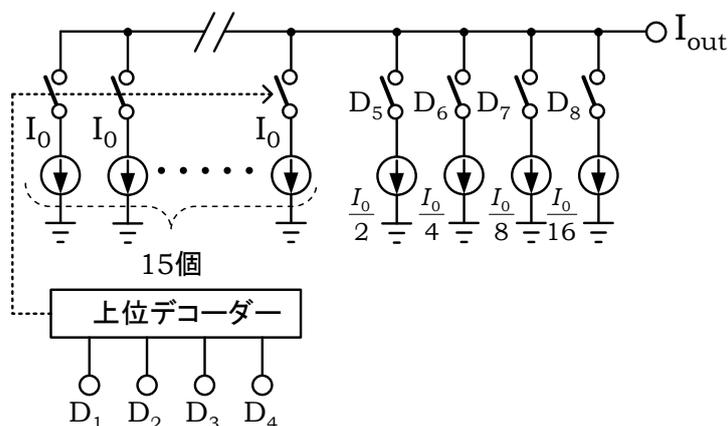


図 14.9 上位ビットにデコード型、下位ビットにバイナリー型を用いた D/A 変換器

14.3 A/D 変換器

A/D 変換器の場合も、変換方式はバイナリー型とデコード型に大別できるが、D/A 変換器と異なり、バイナリー型では一挙に変換できず、2進探索（バイナリーサーチ）を用いる。そこでまず、理解が容易なデコード型から紹介する。

14.3.1 並列型 A/D 変換器

並列型 A/D 変換器は、物差しを用いて計ることに相当する。図 14.10 に示したように、N ビット分解能の測定では、 2^N 個の目盛りと比較器とを用いて、入力電圧の大きさと各目盛りを比較する。通常、単位抵抗を直列に接続した抵抗列に、参照電圧を印加して、それぞれの目盛りに対応する電圧を発生させる。ほぼ同数の比較器が配置されており、比較器は入力信号と、それぞれの参照電圧を比較し、入力信号が参照電圧よりも高ければ”1”を、低ければ”0”を出力する。したがって比較器の論理出力は下位から”1”が連続し、あるところから”0”が続くようになる。この変化点を、NAND や EXOR などの論理回路を用いて検出し、エンコーダを用いて対応するバイナリー値を発生させる。この例では変換値として[4]を出力する。

この比較動作は、各比較器で並列に行えることから GHz 程度の極めて高い変換速度を得ることができる。しかしながらこの変換方式では複数の比較器を用いるために、比較器のオフセット電圧が精度を決定する。今、比較器のミスマッチ電圧分布の標準偏差を σ (V_{mis}) (LSB 単位) とすると、A/D 変換器の有効ビット ENOB の理想値からの劣化、 $\Delta ENOB$ は

$$\Delta ENOB = -\frac{1}{2} \log_2(1 + 12\sigma(V_{mis})^2) = -1.67 \log(1 + 12\sigma(V_{mis})^2) \quad (14.7)$$

となる。この結果を図 14.11 に示す。

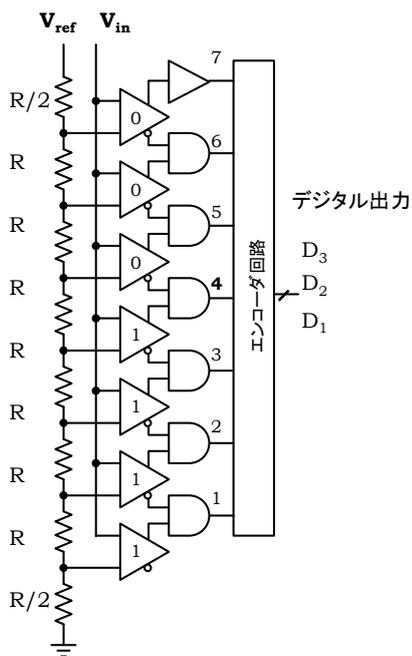


図 14.10 並列型 A/D 変換器

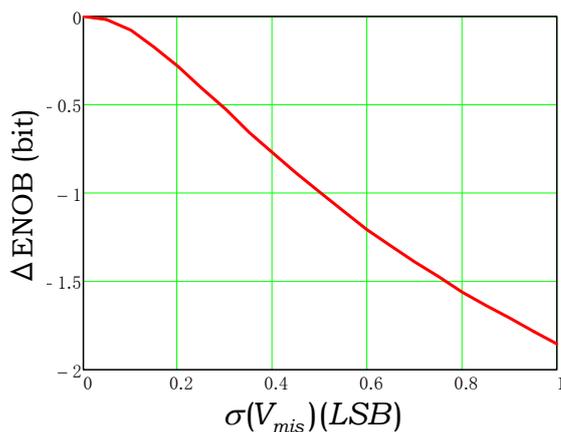


図 14.11 比較器のミスマッチ電圧と A/D 変換器の有効ビットの劣化

この結果より、0.1bit の劣化に抑えようとする、比較器のミスマッチ電圧は標準偏差で 0.1LSB 程度に抑える必要がある。例えば分解能を 10 ビット、フルスケール電圧を 1V と仮定すると、100uV となり、不可能なレベルである。したがって分解能が高くなるほど、

1LSBに相当する電圧が小さくなり、オフセット電圧ばらつきの極めて小さな比較器が必要となることから、高分解能化は困難である。また比較器数が分解能 N に対し 2^N で増加することから、1ビット増加する毎に回路規模や消費電力は2倍程度になる。このためこの方式は高速動作が可能であるが、高分解能には適さない。

14.3.2 積分型 A/D 変換器

積分型 A/D 変換器は、水時計に似ており、信号量を時間で計るものである。図 14.12 に示すように、演算増幅器を用いた積分器、比較器、カウンタ、制御回路などで構成される。

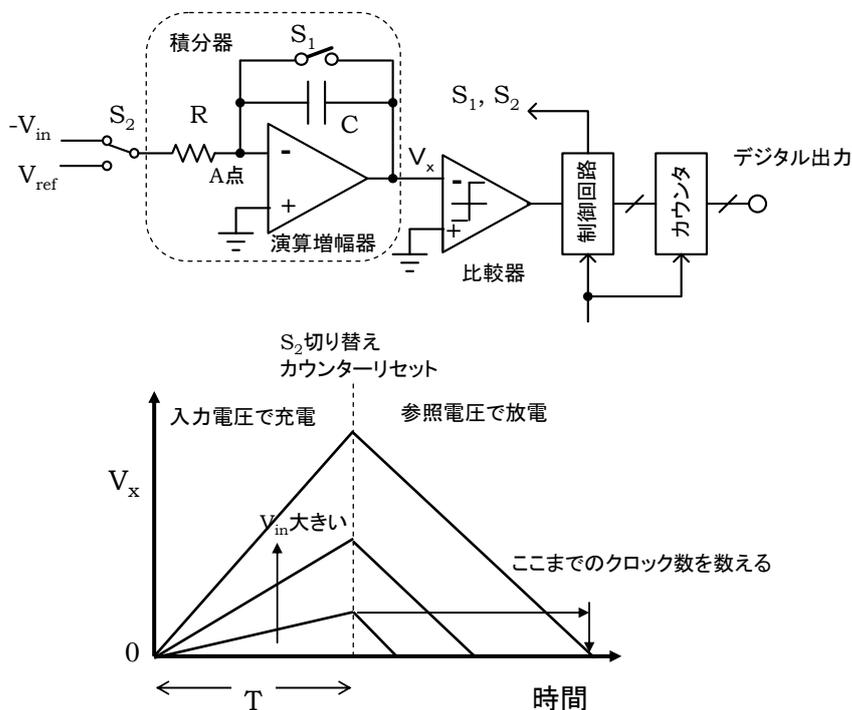


図 14.12 積分型 A/D 変換器

はじめにスイッチ S_1 を閉じて容量の電荷を放電しておく。次にスイッチ S_1 を開き、 S_2 を閉じて、極性を反転した入力信号 $-V_{in}$ を抵抗 R に印加する。

A 点は仮想接地点であるので、抵抗には

$$I_{in} = -\frac{V_{in}}{R} \quad (14.8)$$

の電流が流れる。

この電流は容量 C を通って流れ、出力に入力電圧と時間に比例した電圧 V_o が発生する。

$$V_o = \frac{V_{in}}{CR} t \quad (14.9)$$

この間、カウンタが動作しており、分解能を N として 2^N 個のパルスをカウントし、設定値に達したら、カウンタを停止させるとともにスイッチ S_2 を開く。

次にスイッチ S_2 を切り替え、参照電圧 V_{ref} を抵抗 R に印加する。このとき容量の電荷はこの抵抗を流れる電流により、徐々に放電されて、出力電圧は減少する。比較器はこの積分器の出力信号をモニターし、極性が切り替わったら、フラグを立ててカウンタをストップさせる。この時のカウント数を n とすると、以下が成り立つ。

$$\frac{V_{in}}{V_{ref}} = \frac{n}{2^N} \quad (14.10)$$

したがって、カウント数が A/D 変換器の変換値となる。

この回路では積分器が、電圧を時間に変換する作用を担っており、変換精度は、抵抗および容量の電圧依存性や積分器を構成する演算増幅器の利得に依存する。この方式では単調性が保証されており、精度が出しやすく、16 ビット程度の分解能が可能である。しかしながら変換に長い時間がかかる。例えばパルスの周期を 10nsec(100MHz) とし、分解能を 16bit とすると 1.4ms 程度の変換時間が必要である。このため信号処理に用いるのは難しく、デジタルボルトメータなどの DC 計測に用いられている。

14.3.3 逐次比較型 A/D 変換器

ここからはバイナリー型 A/D 変換器を紹介する。

逐次型 A/D 変換器は図 14.13 に示したように、内部に D/A 変換器を有し、D/A 変換器で発生させた参照信号と入力信号を比較して逐次的に変換してゆくものである。

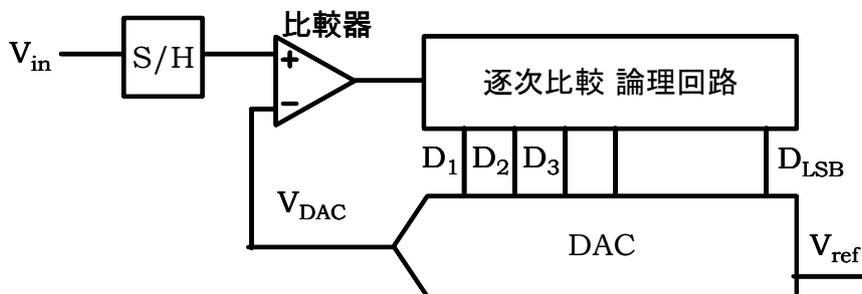


図 14.13 逐次比較型 A/D 変換器

はじめに基準信号の半分の電圧である $\frac{V_{ref}}{2}$ を発生させ、入力信号 V_{in} と比較する。

V_{in} が $\frac{V_{ref}}{2}$ よりも高ければ MSB ビットである D_1 を [1] にし、低ければ D_1 を [0] にする。

次に $D_1 = [1]$ の場合、 $V_{ref} \left(\frac{1}{2} + \frac{1}{4} \right)$ を発生させ、 $D_1 = [0]$ の場合は $V_{ref} \left(\frac{1}{2} - \frac{1}{4} \right)$ を発生させて比較する。したがって各変換ビットの状態と、発生させる参照電圧 V_{DAC} は、

$$\begin{aligned} B_i &= 1 \text{ if } D_i = [1] \\ B_i &= -1 \text{ if } D_i = [0] \end{aligned} \quad (14.11)$$

のもとで、

$$V_{DAC} = V_{ref} \left(\frac{1}{2} + \sum_{i=1}^{N-1} B_i \cdot \frac{1}{2^{i+1}} \right) \quad (14.12)$$

となる。このように発生させる参照電圧は、図 14.14 のようにトーナメント状になる。

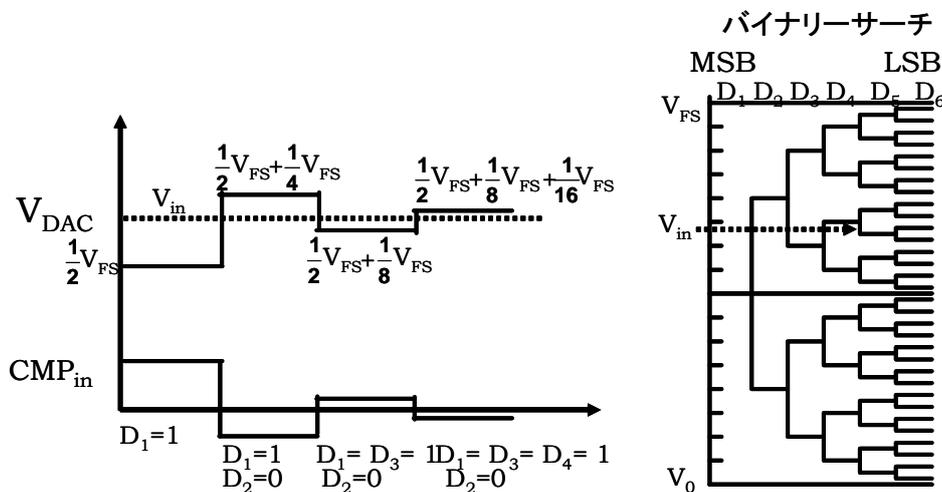


図 14.14 逐次比較器内部の電圧状態

このように、上位ビットから逐次変換していくので、逐次変換型と呼ばれる。DAC の構成法は様々に考えられるが、低消費電力で高精度なものは以下に示す重み付け容量アレーを用いたものである。

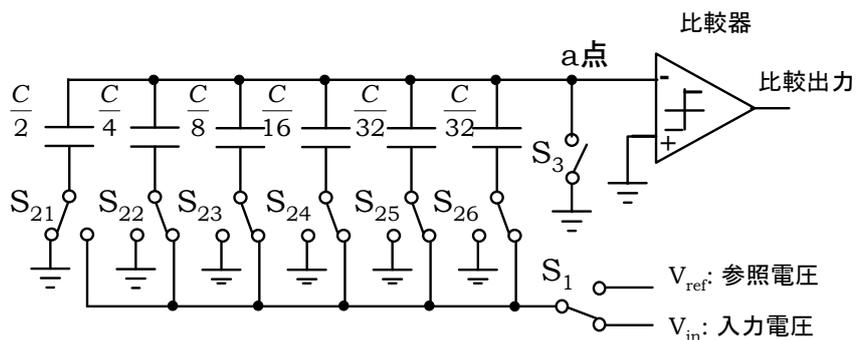


図 14.15 重み付け容量アレーを用いた逐次比較型 A/D 変換器

はじめにスイッチ S_1 は入力信号側に選択し、スイッチ $S_{21} \sim S_{26}$ は信号線を選択し、スイッチ S_3 を閉じる。この状態では各容量に V_{in} が印加される。次にスイッチ S_3 を開くと、入力信号は標本化される。その後、スイッチ $S_{21} \sim S_{26}$ を接地側に倒す。このとき a 点には $-V_{in}$ が現れる。次にスイッチ S_1 は参照電圧側を選択し、 S_{21} のみ信号線側を選択し、容量 $\frac{C}{2}$ の一方の端子に参照電圧を印加する。

この前の状態の標本化においては a 点の電荷 Q_a は

$$Q_a = -CV_{in} \quad (14.13)$$

この状態で発生する電圧を V_x とすると、 a 点での電荷は電荷保存則により

$$\frac{C}{2}(V_x - V_{ref}) + \frac{C}{2}V_x = -CV_{in} \quad (14.14)$$

となるので、発生する電圧 V_x は

$$V_x = -\left(V_{in} - \frac{V_{ref}}{2}\right) \quad (14.15)$$

となり、 a 点の電圧極性を比較器で判別することで、MSB の判定が可能である。その後は逐次、スイッチ S_2 を変換値に応じて切り替えていくことで、A/D 変換が可能となる。

1) 図1の容量アレーを用いた逐次比較型 A/D 変換器について、次の問に答えよ。
特に、本回路においては a 点のノードに寄生容量 C_p が存在していることに考慮せよ。

(1) はじめにスイッチ S_1 は入力電圧 V_{in} 側を選択し、スイッチ S_{21} から S_{26} までの全てのスイッチはスイッチ S_1 側を選択し、スイッチ S_3 はショートとしたときの a 点の電荷 Q_a を求めよ。

(2) 次にスイッチ S_3 をオープンとし、スイッチ S_{21} から S_{26} までの全てのスイッチは接地側を選択したときの a 点の電圧 V_a を求めよ。

(3) 更にスイッチ S_3 をオープンとしたままで、スイッチ S_{21} をスイッチ S_1 側を選択し、スイッチ S_1 は参照電圧 V_{ref} を選択し、 S_{22} から S_{26} までの残りのスイッチは接地側を選択したときの a 点の電圧 V_a を求めよ。

(4) (3) の状態において比較器は電圧 V_a の極性のみを判別するとして、寄生容量 C_p があるときに比較器は入力電圧 V_{in} が参照電圧の半分の電圧である $V_{ref}/2$ よりも高いか低いかを判別可能か？

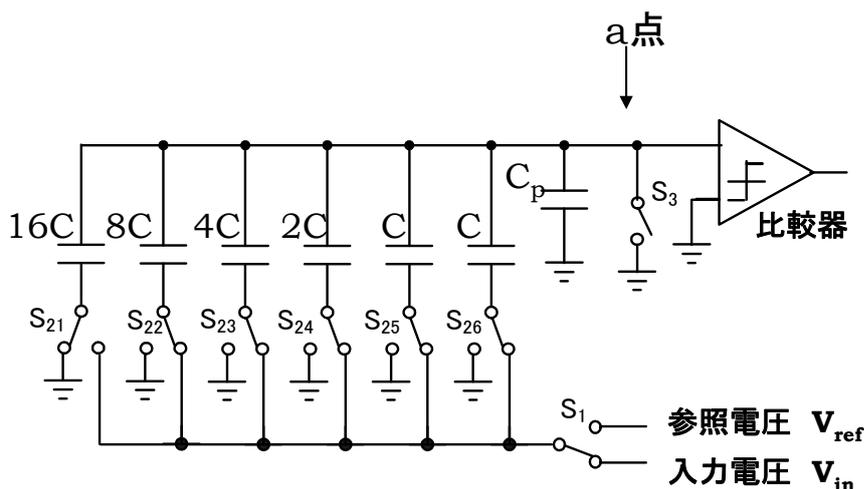


図1