第 13 回　JFET・MESFET

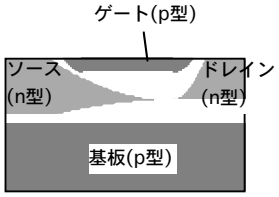
今回は、バイポーラトランジスタ・MOSFET・パワーデバイス以外の電子デバイスの話をしたい。

まず、pn 接合型 FET の話をしよう。この FET は、MOS よりも早く開発されている。

JFET・MESFET

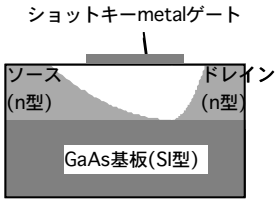
JFET(1953)　この構造は、pn 接合の空乏層によりチャネルが流れるか流れないかを制御する。例えば、p 型の層の上に薄い n 型をつくり、これをチャネルとする。今までとの違いは、反転することで形成されたチャネルではなく、あらかじめドーピングすることによって形成したチャネルである点である。

この上に p 型の層をつけゲートとして形成し、この p 層に挟まれた n 型層の中性領域の厚さは、電圧によって広がる空乏層で制御できる。チャネルの幅が電圧により異なることから、電圧で電流を制御すること、空乏層を利用してドレイン電圧が大きい領域での安定なドレイン電流を得ていることは MOSTr と同じである。



回路上の使いにくい点として、ソース近傍のチャネルに空乏層を広げるため、逆方向の電圧を用意する必要があることがある。

pn 接合 FET の仲間に MESFET がある。これは metal-semiconductorFET の略であり、金属/半導体間のショットキー接合を使って空乏層を形成しているところが、異なる点である。ショットキー接合を使っていることから、ショットキー障壁 FET とも呼ばれる。



この場合、やはり負の電圧を必要とする点などは pn 接合型 FET と同じであるが、MIS 構造の作りにくい GaAs 等の化合物半導体でも比較的容易にショットキー接合は形成できることから、GaAs 等の化合物半導体の FET として一般的である。GaAs は Si よりも移動度(約 4-5 倍)が高いこと、半絶縁性の基板が形成でき、寄生容量を減らしやすいことから、高速アナログ回路としては強く、例えば 1.9GHz 帯で使われている PHS 集積回路として使われている。また、自動車の衝突防止用レーダは 60-70GHz 程度で実用化している、その回路にもこの MESFET が使われている。

さて、こちらの場合は基板側からの空乏層幅の変化を考えなくてよいので、その分解析が簡単になるので、電圧電流の関係を導こう。

動作の基本だが、まず、ポテンシャルを引き揚げる方向にゲート電圧をかけよう。すると、引き揚げられたところから電子は追いだされ、空乏層となる。チャネルは全て空乏化すると、電子はいなくなる。この時のゲートの電圧をしきい値とよぶ。この考え方は MOSFET と一緒である。ここで空乏層が有る程度あるが、まだ電子はいなくなっていない程度の適当なゲート電圧でドレインソース間に電圧を少しかける。すると残るチャネル厚さに比例して電流が流れる。なぜなら電流は断面に流れる電荷の数に比例するからである。

続いてソース-ドレイン間にかける電圧を大きくしよう。ドレイン側のポテンシャルが低いから、差はソース側より大きい。したがって、ドレイン側では空乏層の幅は広くなり、ソース側に較べて、チャネル内の電荷の数が少なくなる。電荷の数×速度が電流であり、速度は電界、即ち電位の変化分に比例する。従ってある電圧条件の元で、電流が一定であるとすると、チャネル内の電位分布を計算できる。

さらに、ドレイン側にかかる電圧を増やしていくと、垂直方向の電圧だけで考えるとドレイン側でチャネル内に電荷がいなくなるが、それでも電流一定は保たれている。この電荷がいなくなった状態をピンチオフと呼ぶ。この辺も MOSFET と一緒である。

位置 z でのチャネル中の電位を V(z)とすれば、空乏層幅は

$$l(z)=\sqrt{\frac{2\varepsilon_s}{qN_D}\left(V(z)+\Phi_D-V_G\right)}$$ となる。

ここで、Φ_Dはショットキー接合の内蔵電位である。また、ε_sは用いている半導体の誘電率である。

元々のチャネル幅を a とすれば、電流の流れる領域は$(a-l(z))w$の断面積。ここで流れる電流は $q\mu(a-l(z))wN_D\frac{dV(z)}{dz}$ である。これが I_D 一定なので、

$$I_D=\frac{q\mu wN_D}{L}\left\{aV_D-\frac{2}{3}\left(\frac{2\varepsilon_s}{qN_D}\right)^{1/2}\left[\left(V_D+\Phi_D-V_G\right)^{3/2}-\left(\Phi_D-V_G\right)^{3/2}\right]\right\}$$ となる。

ここで、ドレイン電圧=0 の時に完全空乏化するための(内蔵電位も含めた)電圧を $V_a=\frac{a^2qN_D}{2\varepsilon_s}$ とすると、

$$I_D=\frac{a q\mu wN_D}{L}\left\{V_D-\frac{2}{3}\left(\frac{1}{V_a}\right)^{1/2}\left[\left(V_D+\Phi_D-V_G\right)^{3/2}-\left(\Phi_D-V_G\right)^{3/2}\right]\right\}$$ となる。

$V_D+\Phi_D-V_G=V_a$でピンチオフになるので、ピンチオフ時の V_D は $V_P=V_D=V_G-\Phi_D+V_a$となる。

ピンチオフ後の飽和状態では、V_D を V_P に置き換えれば良いところは同じである。

$$I_D=\frac{a q\mu wN_D}{L}\left\{\left(V_G-\Phi_D+V_a\right)-\frac{2}{3}\left(\frac{1}{V_a}\right)^{1/2}\left[\left(V_a\right)^{3/2}-\left(\Phi_D-V_G\right)^{3/2}\right]\right\}$$

$$=\frac{a q\mu wN_D}{L}\left\{\left(V_G-\Phi_D+V_a\right)-\frac{2}{3}\left(V_a\right)+\frac{2}{3}V_a\left(\frac{\Phi_D-V_G}{V_a}\right)^{3/2}\right\}$$

$$=\frac{a q\mu wN_D}{L}\left\{\left(V_G-\Phi_D\right)+\frac{1}{3}\left(V_a\right)+\frac{2}{3}V_a\left(\frac{\Phi_D-V_G}{V_a}\right)^{3/2}\right\}$$

$$=\frac{a q\mu wN_DV_a}{3L}\left\{1-3\left(\frac{\Phi_D-V_G}{V_a}\right)+2\left(\frac{\Phi_D-V_G}{V_a}\right)^{3/2}\right\}$$

なので、

としたあとで、$\Phi_D-V_G<V_a$はいつも成り立っているので、

$\left(\frac{V_a-V_P}{V_a}\right)^{3/2}\cong 1-\frac{3}{2}\left(\frac{V_P}{V_a}\right)+\frac{3}{8}\left(\frac{V_P}{V_a}\right)^2$ とテイラー展開して、

$$I_D=\frac{a q\mu wN_DV_a}{3L}\left\{1-3\left(\frac{V_a-V_P}{V_a}\right)+2\left(1-\frac{3}{2}\left(\frac{V_P}{V_a}\right)+\frac{3}{8}\left(\frac{V_P}{V_a}\right)^2\right)\right\}$$

$$=\frac{a q\mu wN_DV_a}{4L}\left(\frac{V_P}{V_a}\right)^2=\frac{a q\mu wN_DV_P^2}{4LV_a}$$ とすれば古川静二郎先生の半導体デバイスの式 8.32 と同じになる。(3/4 倍違うけど)

もう一つ近似の方法がある。$LE_C \ll V_D$の場合、電子の速度はチャネル中で飽和速度になっている。この場合、一番ソース側の電荷のみで決まるとして良い。

その場合、$l(0)=\sqrt{\frac{2\varepsilon_s}{qN_D}\left(\Phi_D-V_G\right)}$ なので、

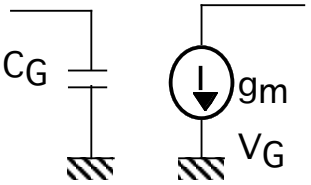
$$I_D=q\left(a-l(0)\right)wN_Dv_{sat}$$

$$=q\left(a-\sqrt{\frac{2\varepsilon_s}{qN_D}\left(\Phi_D-V_G\right)}\right)wN_Dv_{sat}$$ となる。

この式の場合、g_m が簡単に表せ

$$\frac{dI_D}{dV_G}=\frac{qwN_Dv_{sat}}{2}\sqrt{\frac{2\varepsilon_s}{qN_D\left(\Phi_D-V_G\right)}}=wv_{sat}\varepsilon_s\sqrt{\frac{qN_D}{2\varepsilon_s\left(\Phi_D-V_G\right)}}=\frac{wv_{sat}\varepsilon_s}{l(0)}$$

、



そこで、図で示したような簡単な等価回路を考えよう。高周波電流iに対して

$V_G=\frac{i}{j\omega C_G}$であるので、ドレイン電流は $I_d=g_mV_G=\frac{ig_m}{j\omega C_G}$である。全ゲート領域で同じ空乏幅とすると、ゲート容量は $C_G=\frac{\varepsilon_swL}{l(0)}$ なので、周波数ωで

$$\left|\frac{I_d}{i}\right|=\left|\frac{g_m}{j\omega C_G}\right|$$

の電流利得は $=\left|\frac{l(0)}{j\omega\varepsilon_SLW}v_{sat}\frac{\varepsilon_sW}{l(0)}\right|=\left|\frac{v_{sat}}{j\omega L}\right|$ 遮断周波数は、

$f_T=\frac{g_m}{2\pi C_G}=\frac{wv_{sat}\varepsilon_s}{2\pi l(0)}\frac{l(0)}{\varepsilon_swL}=\frac{v_{sat}}{2\pi L}$という簡単な表記になる。実は、この表記が、比較的早く飽和速度(正確にはピーク速度と呼ぶ)に達する GaAs 系材料に於いては、一番良く特性を表している。

第 14 回　ヘテロ接合と HBT・HEMT

異種の半導体の組み合わせ;ヘテロ接合

さて、半導体の基礎に立ち返ってみよう。

一般的なトランジスタ用の半導体は、結晶構造を持っており(液晶ディスプレイ用薄膜トランジスタは除く)、原子が規則正しく並んでいる。 例えばシリコンは、一辺 5.43 オングストーム(格子定数と呼ばれる)の立方体の中に平均 8 個のシリコン原子があり(面心立方を基本にしたダイヤモンド構造とよばれる構造である。)、$1cm^3$ あたり $5x10^{22}$ 個の原子がある。（いままで一番ドーピングしていた時でも $1x10^{20}$ 位なので、0.2%にしかならないことが判る。）

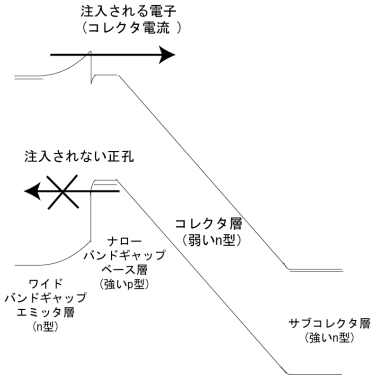
さて、シリコン以外で使われているGaAsは、格子定数は5.65オングストロームである。(また 2 個のシリコンがガリウムと砒素一個に置き換えられる。)

そこで、4%もの格子ズレがある。残念ながらシリコンの上に GaAs を直接積層することは出来ない。 一方 AlAs という材料があるが、これは、格子定数が 5.66 オングストロームで非常に近い。(0.13%程度である。) さらに Ga と Al を置き換えるだけの全く同じ結晶系をしているので、部分的に取り替えた AlGaAs という混晶も作れる。そこで、AlGaAs は GaAs に直接積層出来る。GaAs のバンドギャップは 1.42eV、AlAs のバンドギャップは 2.14eV であり、AlGaAs はその間を自由に制御できる。この様な異種半導体を繋げた構造を**ヘテロ構造**と呼ぶ。さて、ヘテロ構造は何がよいか？　まず一例としてバイポーラトランジスタを考えよう。

HBT

HBT とは、トランジスタの発明者である Schckley の 1951 年の特許 [13]にも既に提案されたワイドバンドギャップエミッタ構造をもつバイポーラトランジスタを通常指す。現時点において、世界で一番早いトランジスタであると同時に、その高周波における効率の良さなどから携帯電話における最終出力段トランジスタに広く用いられている。

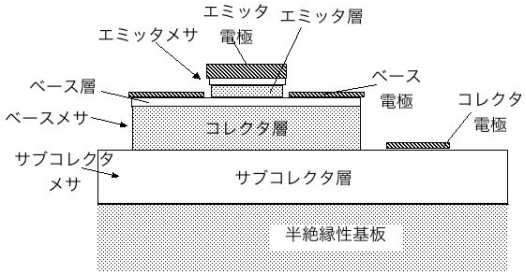
図にワイドバンドギャップエミッタとナローバンドギャップベースの電圧印加時のポテンシャル例を示す。



HBT の正孔電流阻止の概念図

ベースからエミッタへの正孔電流の注入が抑制できることが大きな利点である。シリコンのみで作られた一般的なバイポーラトランジスタは、現在の高品質のシリコンではベースにおける電子の再結合は殆どベース電流に寄与せず、ベースからエミッタへの正孔電流がベース電流を支配する。そこでワイドバンドギャップ半導体をエミッタにすることで、電流利得の犠牲無しにベースのドーピング濃度を上げられるようになった。1950 年代においてはノーベル賞受賞者である Kroemer 教授が熱心に研究した構造でもある。

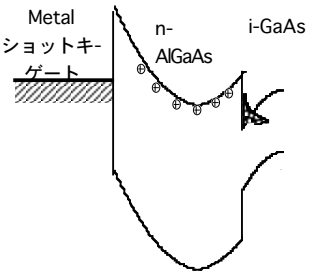
この構造の典型的な作製方法は、半絶縁性基板上に分子線エピタクシー(MBE)法や有機金属気相成長(MOVPE)法でヘテロ構造をエピタキシャル成長したあと、エミッタ電極をマスクにエミッタ層をエッチングすることでエミッタメサを、続いてベース層とコレクタ層をエッチングしてベースメサを形成する。サブコレクタ層の分離はエッチングによる場合とイオン注入による場合がある。HBT の断面構造の例を下に示す。イオン注入を駆使することでプレーナー型に近づけているシリコン系素子と較べると凹凸の大きな構造となっている。



HEMT

MESFET にヘテロ構造を導入して高速化させたのが HEMT である。日本の富士通で発明された電子デバイスであり、かつ 1988 年から 2005 年までの 17 年間世界で一番早いトランジスタであった高速トランジスタである。HEMT は High electron mobility transistor 高電子移動度トランジスタの略である。

このトランジスタのヘテロ接合では、バンド不連続と呼ばれるバンドの飛びの低い側の半導体側にチャネルが形成されるが、このチャネル中のキャリヤを生成している不純物が高い側に存在し、そのため、キャリヤと不純物が分離されて高い移動度をもつ。これが高電子移動度の由来となっている。このような構造は変調ドープ(Modulation dope)構造、または 2 次元電子ガス(two-dimensional electron gas)構造とも呼ばれる。ただし、現在の HEMT は高性能化のために非常に短いゲート長となっており、印加電圧からみて、ほぼチャネル全域で飽和速度(正確には非定常的な速度になっていると見積もられている。)になっていると考えられる。従って HEMT の速度も他の飽和速度になっている FET と同じく、飽和速度とチャネル長のみによって決まる。



HEMT の有利さは、ヘテロ接合による強いチャネルへの閉じこめによる短チャネル効果の抑制(飽和速度は移動度の大きい MESFET/HEMT では当然のことと受けとめられている。従ってアナログ応用ではチャネル長の二乗ではなく一乗に比例して早くなる。)および簡単化のために無視したドレイン・ソース抵抗の低減が高移動度により行えることに有ると考えられ、そのため世界最高速のトランジスタになっていると思われる。

このトランジスタは高速動作以外にも雑音が低いという特徴があり、BS 放送の初段増幅器や、電波望遠鏡の初段増幅器などに使われている。

異なる材料でのヘテロ接合

実は、ヘテロ構造を先に産業用に使ったのは、半導体レーザである。1970 年の半導体レーザの発振動作は、GaAs/AlGaAs 系で行われた。

但し、半導体レーザの場合は、バンドギャップによって発光波長が変わることから、異なる材料も求められた。そこで、GaInP や InGaAs などの多元混晶も開発された。主な III-V 材料の格子定数・バンドギャップ、移動度を示そう。

	格子定数(Å)	バンドギャップ (eV)	移動度(cm2/V/s)
GaAs	5.653	1.423	8,000
AlAs	5.661	2.14*	400
InP	5.859	1.351	5,000
GaP	5.451	2.268*	200
InAs	6.058	0.356	30,000
GaN	a 軸 3.18 Å c 軸 5.17 Å	3.440	600
AlN	a 軸 3.11 Å c 軸 4.98 Å	6.200	

表で、GaN/AlN は、六方晶なので、軸が二つある。バンドギャップで後ろに*が付いているのは間接遷移であり、発光することが難しい。

表から判る様に、GaInP は、Ga と In の比率を変えれば GaAs と同じ格子定数に出来る。このとき、1.8eV 程度の直接遷移型半導体が得られる。InGaAsも同様にして InP と格子整合が出来、そのとき 0.75eV 程度の直接遷移型半導体が得られる。この様な材料も電子デバイス用のヘテロ接合形成に使われている。

なお、光デバイス用では、様々な発光をヘテロ構造による光閉じ込め構造と共に用いるために、AlGaInP や InGaAsP などの四元混晶が、広く使われている。