

集積回路

その2

電子物理工学専攻

松澤 昭

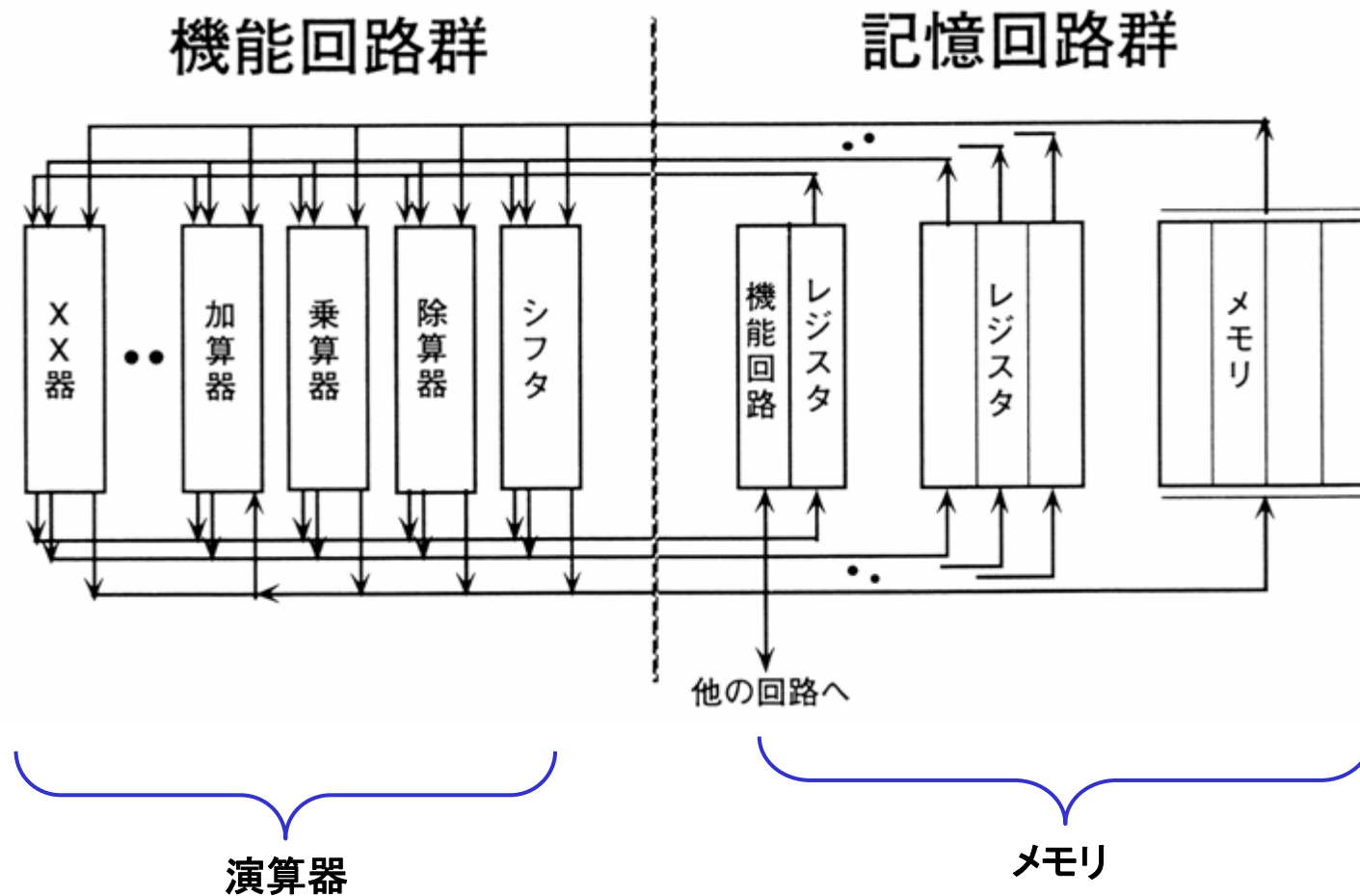
松澤研究室ホームページにいろいろな資料があります。

<http://www.ssc.pe.titech.ac.jp>

論理回路 デジタル回路

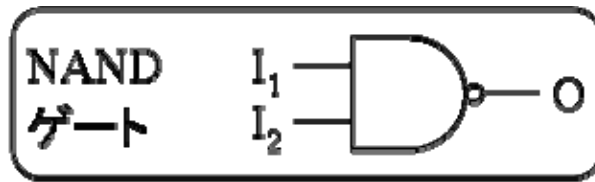
デジタルシステムの基本構成

集積回路では殆どの演算や処理がデジタル回路で行われる。
デジタル回路は論理回路とメモリ回路からなる。

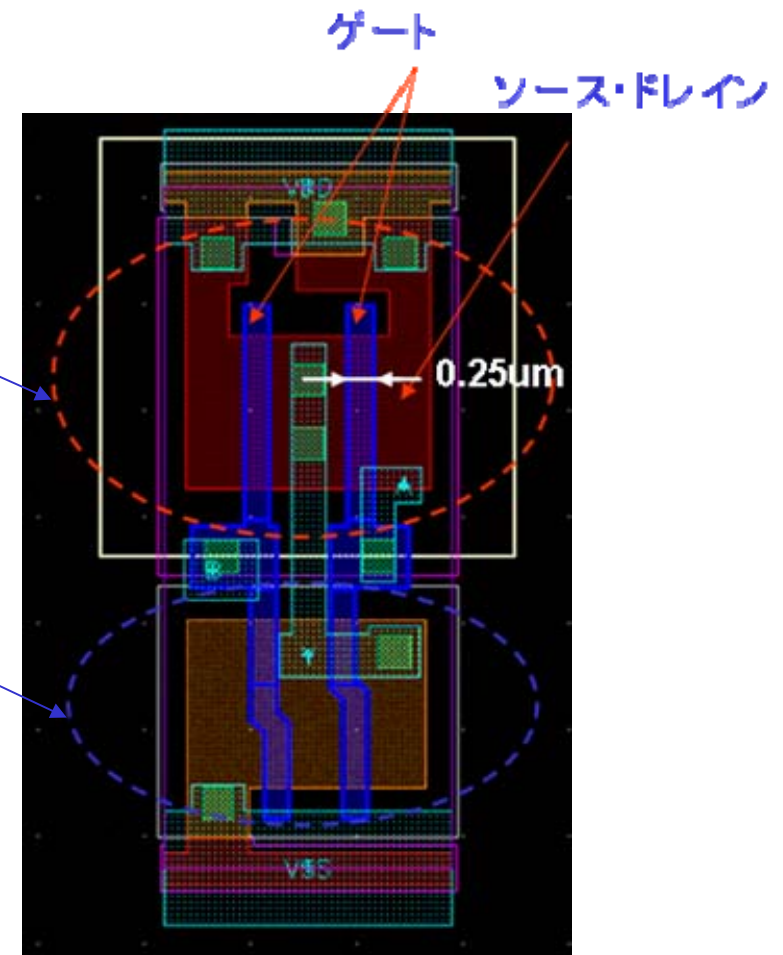
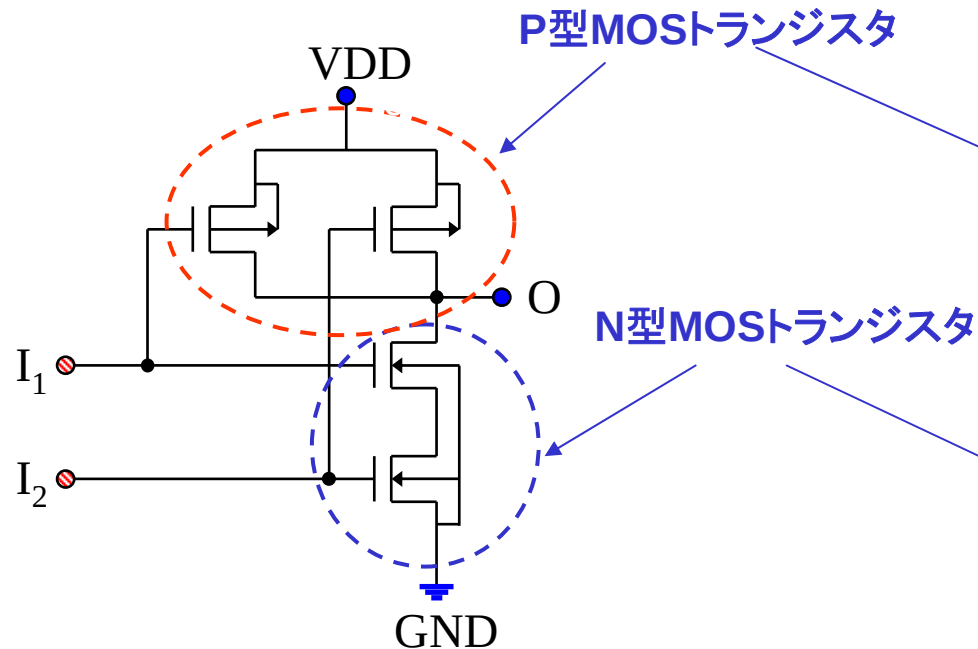


トランジスタ・回路・レイアウト

論理回路はP型MOSトランジスタとN型MOSトランジスタを形成し、これを金属で配線することで実現される。トランジスタの形成と配線はパターンを描き（レイアウト）これをマスクでレジスト（写真のフィルムのようなもの）を塗布した半導体基板に転写することで実現される。



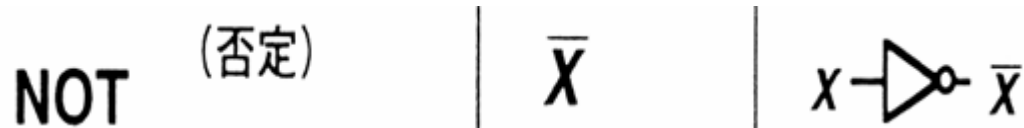
(1)論理図



トランジスタ回路図

インバータ

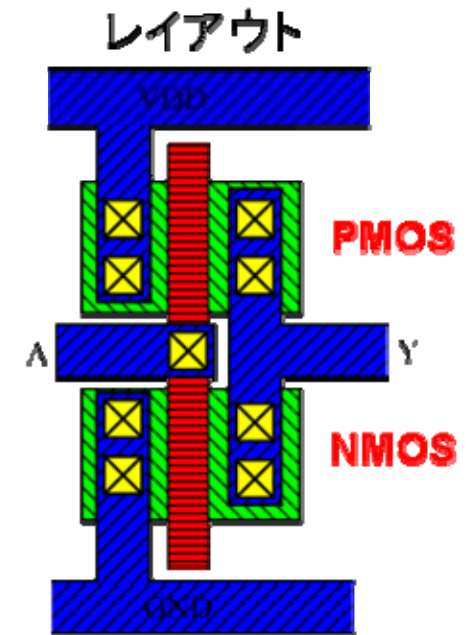
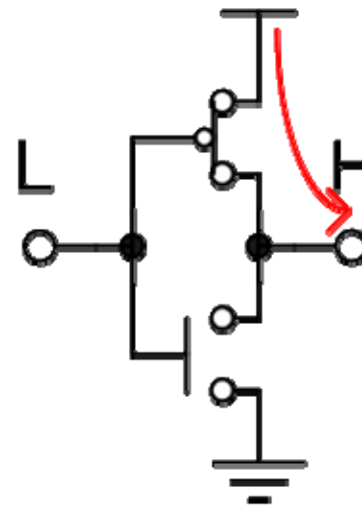
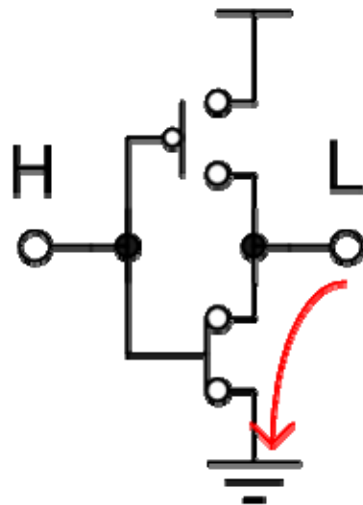
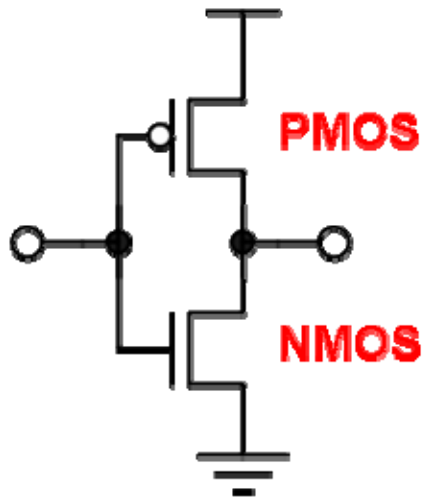
NMOSトランジスタとPMOSトランジスタを組み合わせることで論理回路が実現でき



入力A	出力Y
0	1
1	0

否定(NOT)回路は、LSI設計ではインバータ(反転)と呼ばれる。

デジタル信号では、2値は0と1しかないので、入力が0なら1となり、入力が1なら出力は0となる反転となる。



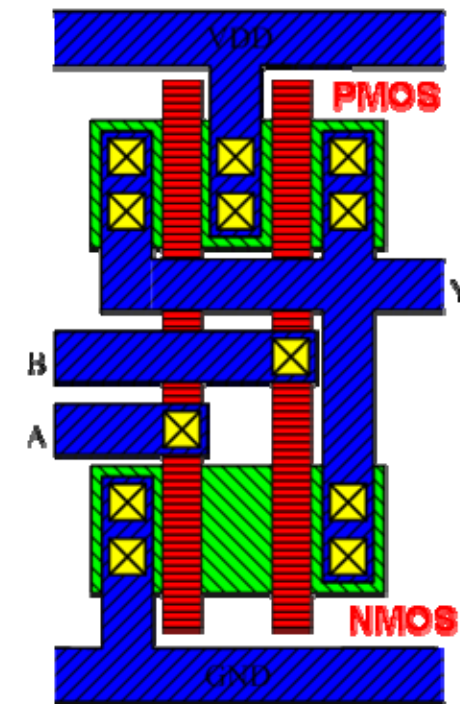
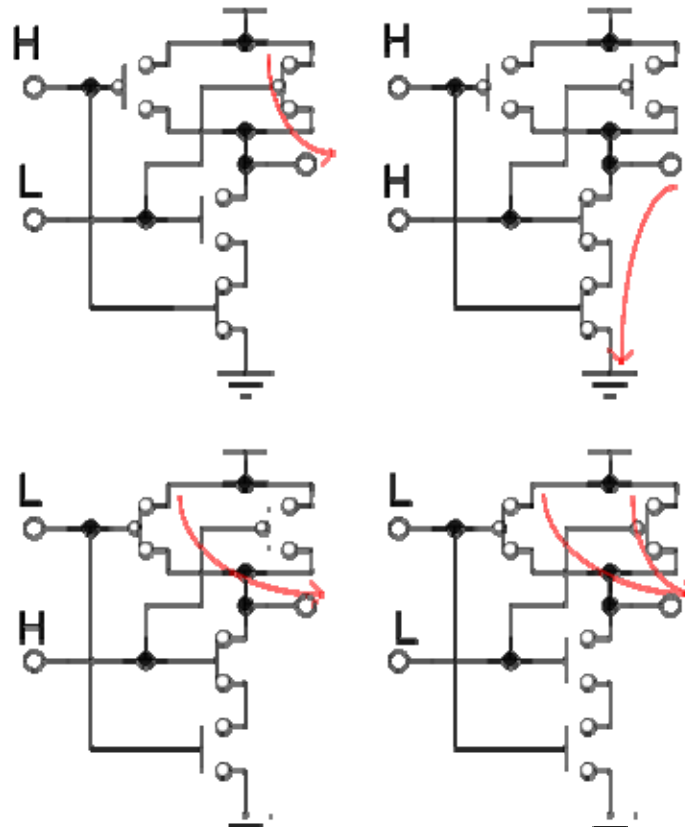
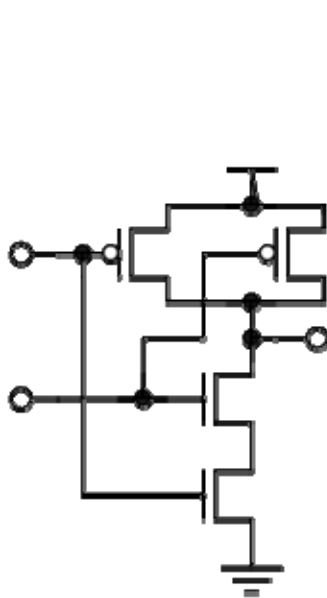
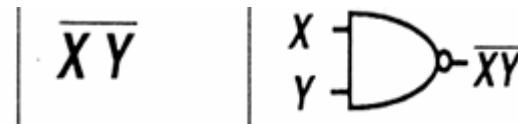
NANDゲート

NANDゲートはNOT-ANDゲートの意味をもつ。すなわちANDの否定機能をもつ論理ゲートである。入力A,Bの入力に対しての出力Yの論理式は

$$Y = \overline{A \cdot B}$$

入力		出力
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

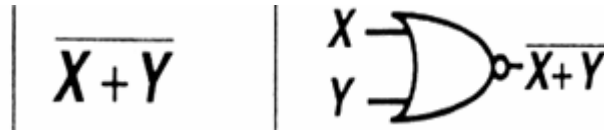
NAND



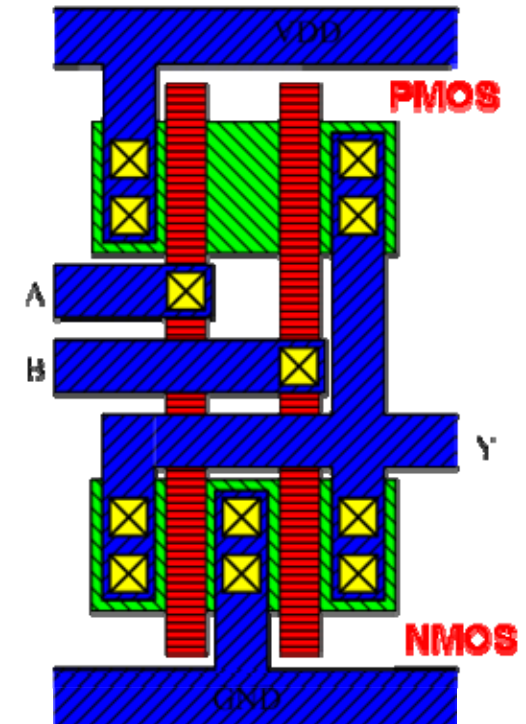
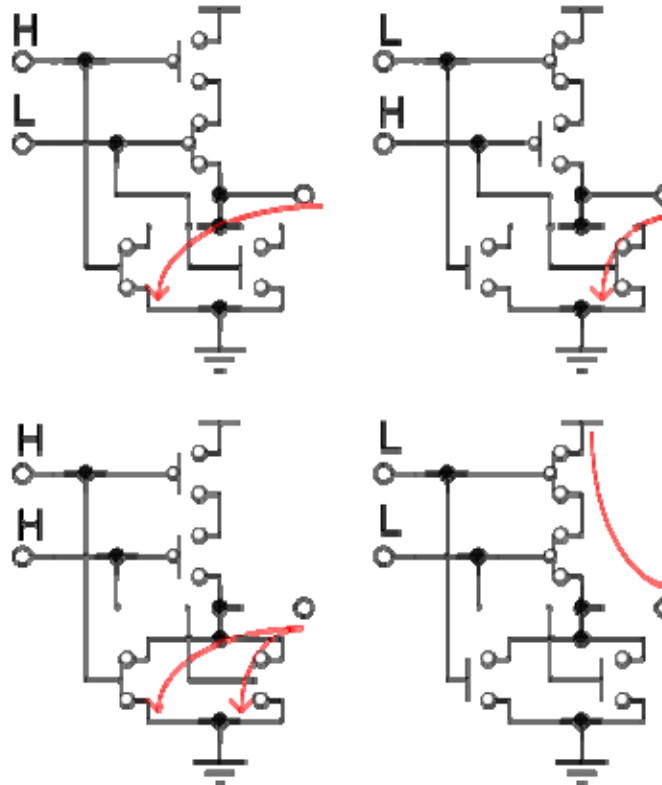
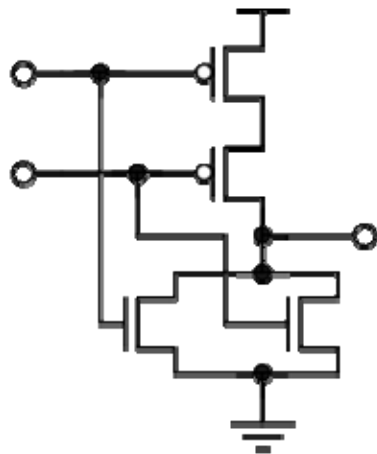
NORゲート

NORゲートはNOT-ORゲートの意味をもつ。すなわちORの否定機能をもつ論理ゲートである。入力A,Bの入力に対しての出力Yの論理式は $Y = \overline{A+B}$ となる。

NOR

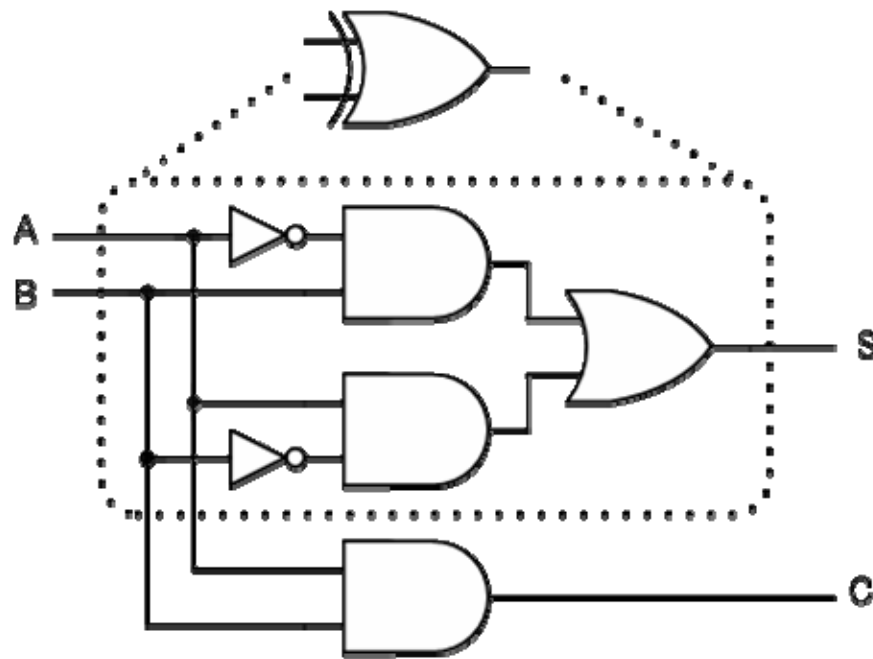


入力		出力
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



加算器（ハーフアダー）

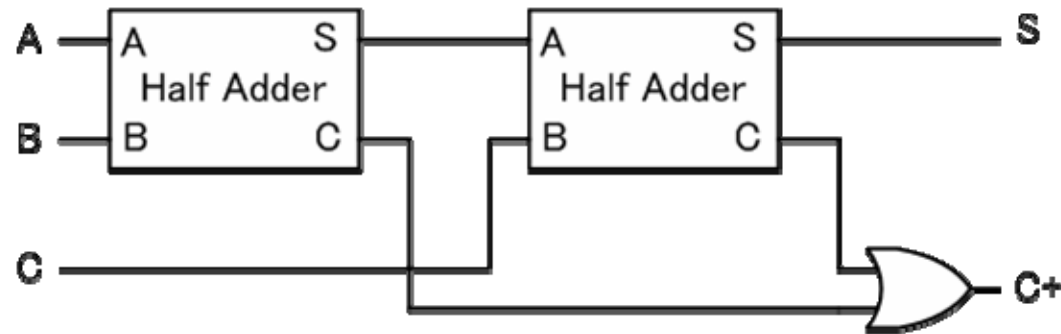
デジタル回路(2進数)での足し算機能を持った回路を加算器と呼ぶ。加算器には下位からの桁上げを考えない半加算器と、下位からの桁上げを加算していく全加算器とがある。



A	0	0	1	1
+ B	+ 0	+ 1	+ 0	+ 1
C S	0	1	1	1 0

入力		出力	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

加算器（フルアダー）

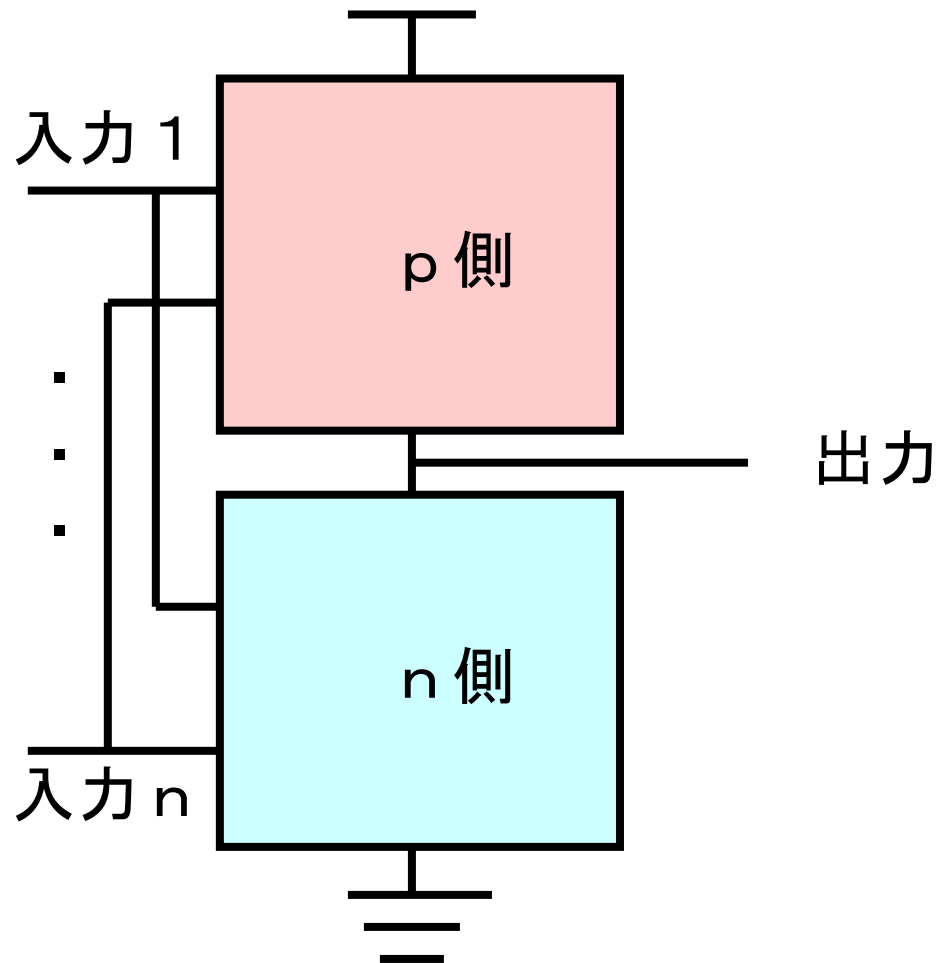


入力			出力	
A	B	C	S	C ₊
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A	0	0	0	0
B	0	0	1	1
+ C	+ 0	+ 1	+ 0	+ 1
C+ S	0	1	1	0
	1	1	1	1
	0	0	1	1
+ 0	+ 1	+ 0	+ 1	
	1	1 0	1 0	1 1

CMOS論理回路

CMOS論理回路はP型とN型が互いに双対な回路により実現される。



p 側
and: 並列
or: 直列
n 側
and: 直列
or: 並列
互いに双対な回路
出力は否定

同期型RSFF

データをクロックに同期して保持する回路ができる

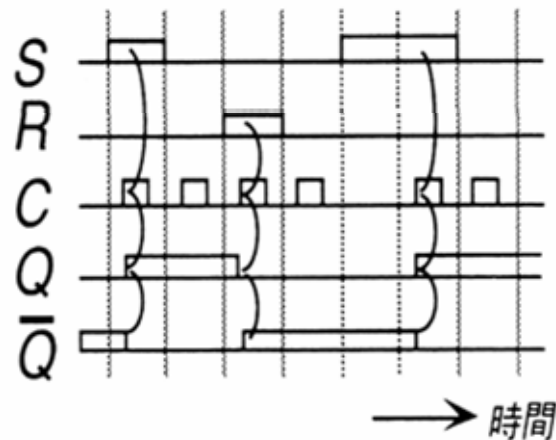
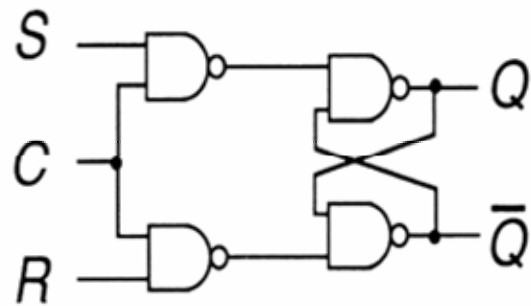
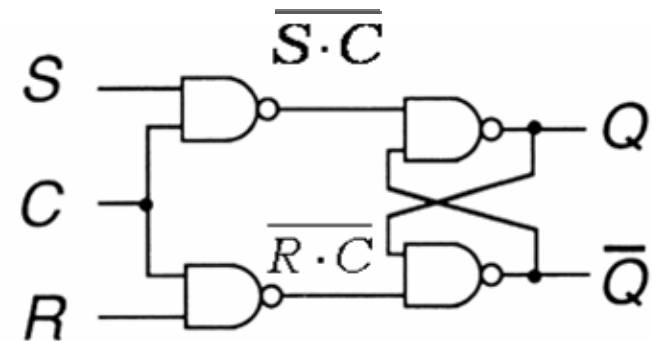


図 3.7 同期型 RSFF の回路構成と動作

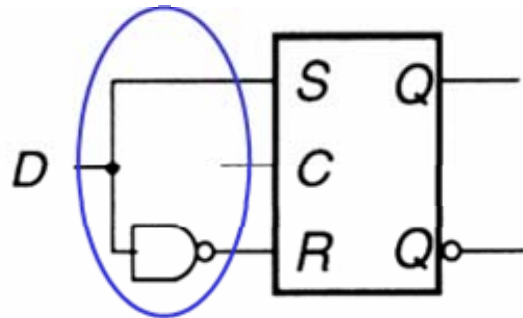


クロックCが1のときのみS, Rの反転信号がF/F
に入力される。
クロックCが0のときはS, Rに係わらず制御端
子は1,1になるので前の状態が保持される。

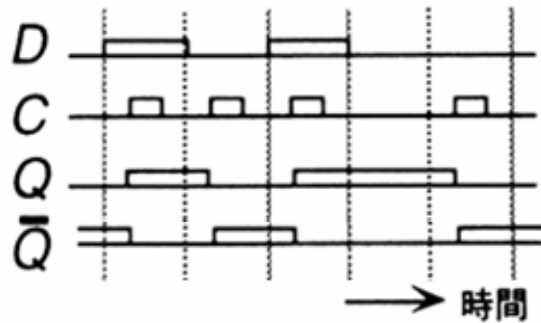
クロックの立ち上がりエッジでのみ状態が変化する

Dラッチ

Dラッチによりデータを保持できるようになる

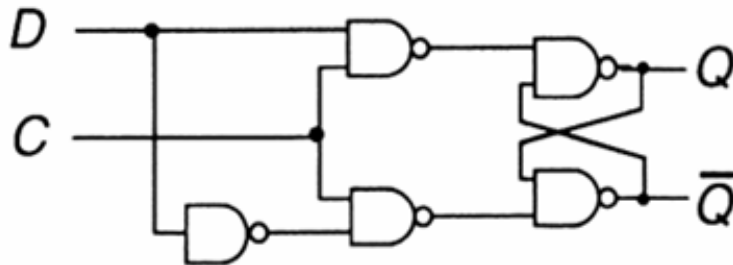


データ端子の信号をクロックに同期してFFに取り込む。



D_n	Q_{n+1}
0	0
1	1

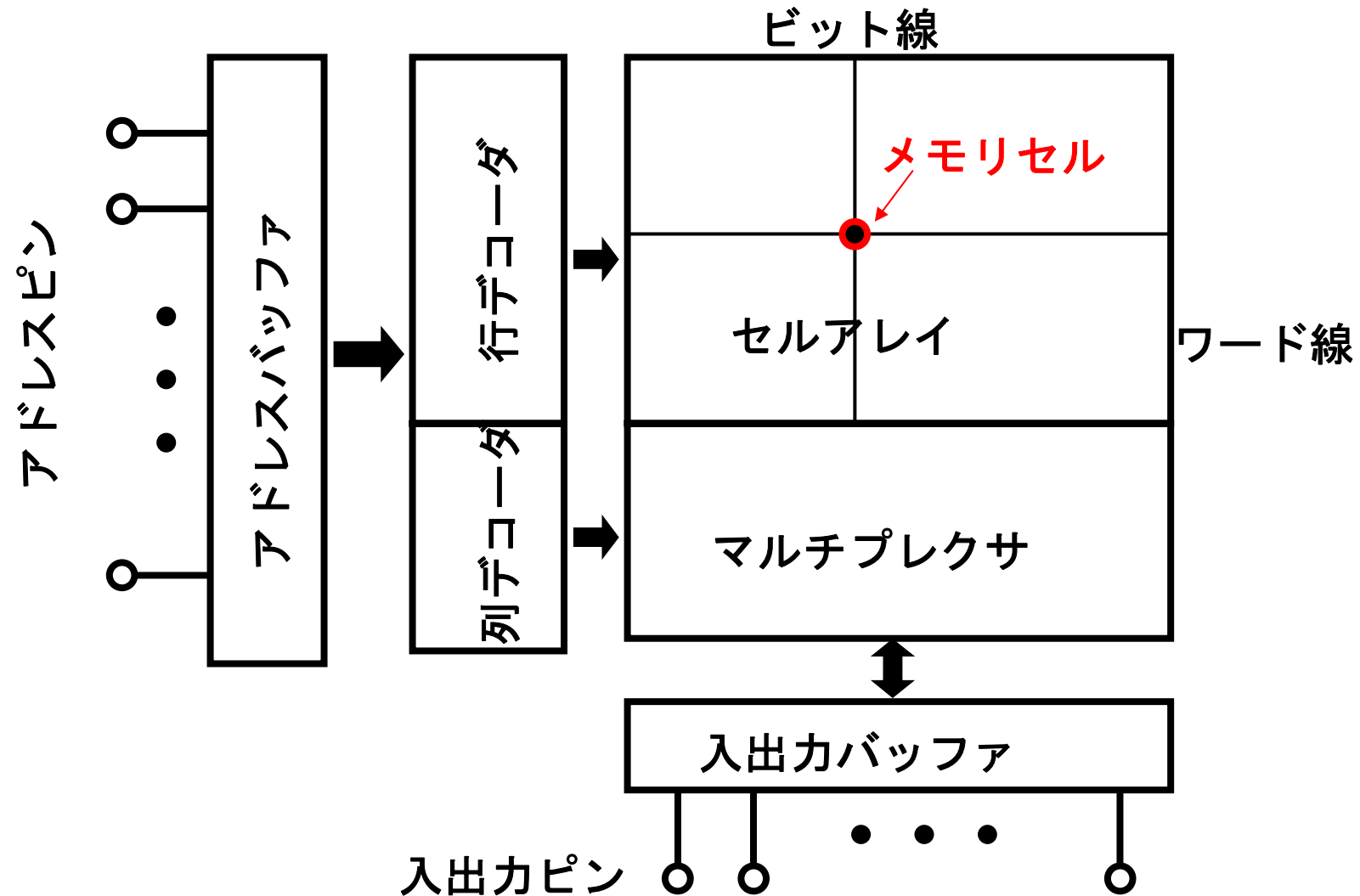
次の状態 Q_{n+1} は D_n に等しい



メモリ

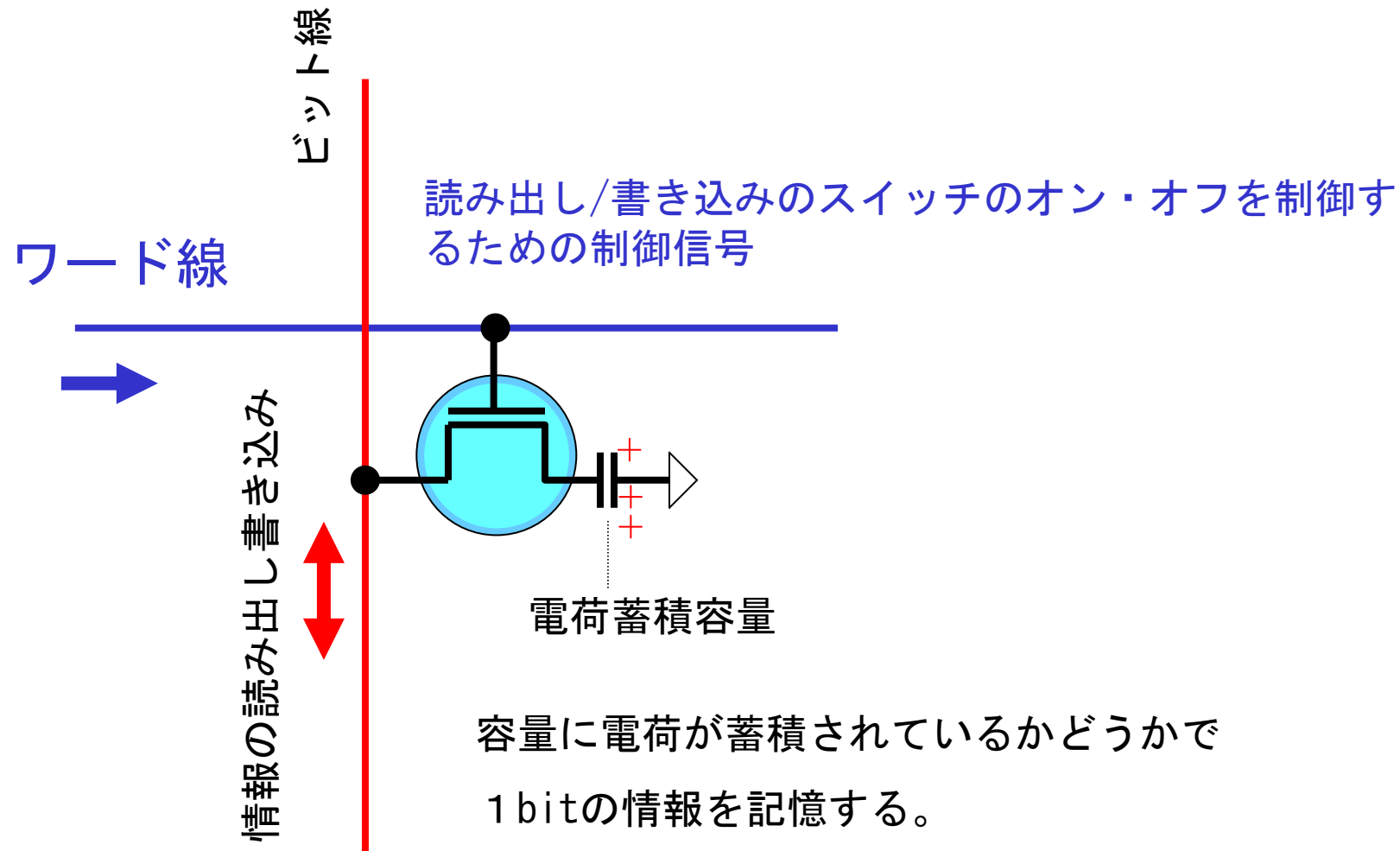
メモリの構成

メモリ中の特定データはx, yのアドレスの交点で選択される



DRAMの記憶原理とメモリセル

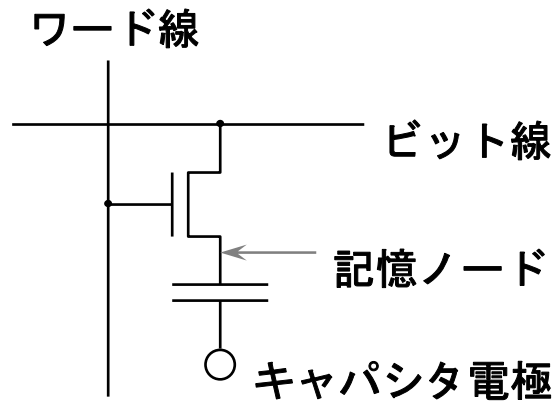
DRAMは微少な容量に電荷を蓄えるか否かで1, 0を記憶する。



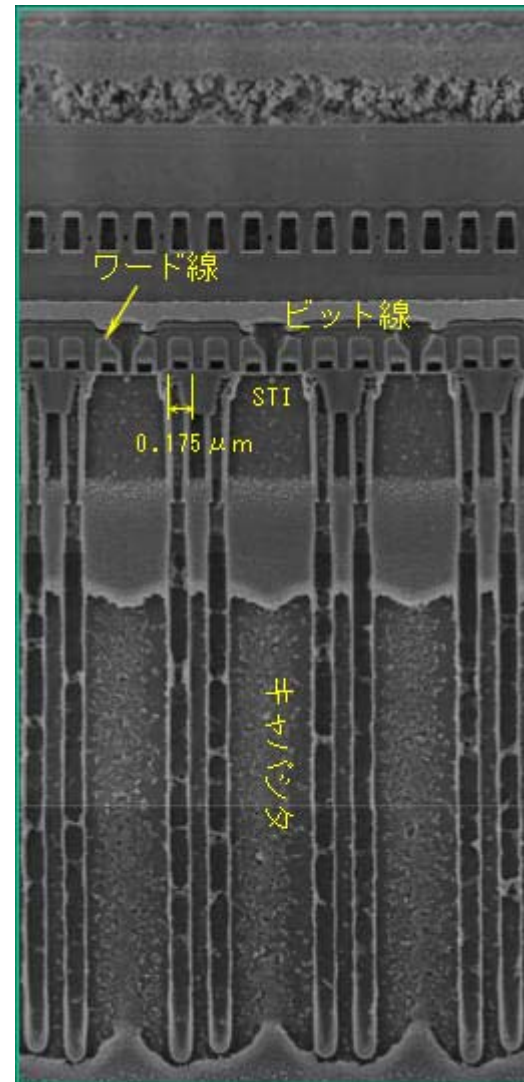
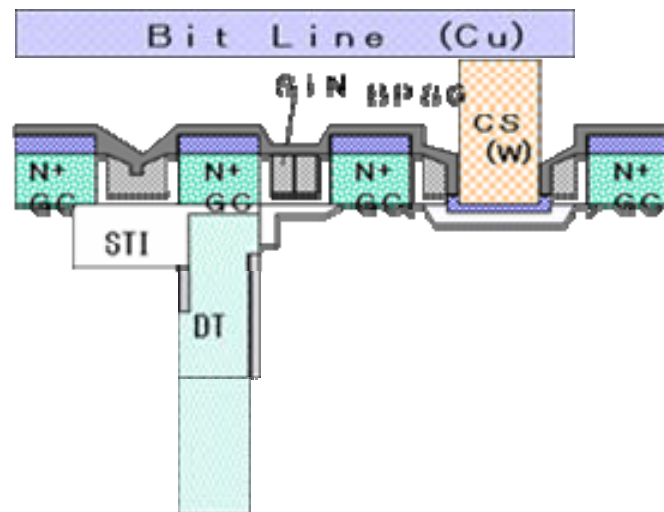
1-Transistor 1-Capacitor Cell

0.175 μm 256M DRAM

等価回路

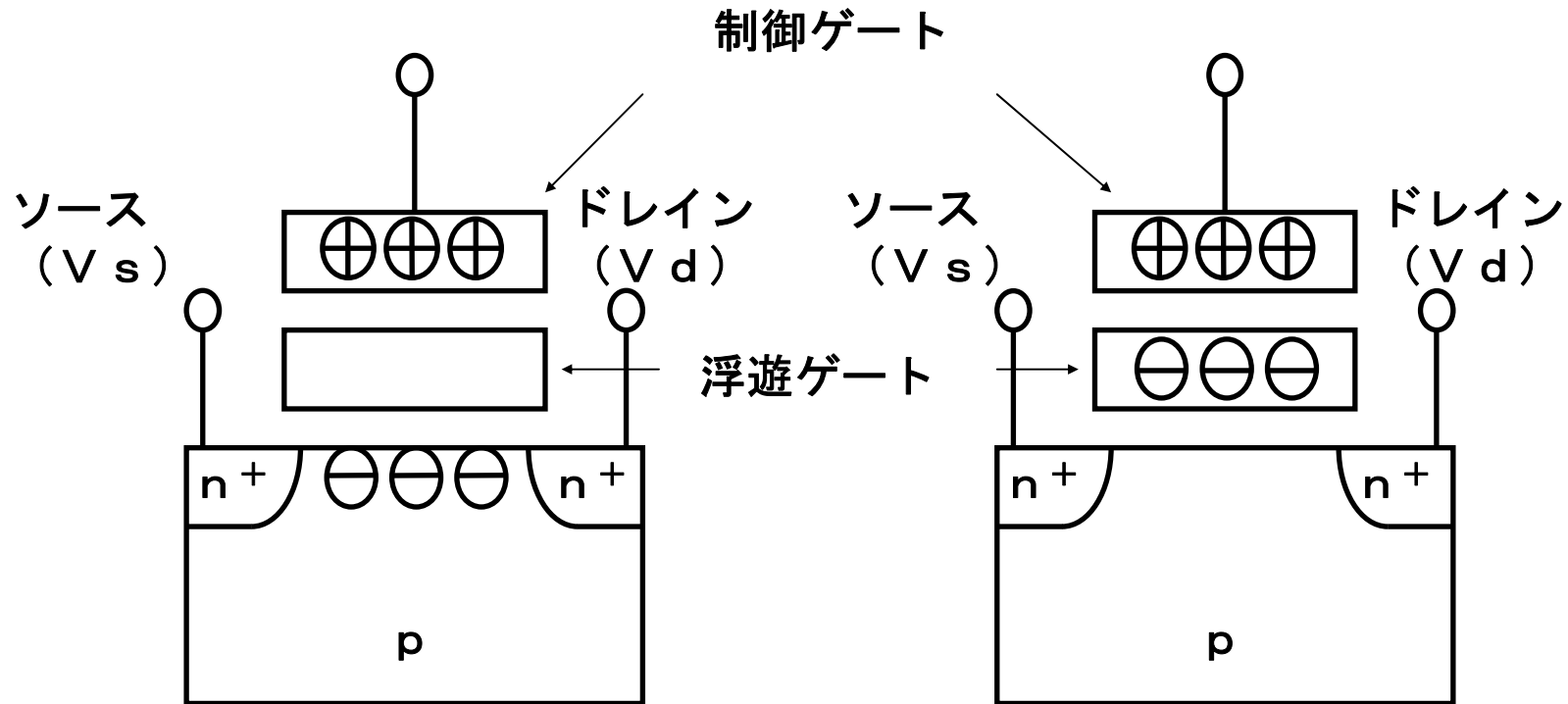


断面図



不揮発性メモリ

不揮発性メモリはゲートとチャネル間に浮遊ゲートを設け、この浮遊ゲートに電子を保持することにより、データを保持するものである。電源を切ってもデータは保存される。



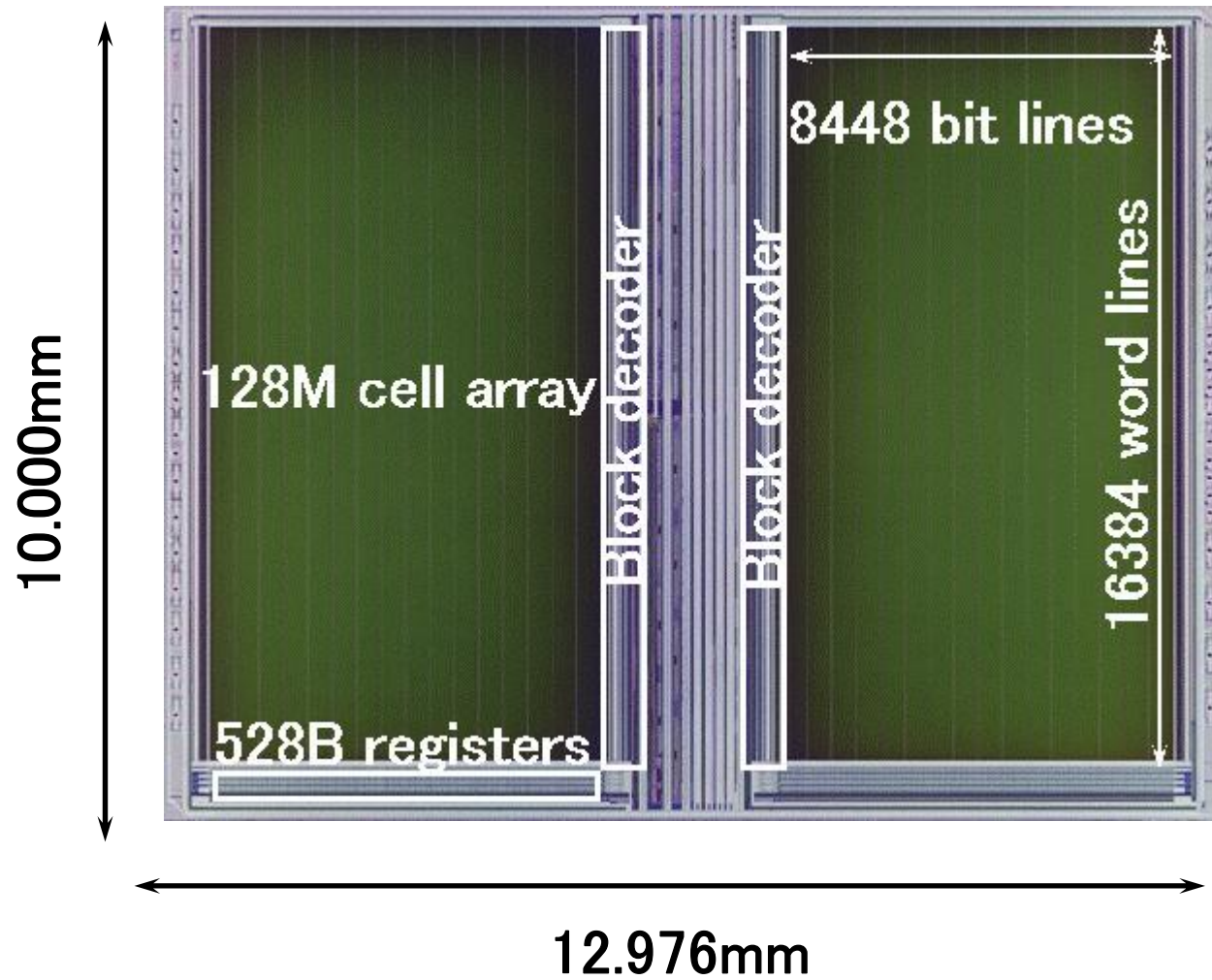
(a) 初期状態

(b) 書き込み状態

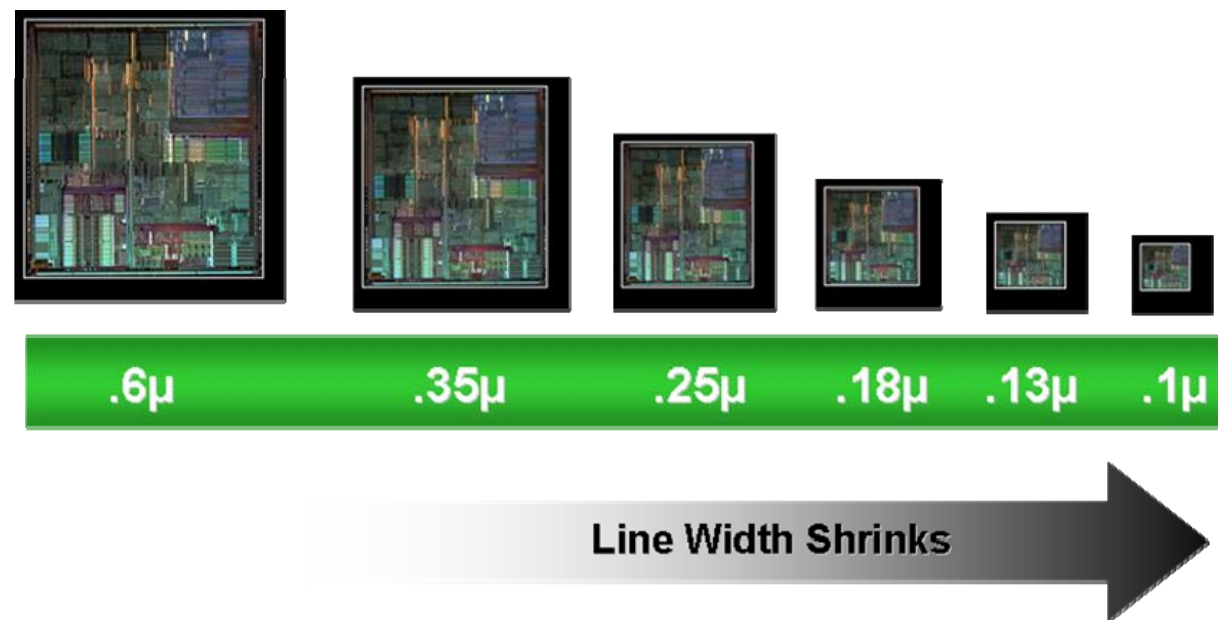
チャネルが出来て電流が流れる

チャネルが出来ず導通しない

256M-NAND型フラッシュのチップ写真

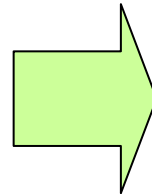
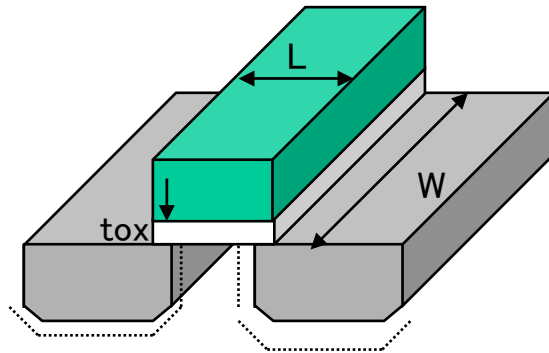


スケーリング則と微細化の進歩

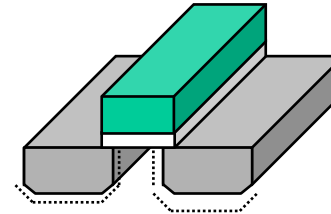


LSI技術の黄金則：スケーリング則

トランジスタの縦横の寸法と動作電圧を一定比率で縮小する



Scaling



$$S \approx \sqrt{2} \quad \text{動作電圧も} 1/S \text{にする}$$

デバイスと回路のパラメータ	Scaling Factor
寸法： L, W, Tox	1/S
不純物濃度	S
電圧	1/S
電界	1
電流	1/S
回路遅延時間	1/S
消費電力（デバイス1つあたり）	1/S ²

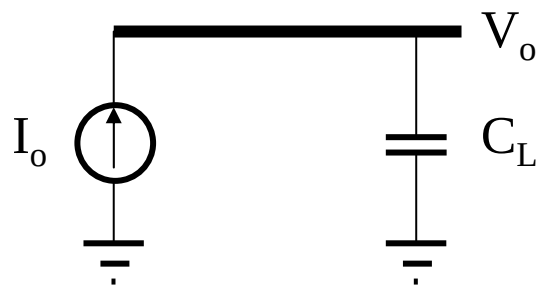
微細化・低電圧化により、

- ・高密度化(低コスト)
- ・高速化
- ・低消費電力

が同時に達成される

動作速度

どんなデバイスでも動作速度は論理電圧と駆動電流、容量の関係で決まる。



$$\tau_{pd} \approx \frac{C_L V_{LT}}{I_o} \approx \frac{C_L V_{DD}}{2I_o}$$

遅延時間を短縮するには

- ・容量を下げる
- ・論理しきい値電圧を下げる
- ・出力電流を増加させる

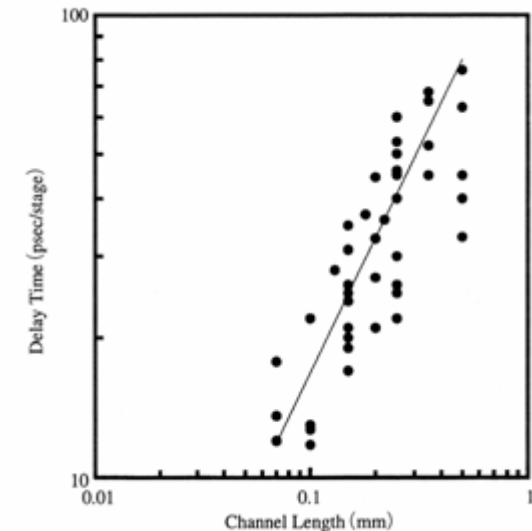
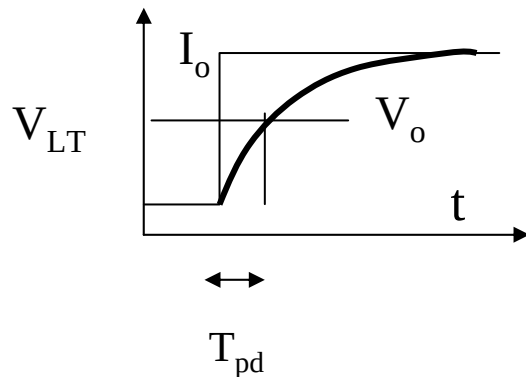
真性の微細化CMOSの場合は

$$C_L = C_g \approx C_{ox} L W$$

$$\overline{Q_{ch}} = \frac{1}{2} W C_{ox} (V_{dd} - V_T)$$

$$I_o \approx Q_{ch} \cdot v_{sat} = \frac{1}{2} W C_{ox} (V_{dd} - V_T) \cdot v_{sat}$$

$$\therefore T_{pd} \approx \frac{L}{v_{sat}} \cdot \frac{1}{\left(1 - \frac{V_T}{V_{dd}}\right)}$$

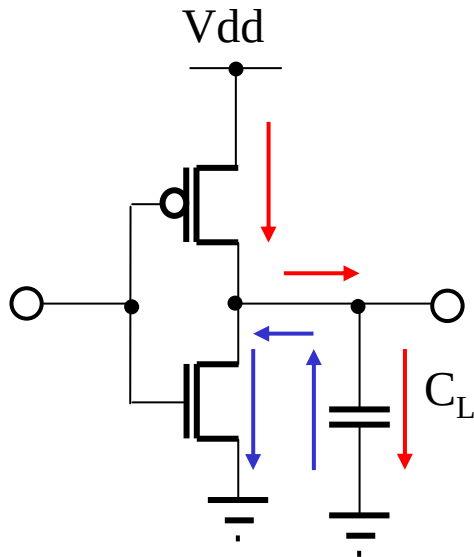


v_{sat} : キャリアの飽和速度

V_T/V_{dd} 比を一定に取ればチャネル長 L に比例して遅延時間を短縮できる

消費電力

CMOS回路の消費電力



$$P_d \approx \underbrace{fC_L V_{dd}^2}_{\text{容量のスイッチング電力}} + \underbrace{I_{leak} V_{dd}}_{\text{これは従来あまり大きくなかった 今後は影響が大きい}}$$

容量のスイッチング電力

これは従来あまり大きくなかった
今後は影響が大きい

消費電力を下げる

- ・動作周波数を下げる
- ・容量を下げる
- ・電源電圧を下げる

CMOS回路の優れたところ

- ・定常電流が流れない
- ・駆動電流を上げて速度を上げてても消費電力は増加しない

スケーリング則の検証

・遅延時間

$$\tau_{pd} \propto \frac{C_L V_{ds}}{I_{ds}} \quad T_{pd} \approx \frac{T_{pd}}{S}$$

$$C_L \approx C_{gs} \propto \frac{LW}{T_{ox}} \rightarrow \frac{\left(\frac{L}{S}\right)\left(\frac{W}{S}\right)}{\left(\frac{T_{ox}}{S}\right)} \rightarrow \frac{1}{S}$$

$$I_{ds} = \frac{W}{T_{ox}} (V_{dd} - V_T) \cdot v_{sat} \rightarrow \frac{\left(\frac{W}{S}\right)}{\left(\frac{T_{ox}}{S}\right)} \left(\frac{V_{dd}}{S}\right) \left(1 - \frac{\left(\frac{V_T}{S}\right)}{\left(\frac{V_{dd}}{S}\right)}\right) \cdot v_{sat} \rightarrow \frac{1}{S}$$

$$V_{dd} \rightarrow \frac{V_{dd}}{S}$$

$$\therefore T_{pd} \approx \frac{T_{pd}}{S}$$

・規格化消費電力=消費エネルギー

$$P_d \approx f C_L V_{dd}^2$$

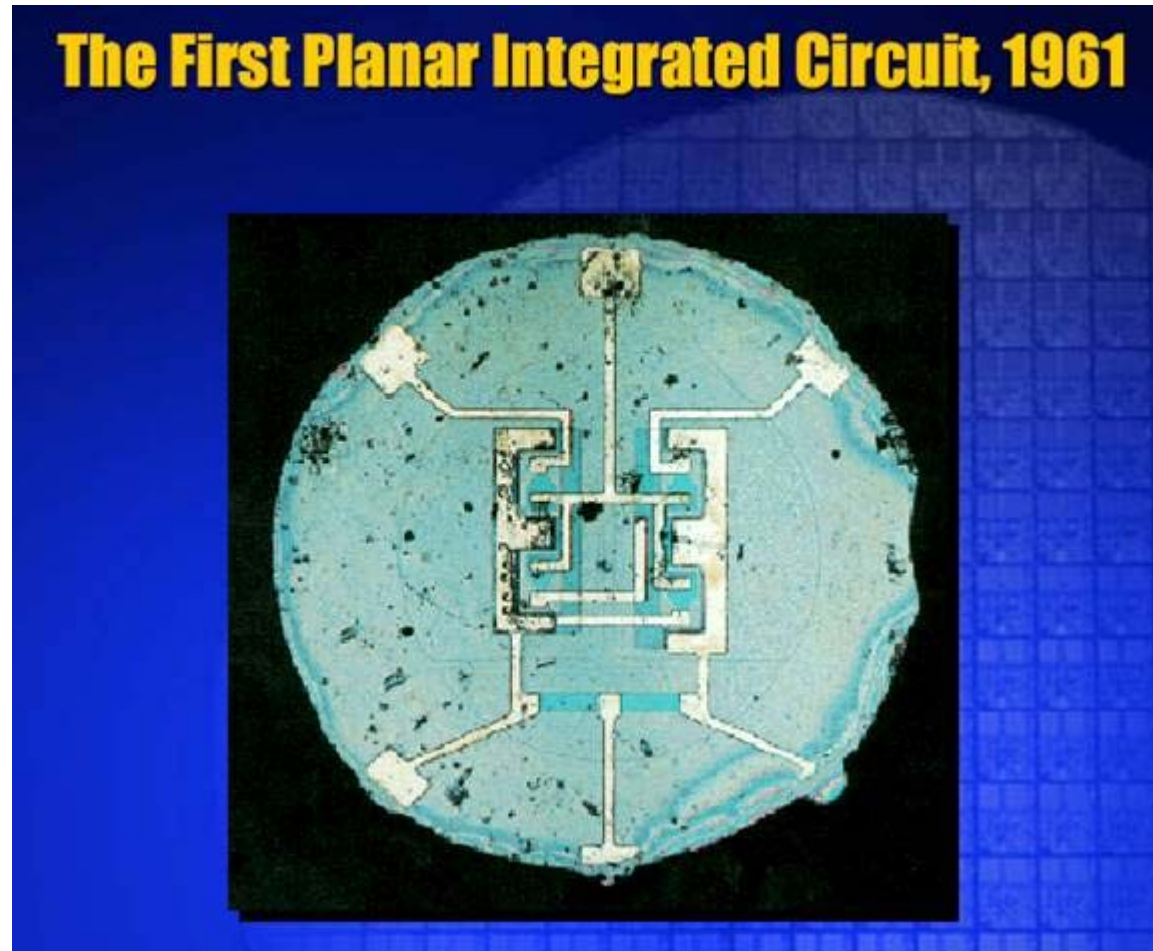
$$E_d = C_L V_{dd}^2 \quad (\text{消費エネルギー})$$

$$E_d = C_L V_{dd}^2 \rightarrow \frac{C_L}{S} \left(\frac{V_{dd}}{S}\right)^2 \rightarrow \frac{1}{S^3}$$

スケールファクターの3乗に反比例する。
しかし実際は配線容量があまり下がらないので
S²程度になる。

最初の集積回路

最初の集積回路はトランジスタ4個程度を集積した簡単なものであった。



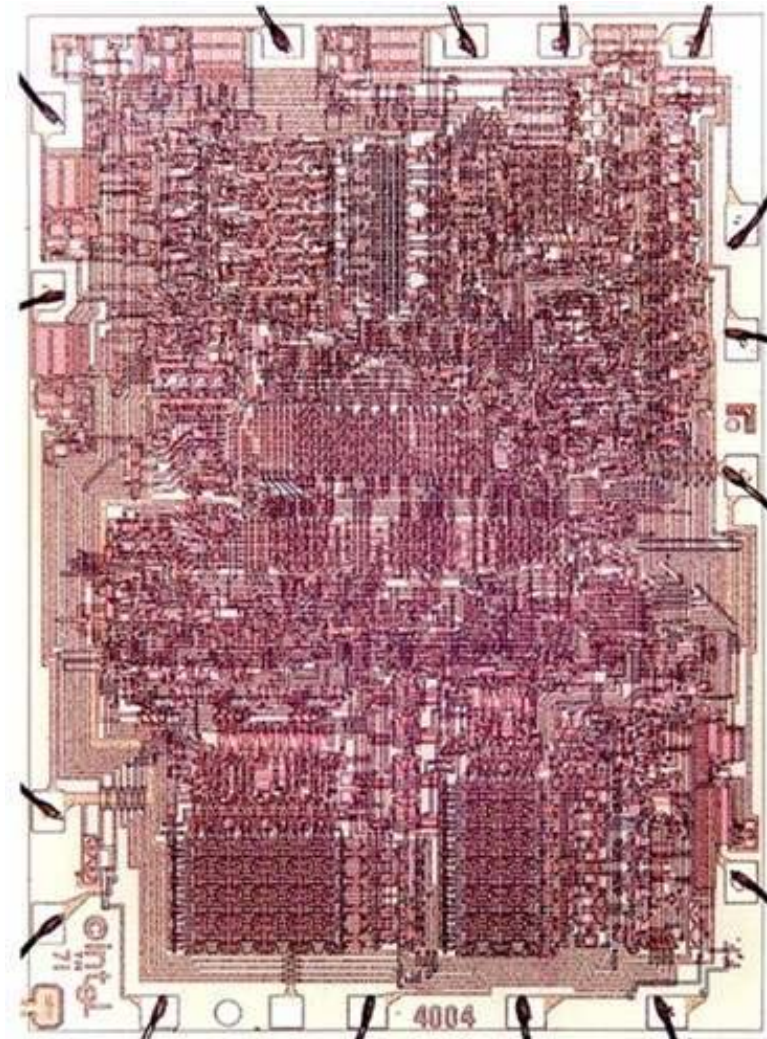
Gordon E. Moore, ISSCC 2003.

世界最初のマイクロプロセッサ

(http://www.intel.com/intel/museum/25anniv/hof/hof_main.htm)

世界初のマイコンはトランジスタ数 2000個程度の簡単なものであった。
現在は1億個を集積する

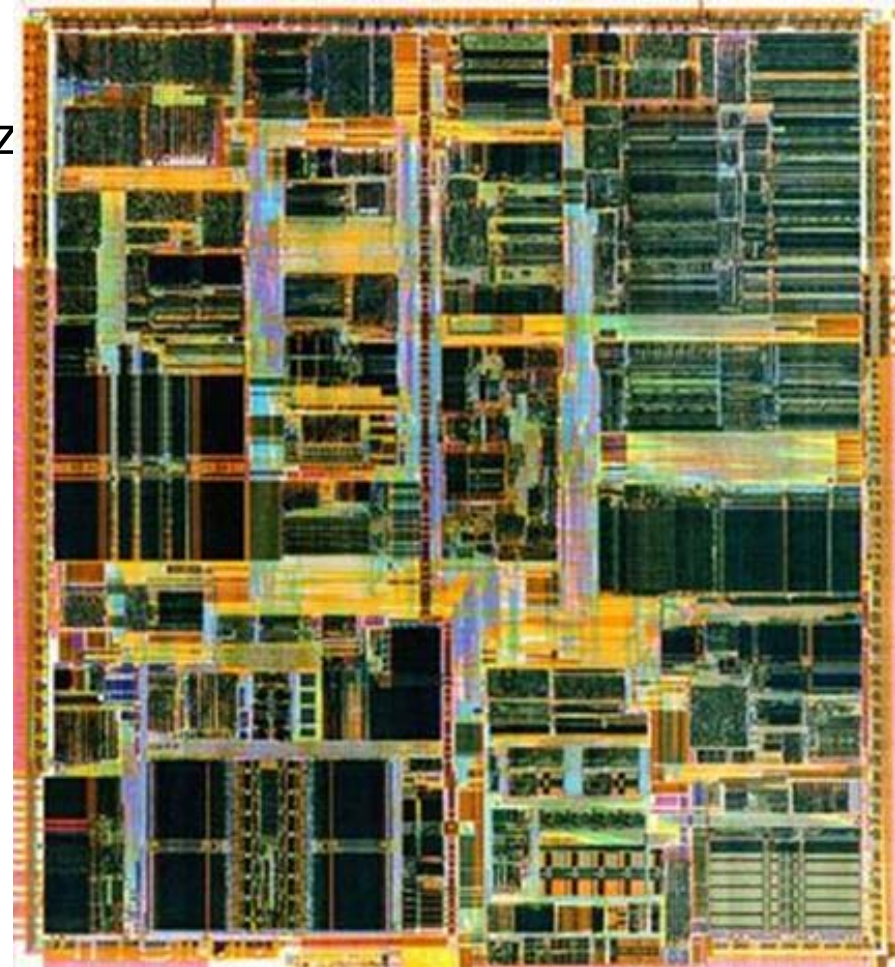
- Intel 4004 (1971年)
 - 動作周波数 : 108KHz
 - バス巾 : 4ビット
 - プロセス技術 : 10um
 - トランジスタ数 : 2300
 - メモリ : 640バイト



最近のマイクロプロセッサ

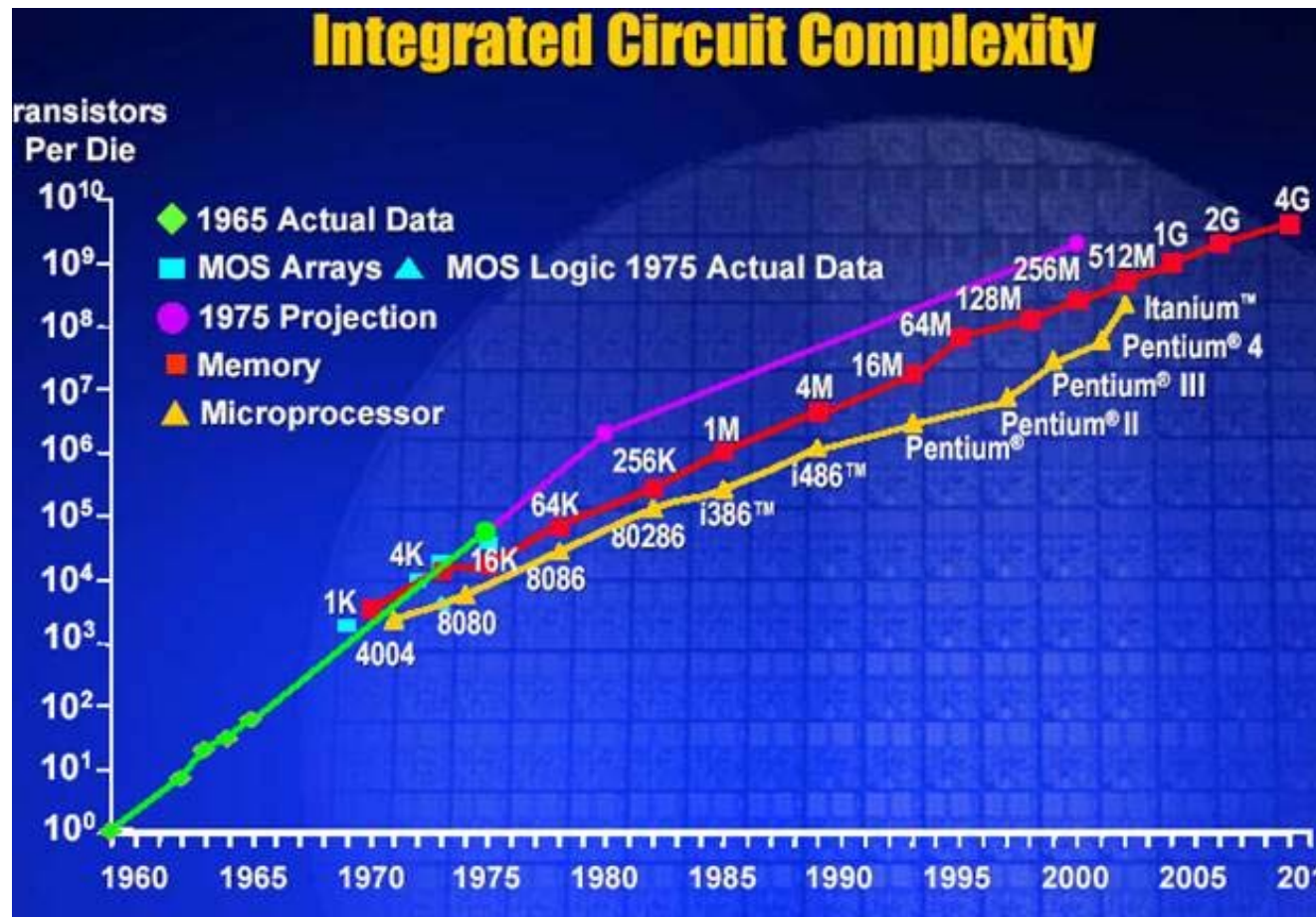
(http://www.intel.com/intel/museum/25anniv/hof/hof_main.htm)

- Pentium II (1997年)
 - 動作周波数 : 233~300MHz
 - バス巾 : 64ビット
 - プロセス技術 : 0.35 μ m
 - トランジスタ数 : 750万
 - メモリ : 64Tバイト
- Pentium II (1998年)
 - 動作周波数 : 450MHz
 - プロセス技術 : 0.25 μ m
 - トランジスタ数 : 750万



集積度の推移

- ・チップに集積されるトランジスタは数億個レベルになった
- ・30年間で6桁上昇した 年率60%アップ, 3年で4倍



Gordon E. Moore, ISSCC 2003.

トランジスタコストの推移

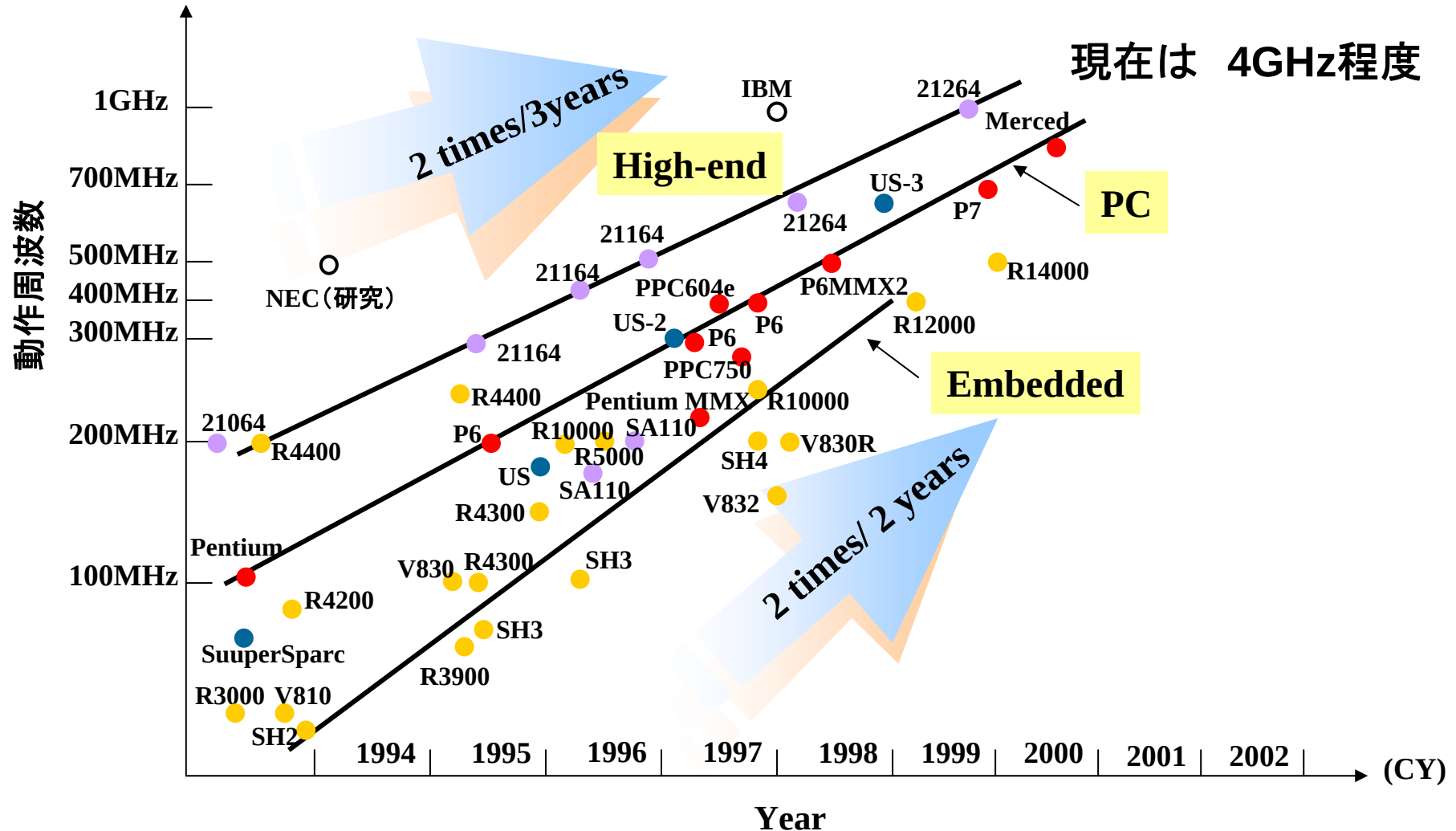
- トランジスタコストは30年間で6桁減少した。



Gordon E. Moore, ISSCC 2003.

動作速度の向上

微細化によりプロセッサの動作速度が向上



半導体売り上げの推移

- ・世界の半導体売り上げは76年から94年まで順調に伸び、20兆円規模に成長した。



Gordon E. Moore, ISSCC 2003.