14. A/D D/A 変換器

現代はデジタル時代であり、電子機器の殆どの信号処理はデジタルで行われる。しかしながら外部信号はアナログであり、アナログ信号とデジタル信号の変換を行う機能が必要とされる。アナログ信号をデジタル信号に変換するのが A/D 変換器であり、デジタル信号をアナログ信号に変換するのが D/A 変換器である。この A/D D/A 変換器は最後のアナログ回路とも言われる。高性能の A/D D/A 変換器があれば、一部のフィルターや増幅器、場合によってはミキサーなどのアナログ回路が不要になる可能性がある。実際はそう簡単ではないが A/D D/A 変換器は今後も発展して行くであろう。

この章では A/D D/A 変換の性質、基本的な仕様、A/D D/A 変換器の代表的な変換方法とその特徴について述べる。

14.1 A/D D/A 変換

図 14.1 に現在の電子機器の基本である、アナログ信号をデジタル信号処理して再びアナログ信号に戻すシステムの構成を示す。

通常、A/D 変換器の入力にはプレフィルターを配置し、標本化に伴う周波数の折れ返しを防ぎ、また信号振幅が適切な大きさになるように可変利得増幅器(AGC)を置く場合がある。D/A 変換器の出力には周波数の折れ返しを防ぐポストフィルターを配置する。

このようなシステムを構成する場合は A/D D/A 変換の特徴を理解する必要がある。

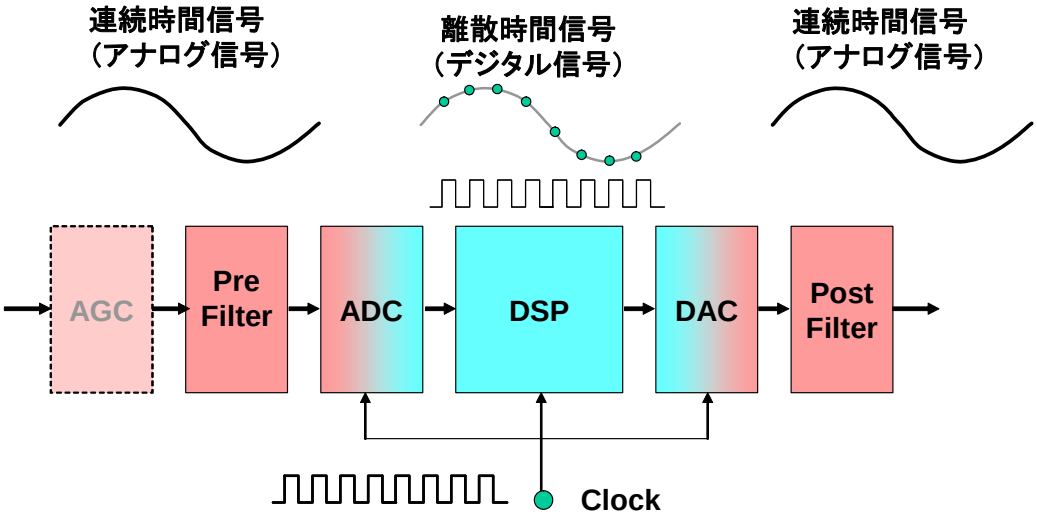

図 14.1 A/D D/A 変換器と DSP を用いた信号処理システムの構成

A/D 変換は図 14.2 に示すような標本化と量子化の 2 つのプロセスが必要である。

標本化とは、ある決まった周期のタイミングでの入力アナログ信号の値をサンプリングすることであり、量子化とは入力アナログ信号の値を有限の分解能の数値に丸めることであ

る。標本化とは時間方向の離散化であり、量子化とは電圧や電流などの信号の大きさの離散化であり、２つの離散化が行われている。

D/A 変換はこの逆過程で、有限の分解能の数値に対応するアナログ値（電圧、電流など）を決まった周期のタイミングで出力することである。

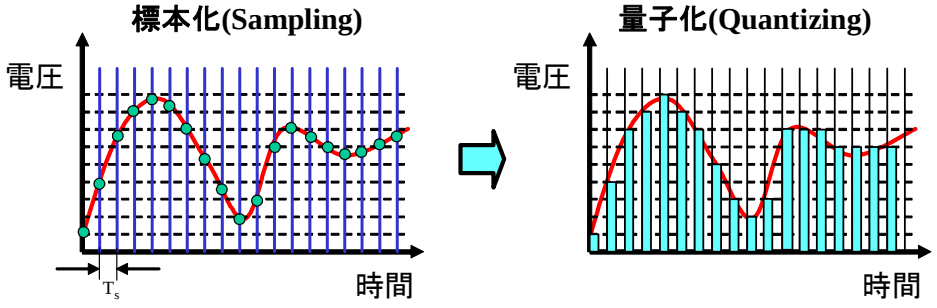

図 14.2 標本化と離散化

14.2 量子化誤差と SNR

A/D 変換時には図 14.3 のように値そのものが、連続的な値から量子化された値に変換される。したがって図中の三角形の部分が誤差となる。これを量子化誤差という。

この量子化誤差は入力信号と標本化信号が何らかの相関を持つ場合は歪みとして取り扱う必要があるが、ランダム信号とみなすことが可能な場合はノイズとして処理できることが多い。そこで、この量子化に伴うノイズの大きさとその信号に対する比率 SNR(Signal to Noise Ratio)を求める。

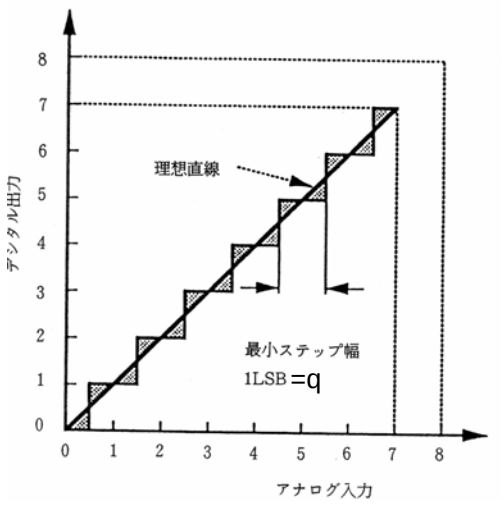

図 14.3　A/D 変換の入出力特性

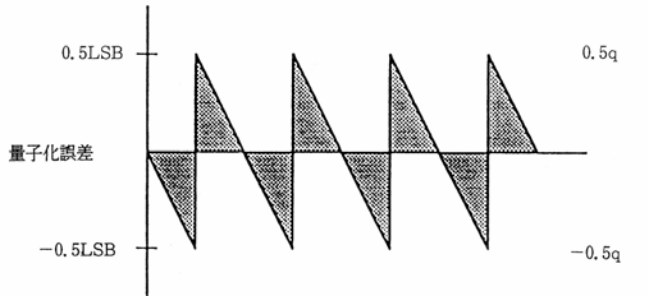

図 14.4　量子化誤差

量子化誤差が図 14.4 にように-q/2 と q/2 の間に均等に分布しているとすれば、その確率密度関数 p(x)は

$$p(x)=\begin{cases}\dfrac{1}{q}, & |x|\le\dfrac{q}{2}\\ 0, & |x|>\dfrac{q}{2}\end{cases} \qquad (14.1)$$

であるので、確率平均電力、つまり量子化雑音 N_q は、

$$N_q=\int_{-\frac{q}{2}}^{\frac{q}{2}}x^2p(x)dx=\frac{1}{3}\left(\frac{q}{2}\right)^2=\frac{q^2}{12} \qquad (14.2)$$

となる。

一方フルスケールの正弦波信号入力を A/D 変換器に加えたときの信号電力 S は、N を A/D 変換器の分解能として、

$$S=\frac{1}{2}\left(\frac{2^Nq}{2}\right)^2=2^{(2N-3)}q^2 \qquad (14.3)$$

となる。したがって、

$$\frac{S}{N_q}=1.5\cdot 2^{2N} \qquad (14.4)$$

であり、dB で表示すると、

$$SNR = 10\log\left(\frac{S}{N_q}\right) = 20N\log 2 + 10\log 1.5 = 6.02N + 1.76\,(\mathrm{dB}) \qquad (14.5)$$

となる。つまり分解能 N を 1 ビット上げるにつれて SNR は 6dB 向上する。高分解能の A/D 変換器が必要な理由の一つはこの高い SNR を得るためである。

14.3 変換特性仕様

A/D 変換器および D/A 変換器の変換特性に関する仕様を述べる。

1) 積分非直線性誤差および微分非直線性誤差

A/D 変換器においては入力アナログ信号と変換デジタル値の対応関係を、D/A 変換器においては入力デジタル値と変換アナログ信号との対応関係を示す。

図 14.5 に示した、A/D 変換特性を用いて説明すると、理想的な変換特性は波線で示したようになるが、実際の変換特性は実線で示したようになる。そこで、通常変換値が遷移するときの実際の入力信号値の理想特性からのずれを積分非直線性誤差特性と言い、その最大値を積分非直線性誤差(INL: Integrated Non-Linearity)という。ただし、ベストフィット法という、入出力変換特性に一定のオフセット量を設けて積分非直線性誤差が最小になる求め方があり、この定義が用いられていることが多い。

また一定の変換値を取る入力信号電圧 V_a の理想的な量子化電圧 V_q からのずれを、量子化電圧 V_q で規格化した値を微分非直線性誤差(DNL: Differential Non-Linearity)という。

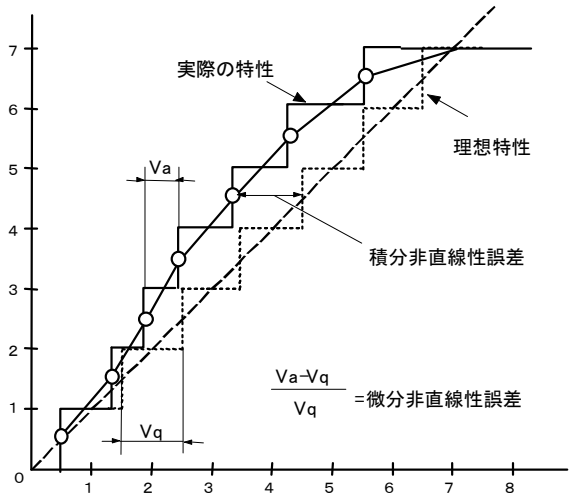

図 14.5　A/D 変換特性

2)　単調性

図 14.6 に示したように、A/D D/A 変換器の入出力特性において、単調増加もしくは単調減少が崩れると、上がって、下がって、また上がる様な特性になる。この場合は直線性の劣化自体はさほど大きくなくても、応用上大きな問題になる。そこで、この単調性が保たれているかが重要になる。特に負帰還がかかっているシステムでは発振やローカルトラップなどの問題を引き起こす。この単調性の劣化はバイナリー構造の A/D D/A 変換器で発生し易い。

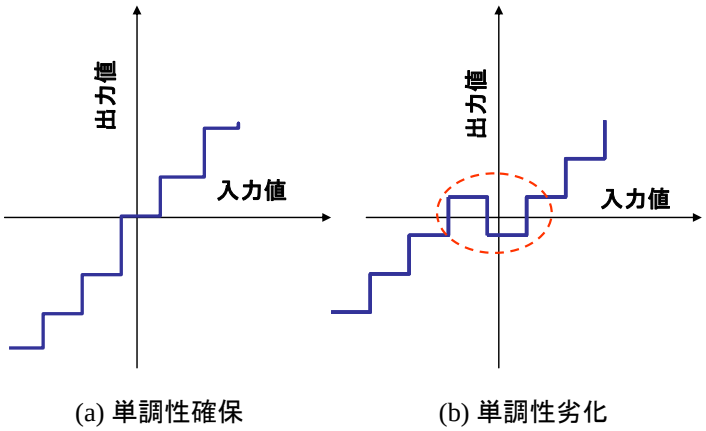

図 14.6 単調性

3)　動的特性

動的特性は信号の歪みやノイズの特性を表したもので、A/D 変換においては図 14.7 に示すように、正弦波信号を入力し、変換されたデジタル信号を FFT することで得られる。D/A 変換においてはデジタル的に正弦波信号を発生させ、出力アナログ信号のスペクトラムより得られる。

歪みやノイズに関して、以下のような特性が重要である。

SNR= 信号電力/ノイズ電力

SFDR=信号電力/最大高調波電力

THD=全高調波電力/信号電力

SNDR=信号電力/（ノイズ電力＋全高調波電力）

有効ビット（ENOB）=(SNDR(dB)-1.76)/6.02

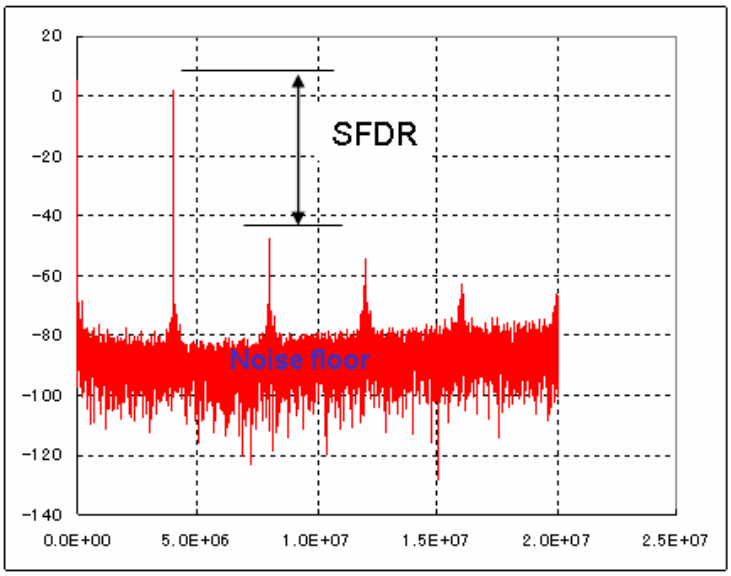

図 14.7　A/D 変換後のスペクトラム

14.4 D/A 変換器

D/A 変換器はデジタル信号をアナログ信号に変換する回路である。単独での使用の他に A/D 変換器の内部回路としても用いられるため、初めに D/A 変換器を説明する。

1) D/A 変換器

デジタル信号をアナログ信号に変換するのが D/A 変換器である。N ビットのデジタル入力の各ビットを最上位ビット MSB (Most Significant Bit)から順に D_1, D_2,　D_N とするとき、出力電圧 V_o は、

$$V_o = V_{FS}\left(\frac{D_1}{2} + \frac{D_2}{2^2} + \cdots + \frac{D_N}{2^N}\right) + V_{os} \quad D_i \in \{1,0\} \qquad (14.6)$$

ここで V_{os} はオフセット電圧である。

と表される。

出力が電流の場合は、出力電流 I_o は

$$I_o = I_{FS}\left(\frac{D_1}{2} + \frac{D_2}{2^2} + \cdots + \frac{D_N}{2^N}\right) + I_{os} \quad D_i \in \{1,0\} \qquad (14.7)$$

で表される。

このような D/A 変換器を実現する方法としては大きく分けて、図 14.8 に示すように、2 進数の要素を加算するバイナリー型と、入力の 2 進データを一旦デコードし、数値に変換し、単位要素をその個数分加算する、デコード型の 2 つの方法がある。

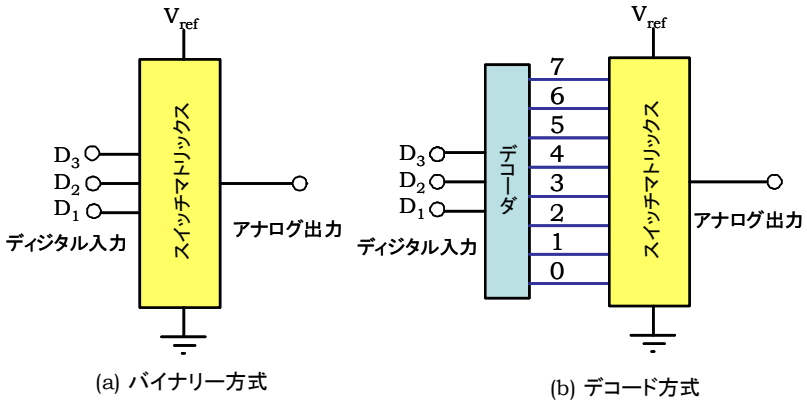

図 14.8　D/A 変換器の基本構成

2) バイナリー型 D/A 変換器

バイナリー型 D/A 変換器は　式(14.6)もしくは式(14.7)をそのまま表現したもので、$\frac{1}{2^i}$　$i \in \{0,1,2,\cdots N\}$ の大きさの重み付けされた電流源もしくは電荷を用意し、この重み付けされた電流源もしくは電荷を、入力デジタル信号の各ビットで加算するものである。

最も単純なバイナリー型 D/A 変換器は 14.9 に示すような重み付けされた抵抗と演算増幅器を用いるものである。抵抗 2^iR に参照電圧-V_{ref} を印加すると流れる電流 I_i は

$$I_i = -\frac{V_{ref}}{2^i R_s} \quad (14.8)$$

となる。従って出力に現れる電圧 V_o は、

$$V_o = V_{ref}\frac{R_F}{R_s}\sum_{1}^{N}\frac{D_i}{2^i} \quad i \in \{1,2,\cdots,N\} \quad (14.9)$$

となる。

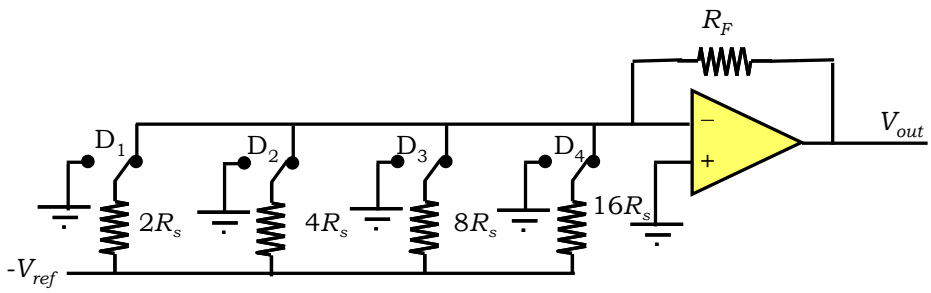

図 14.9 重み付け抵抗を用いた D/A 変換器

しかしながらこの方法では抵抗の比率が大きく実用的ではない。例えば分解が 10 ビットの場合、2^9、つまり 512 倍にもなってしまう。

通常抵抗を用いてバイナリー型 D/A 変換器を実現する実用的な方法は図 14.10 に示すような R-2R ラダー抵抗網を用いる方法である。

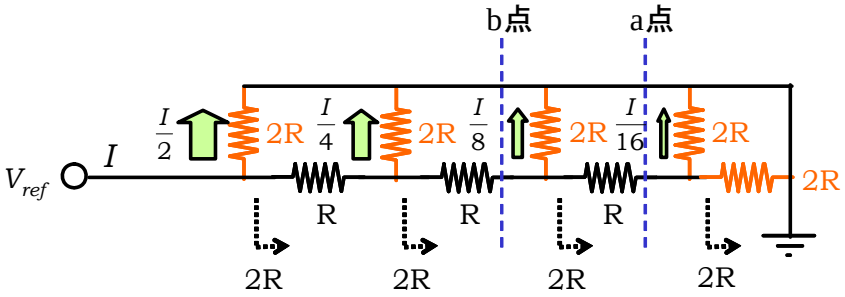

図 14.10 R-2R ラダー抵抗網

図 14.10 に示すような R-2R ラダー抵抗網において、a 点から右を見た抵抗は、2R と、2R の並列抵抗であるので R となる。したがって a 点の左側から流れ込む電流は均等に分流し、それぞれ半分の電流が流れる。b 点から右を見た抵抗は R と R の並列抵抗であるので 2R となる。B 点と接地端に挿入されている抵抗は 2R であるので、b 点の左側から流れ込む電流は、接地側および a 点方向に均等に半分ずつ分流する。このような性質があるので i 番目の抵抗を流れる電流 I_i は、

$$I_i = \frac{V_{ref}}{R} \cdot \frac{1}{2^i} \quad i \in \{1, 2, \cdots, N\} \quad (14.10)$$

となり、図 14.11 のような構成によりバイナリー型 D/A 変換器が実現できる。

抵抗比はわずか 2 倍なので、同一抵抗の並列接続もしくは直列接続により、容易に実現可能である。

ところで、以上の D/A 変換器は電流の加算性を用いているが、電荷の加算性を用いることもできる。

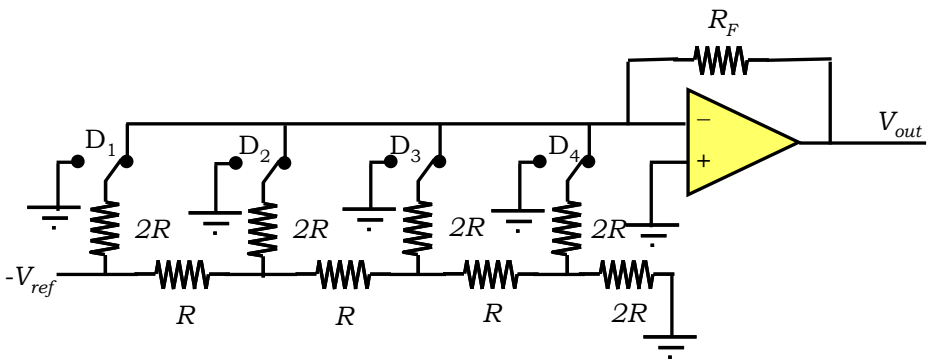

図 14.11　R-2R ラダー抵抗網を用いたバイナリー型 D/A 変換器

図 14.12 は容量を用いたバイナリー型 D/A 変換器を示している。はじめにスイッチを全て接地側にして容量の電荷をゼロにしておく。この時の A 点の電荷はゼロである。

次に入力データに応じて、データが[1]のときに参照電圧-V_{ref} を各容量に印加し、データが[0]のときに各容量を接地すると、電荷保存則から、

$$CV_{ref}\sum_{i=1}^{N}\frac{D_i}{2^i} - CV_{out} = 0 \quad (14.11)$$

したがって、出力電圧 V_{out} は、

$$V_{out} = V_{ref}\sum_{i=1}^{N}\frac{D_i}{2^i} \quad (14.12)$$

となり、D/A 変換が実現できる。

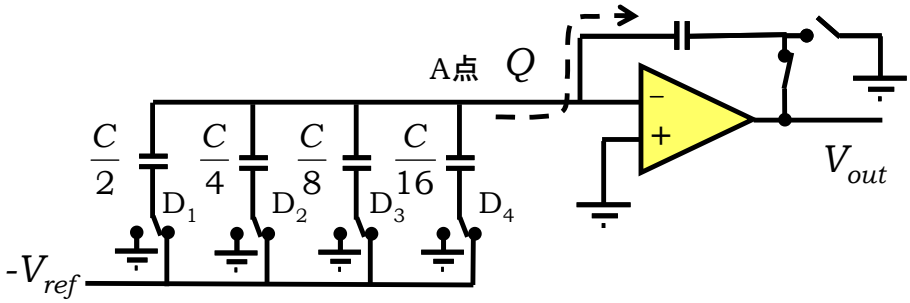

図 14.12 重み付け容量を用いた D/A 変換器

3) デコード型 D/A 変換器

デコード型 D/A 変換器は最小単位の電圧もしくは電流を 2^N-1 個用意し、デジタル値に応じて加算することで D/A 変換を行う。

電圧型の場合は図 14.13 に示すように 1LSB に相当する抵抗を直列に接続し、参照電圧を印加すると各接続点に電圧が発生するので、デジタル値に対応するスイッチのみをオン状態にして、必要とする電圧を取り出すことで実現される。

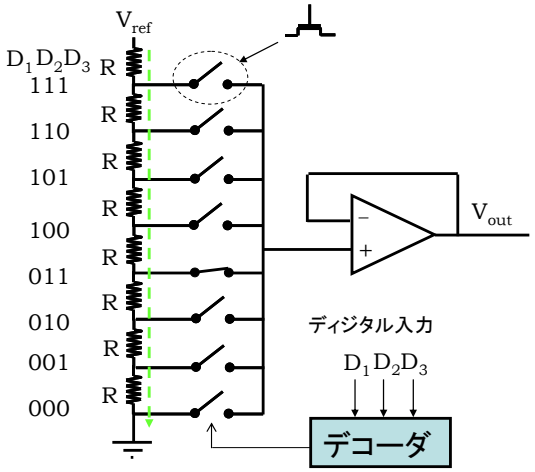

図 14.13 抵抗分圧を用いたデコード型 D/A 変換器

電流型では図 14.14 に示すように、1LSB に相当する単位電流源を 2^N-1 個用意し、デジタル値に応じて加算することで D/A 変換を行う。

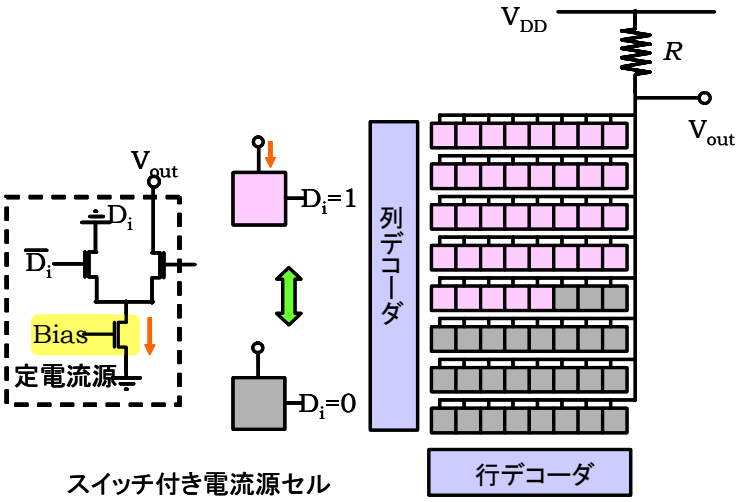

図 14.14 電流原を用いたデコード型 D/A 変換器

4) バイナリー型 D/A 変換器とデコード型 D/A 変換器

バイナリー型 D/A 変換器は、素子数が最小なので小型化が可能である反面、MSB に相当

する素子感度が極めて高いことが欠点である。今 MSB に相当する素子が α だけずれ、(1+ α になったとする。

このとき、デジタルコードが $\{0,1,1,\cdots,1\}$ と $\{1,0,0,\cdots,0\}$ ではデジタルの値は 1 しか違わないのに、その誤差はフルスケールに対して $\frac{\alpha}{2}$ になる。これは LSB 単位で表すと、$\alpha \cdot 2^{N-1}$ となることから、微分非直線性誤差を 1/2LSB 以下とすると、

$$\alpha < \frac{1}{2^N} \quad (14.13)$$

としなければならず、例えば分解能が 10 ビットの場合は 0.1%以下の精度が必要とされる。

これに対し、デコーダ型 D/A 変換器ではそれぞれの素子のずれが 50%であっても 1/2LSB の微分非直線性が得られる。ただし欠点としては素子数が多いことで、バイナリー型 D/A 変換器では分解能 N に対し N 程度の素子数で済むのに対し、デコーダ型 D/A 変換器では 2^N 程度の素子数が必要である。

したがって実際の D/A 変換器では図 14.15 に示すようにこの 2 つのタイプを組み合わせたものが用いられる。

上位ビットは素子感度の低いデコーダ型 D/A 変換器を用い、下位ビットは素子数の少ないバイナリー型 D/A 変換器を用いる。バイナリー型 D/A 変換器は素子感度が高いが、下位ビットに用いることで素子感度を低くすることができる。

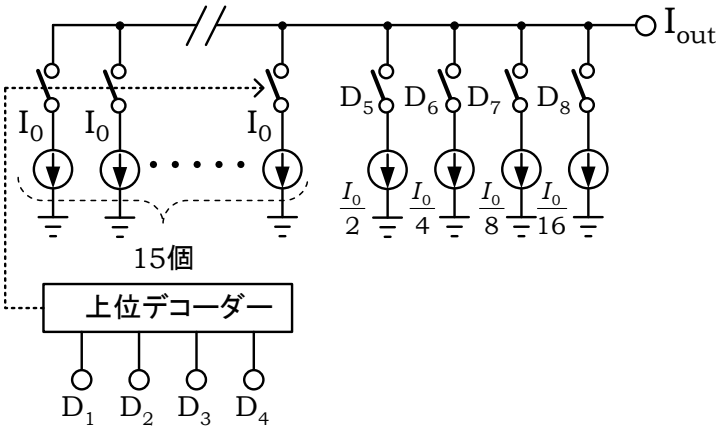

図 14.16 上位ビットにデコード型下位ビットにバイナリー型を用いた D/A 変換器

5) グリッチ

D/A 変換器にはグリッチと呼ばれる特異な現象が観測されることがある。

グリッチとは図 14.17 のように変換値の遷移時に大きな誤差を、短時間発生させる現象で

あり、フルスケールの半分に及ぶことがある。この原因はスイッチの切り替わりの時間ずれで、例えば[8]から[7]に切り替わる場合は、バイナリースイッチの全ての状態が一瞬に変わることを要求されるが、もしも MSB スイッチが僅かに他のスイッチに対して遅いときは遷移状態として一瞬[1111]=[15]を取る。このため信号に不要な成分を発生させる。グリッチの大きさは、変化大きさを V、発生期間を T として、

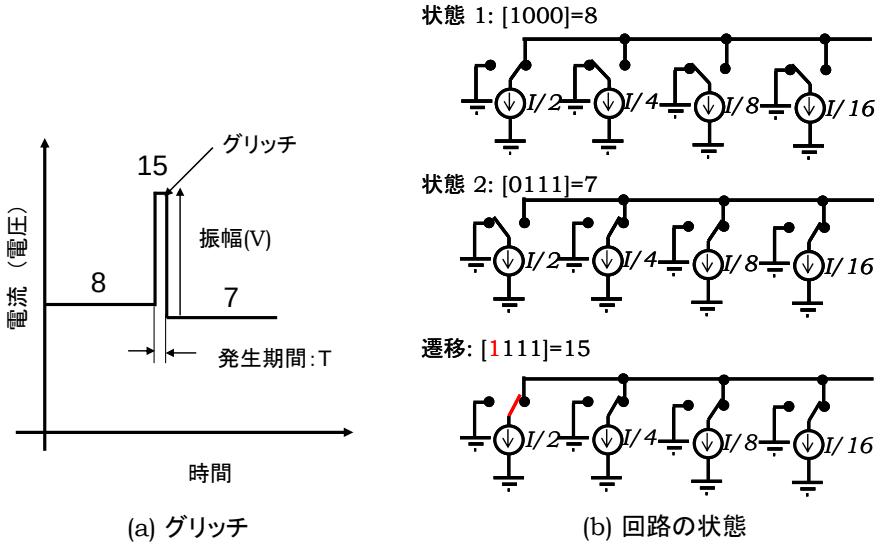

図 14.17 グリッチの発生

$$E_{glitch} = \frac{VT}{2} \quad (14.14)$$

で示されるグリッチエネルギーで表されることが多い。発生期間は数 ps 程度である。

このグリッチは信号に依存することから、歪みして取り扱われる。グリッチが多いと変換特性が劣化する。発生メカニズム上、バイナリー型の D/A 変換器に起こりやすく、完全なデコード型では起きにくい。

14.5 A/D 変換器

A/D 変換器の場合も変換方式はバイナリー型とデコード型に大別できるが、D/A 変換器と異なり、バイナリー型では一挙に変換できず、２進探索（バイナリーサーチ）を用いる。そこでまず、理解が容易なデコード型から紹介する。

1）並列型 A/D 変換器

並列型 A/D 変換器は物差しを用いて計ることに相当する。図 14.18 に示したように、N ビット分解能の測定では、2^N 個の目盛りと比較器とを用いて、入力電圧の大きさと各目盛

りを比較する。通常、単位抵抗を直列に接続した抵抗列に参照電圧を印加して、それぞれの目盛りに対応する電圧を発生させる。ほぼ同数の比較器が配置されており、比較器は入力信号とそれぞれの参照電圧を比較し、入力信号が参照電圧よりも高ければ"1"を、低ければ"0"を出力する。したがって比較器の論理出力は下位から"1"が連続し、あるところから"0"が続くようになる。この変化点を、NAND や EXOR などの論理回路を用いて検出し、エンコーダを用いて対応するバイナリー値を発生させる。

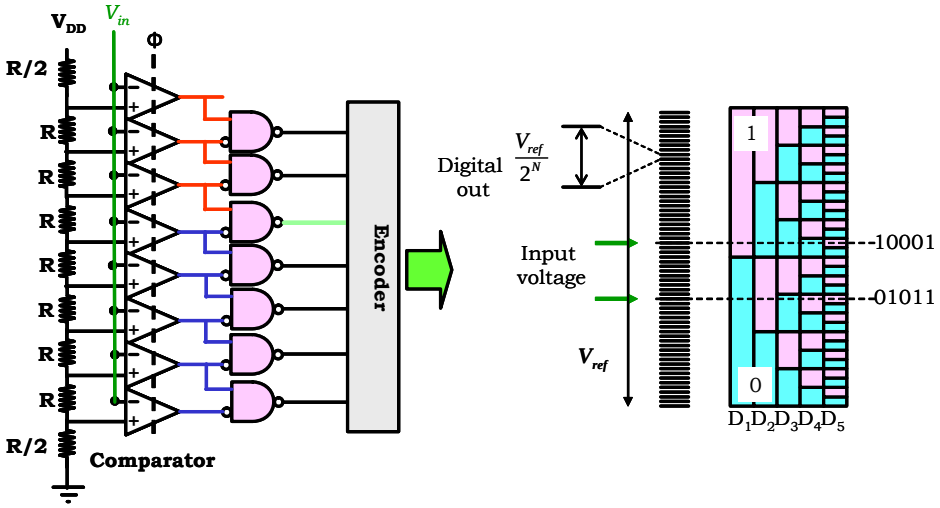

図 14.18　並列型 A/D 変換器

この比較動作は各比較器で並列に行えることから、GHz 程度の極めて高い変換速度を得ることができる。しかしながらこの変換方式では複数の比較器を用いるために比較器のオフセット電圧が精度を決定する。

今、比較器のミスマッチ電圧分布の標準偏差を δ (V_{mis})（LSB 単位）とすると、A/D 変換器の有効ビット ENOB の理想値からの劣化 Δ ENOB は

$$\Delta ENOB = -\frac{1}{2}\log_2\left(1+12\sigma(V_{mis})^2\right) = -1.67\log\left(1+12\sigma(V_{mis})^2\right) \quad (14.15)$$

となる。この結果を図 14.19 に示す。

この結果より、0.1bit の劣化に抑えようとすると、比較器のミスマッチ電圧は標準偏差で 0.1LSB 程度に抑える必要がある。例えば分解能を 10 ビット、フルスケール電圧を 1V と仮定すると、100uV となる。したがって分解能が高くなるほど 1LSB に相当する電圧が小さくなり、オフセット電圧ばらつきの極めて小さな比較器が必要となることから、高分解能化は困難である。また比較器数が分解能 N に対し 2^N で増加することから、1 ビット増加する毎に、回路規模や消費電力は 2 倍程度になる。このためこの方式は高速動作が可能であるが、高分解能には適さない。

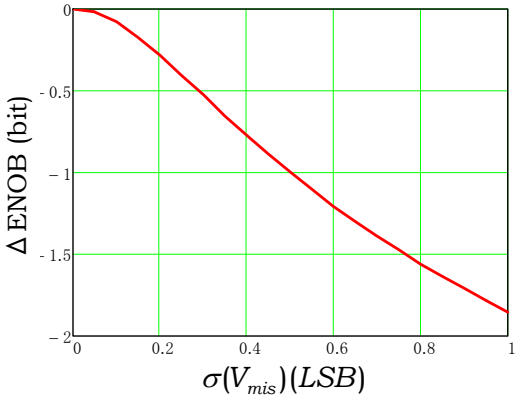

図 14.19 比較器のミスマッチ電圧と A/D 変換器の有効ビットの劣化

2) 直並列型 A/D 変換器

直並列型 A/D 変換器は並列変換を 2 回以上に分けて行うもので、ノギスを用いて計ることに似ている。図 14.20 に示すように、はじめに上位参照電圧と入力信号が上位比較器にて比較され、おおよその信号電圧範囲が決定され、上位変換値が出力される。次にこの上位変換値に対応する下位参照電圧が選択され、標本化された入力信号と下位参照電圧が、下位比較器にて比較され、下位変換値が出力される。通常、このような 2 回の変換が多い。

この直並列型 A/D 変換器では必要な比較器の数は$2^{\frac{N}{2}+1}$程度に減少させることができるので回路規模や消費電力の低減に効果的である。従って数 10MHz から数 100MHz 程度の変換速度の A/D 変換器に用いることが多い。

ただし、標本化回路を必要とするほか、比較器に要求されるオフセット電圧のばらつき精度は並列型とあまり変わらないので、高分解能化は容易ではない。

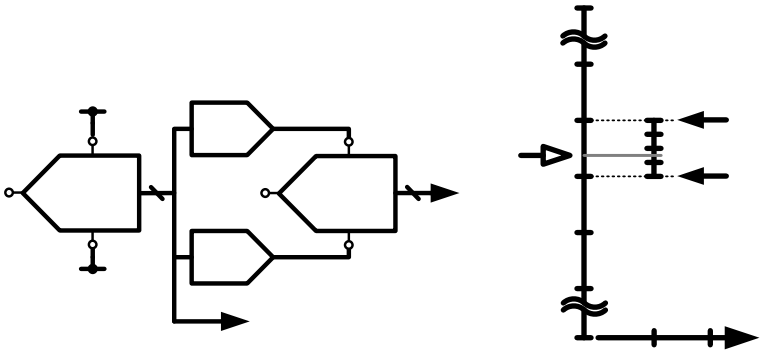

図 14.20 直並列型 A/D 変換器

ところで、直並列型 A/D 変換器では図 14.21 に示すオーバラップ構造を用いることが良く行われている。

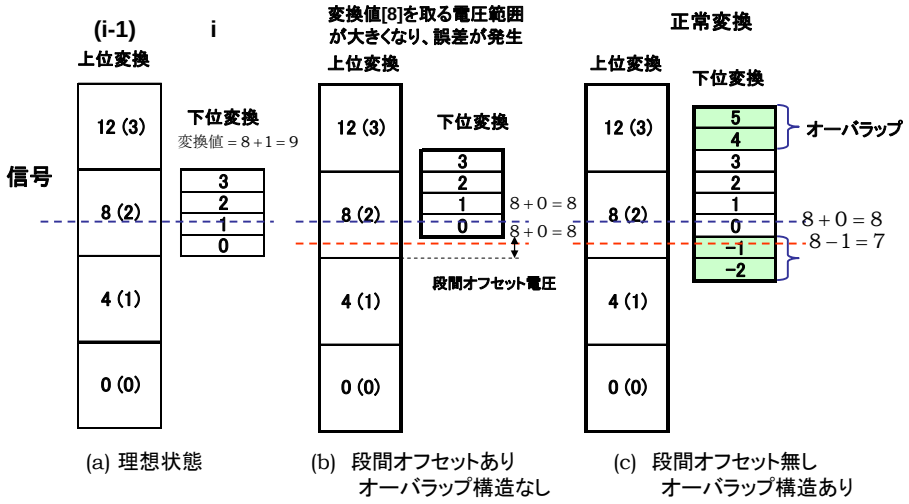

図 14.21 直並列型 A/D 変換器におけるオーバラップ構造

理想状態では上位変換と下位変換の変換範囲にはオフセット電圧は無いが、実際の回路では標本化回路のチャージフィードスルーやクロックフィードスルーなどの影響によりオフセット電圧が生じ易い。例えば、図 14.21(b)のように下位変換範囲に 1LSB 相当のオフセット電圧が発生すると、変換値は上位変換値と下位変換値が加算されたものになるので、信号が２つのレベルにあっても同一の値[8]が出力され、微分非直線性が劣化する。しかしながら、下位変換範囲を拡大するオーバラップ構造を用いると、下の入力電圧では[7]が、上の入力電圧では[8]が出力されるので直線性は劣化しない。

3) 積分型 A/D 変換器

積分型 A/D 変換器は水時計に似ており、信号量を時間で計るものである。図 14.22 に示すように、演算増幅器を用いた積分器、比較器、カウンター、制御回路などで構成される。

はじめにスイッチ S_1 を閉じて容量の電荷を放電しておく。次にスイッチ S_1 を開き、S_2 を閉じて極性を反転した入力信号$-V_{in}$を抵抗 R に印加する。

A 点は仮想接地点であるので、抵抗には

$$I_{in} = -\frac{V_{in}}{R} \quad (14.16)$$

の電流が流れる。

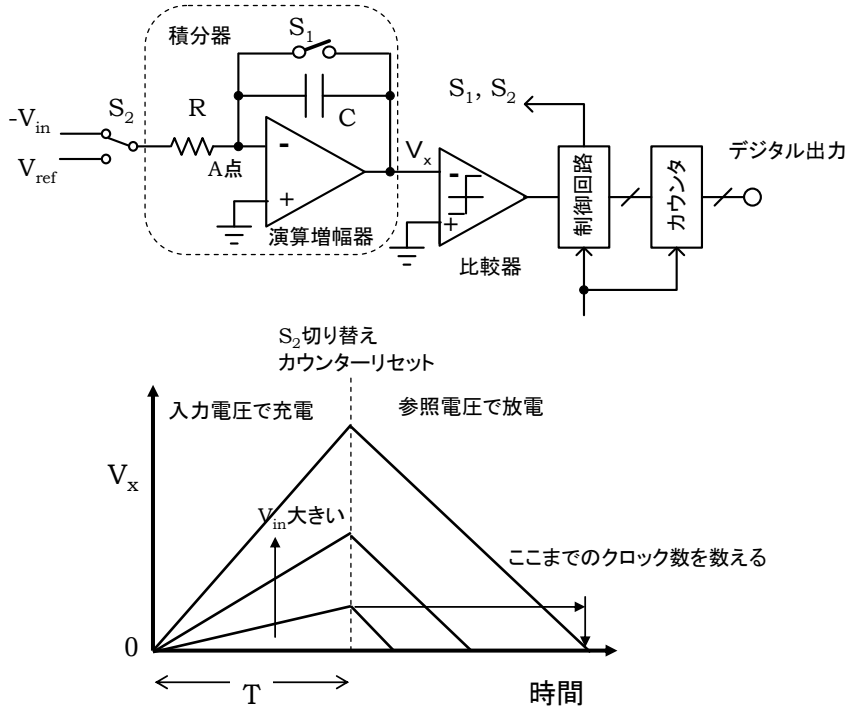

図 14.22 積分型 A/D 変換器

この電流は容量 C を通って流れ、出力に入力電圧と時間に比例した電圧 V_o が発生する。

$$V_o = \frac{V_{in}}{CR} t \quad (14.17)$$

この間、カウンターが動作しており、分解能を N として 2^N 個のパルスをカウントし、設定値に達したら、カウンターを停止させるとともにスイッチ S_2 を開く。

次にスイッチ S_2 を切り替え参照電圧 V_{ref} を抵抗 R に印加する。このとき容量の電荷はこの抵抗を流れる電流により、徐々に放電されて、出力電圧は減少する。比較器はこの積分器の出力信号をモニターし、極性が切り替わったら、フラグを立ててカウンターをストップさせる。この時のカウント数を n とすると、以下が成り立つ。

$$\frac{V_{in}}{V_{ref}} = \frac{n}{2^N} \quad (14.18)$$

したがって、カウント数が A/D 変換器の変換値となる。

この回路では積分器が電圧を時間に変換する作用を担っており、変換精度は抵抗および容量の電圧依存性や積分器を構成する演算増幅器の利得に依存する。この方式では単調性が

保証されており、精度が出しやすく、16 ビット程度の分解能が可能である。しかしながら変換に長い時間がかかる。例えばパルスの周期を 10nsec(100MHz)とし、分解能を 16bit とすると 1.4ms 程度の変換時間が必要である。このため信号処理に用いるのは難しく、デジタルボルトメータなどの DC 計測に用いられている。

4) 逐次比較型 A/D 変換器

ここからはバイナリー型 A/D 変換器を紹介する。

逐次型 A/D 変換器は図 14.23 に示したように、内部に D/A 変換器を有し、D/A 変換器で発生させた参照信号と入力信号を比較して逐次的に変換してゆくものである。

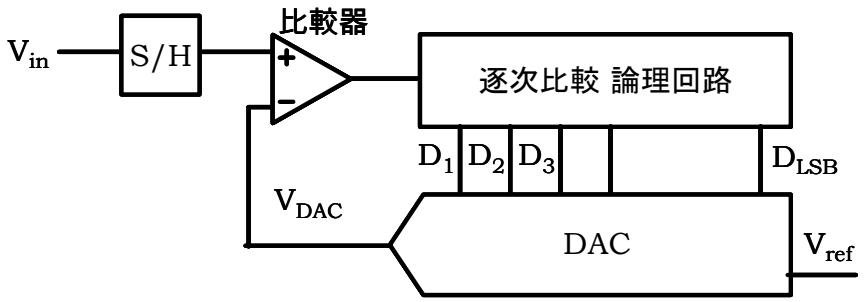

図 14.23 逐次比較型 A/D 変換器

はじめに基準信号の半分の電圧である $\frac{V_{ref}}{2}$ を発生させ、入力信号 V_{in} と比較する。

V_{in} が $\frac{V_{ref}}{2}$ よりも高ければ MSB ビットである D_1 を[1]にし、低ければ D_1 を[0]にする。

次に $D_1 = [1]$ の場合、$V_{ref}\left(\frac{1}{2}+\frac{1}{4}\right)$ を発生させ、$D_1 = [0]$ の場合は $V_{ref}\left(\frac{1}{2}-\frac{1}{4}\right)$ を発生させて比較する。したがって各変換ビットの状態と、発生させる参照電圧 V_{DAC} は、

$$\begin{aligned} D_i &= 1 \ if \ D_i = [1] \\ D_i &= -1 \ if \ D_i = [0] \end{aligned} \quad (14.19)$$

のもとで、

$$V_{DAC} = V_{ref}\left(\frac{1}{2}+\sum_{i=1}^{N-1} D_i \cdot \frac{1}{2^{i+1}}\right) \quad (14.20)$$

となる。このように発生させる参照電圧は図 14.24 のようにトーナメント状になる。

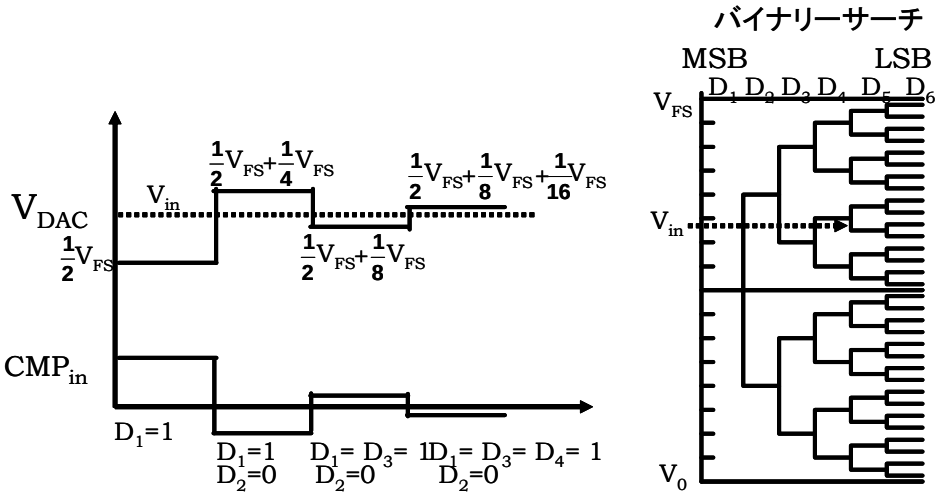

図 14.24 逐次比較器内部の電圧状態

このように、上位ビットから逐次変換していくので、逐次変換型と呼ばれる。DAC の構成法は様々に考えられるが、低消費電力で高精度なものは以下に示す重み付け容量アレーを用いたものである。

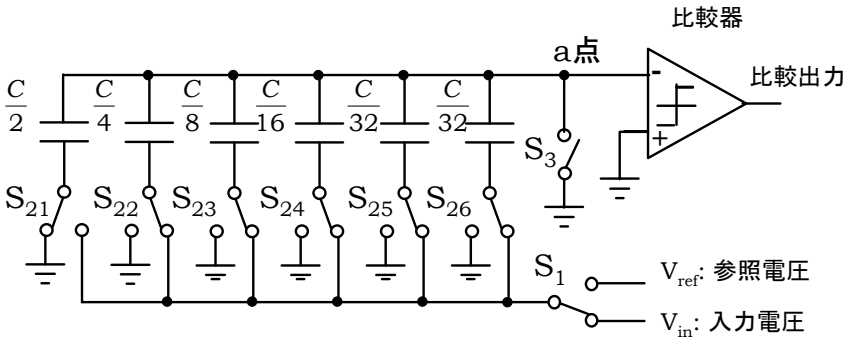

図 14.25 重み付け容量アレーを用いた逐次比較型 A/D 変換器

はじめにスイッチ S_1 は入力信号側に選択し、スイッチ S_{21}～S_{26} は信号線を選択し、スイッチ S_3 を閉じる。この状態では各容量に V_{in} が印加される。次にスイッチ S_3 を開くと、入力信号は標本化される。その後、スイッチ S_{21}～S_{26} を接地側に倒す。このとき a 点には-V_{in} が現れる。次にスイッチ S_1 は参照電圧側を選択し、S_{21} のみ信号線側を選択し、容量 $\frac{C}{2}$ の一方の端子に参照電圧を印加する。

この前の状態の標本化においては a 点の電荷 Q_a は

$$Q_a = -CV_{in} \quad (14.21)$$

この状態で発生する電圧を V_x とすると、a 点での電荷は電荷保存則により

$$\frac{C}{2}\left(V_x - V_{ref}\right) + \frac{C}{2}V_x = -CV_{in} \quad (14.22)$$

となるので、発生する電圧 V_x は

$$V_x = -\left(V_{in} - \frac{V_{ref}}{2}\right) \quad (14.23)$$

となり、a 点の電圧極性を比較器で判別することで、MSB の判定が可能である。あとは逐次、スイッチ S_2 を変換値に応じて切り替えていくことで A/D 変換が可能となる。

ところで、この変換方式では最小容量と最大容量の比率が 2^{N-1} に達するため、分解能の増大に伴い大きな容量比が必要で実用的ではない。このため図 14.26 に示したようなスケーリング容量が用いられる。

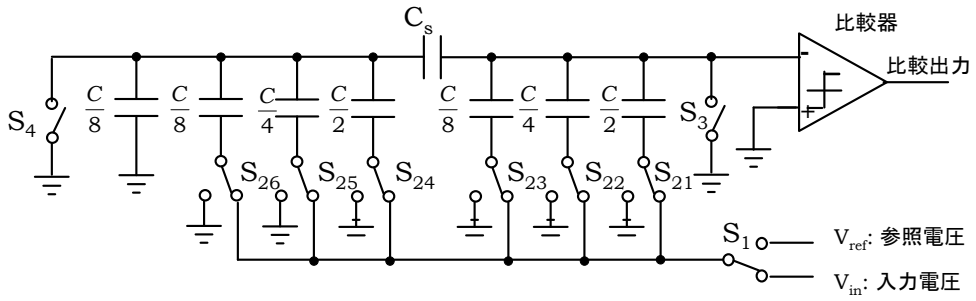

図 14.26 スケーリング容量を用いた逐次比較型 A/D 変換器

図 14.32 においてスケーリング容量 Cs より左側の全容量 C と Cs の直列容量は C/8 に等しくなければならないので、

$$\frac{1}{C_s} + \frac{1}{C} = \frac{8}{C} \quad (14.24)$$

したがって、

$$C_s = \frac{C}{7} \quad (14.25)$$

の値の C_s を用いればよい。

このようにスケーリング容量を用いることで容量比を下げることができる。ただし、スケーリング容量 Cs には寄生容量があるので、直線性の劣化を招きやすく、補正技術が必要とされることが多い。

ところで、この方式では比較器が 1 個であり、また比較器のオフセット電圧は直線性に影響を及ぼさないため、高精度化が可能である。また、容量アレーが標本化回路として用いることができるほか、容量は静止電流が流れず、演算増幅器のような電力を消費する回路を必要としないため極めて低消費電力で動作する。ただし分解能相当の変換ステップを必要とすることから高速化が困難であり、1 個では数 MHz 程度の変換速度が一般的であるが、近年の技術開発により、変換速度は数 100MHz まで向上している。分解能は DAC の精度に依存するが、14 ビット程度は可能である。

5) パイプライン型 A/D 変換器

パイプライン型 A/D 変換器は図 14.27 のようにスイッチトキャパシタ型増幅器を従属に接続し、前段の出力信号を参照電圧と比較して、比較出力を得るとともに、この比較出力に基づき、内部 D/A 変換回路を用いてアナログ電圧を発生させ、出力信号からこの D/A 変換信号を引いて増幅するようになっている。前段が増幅モードのとき、後段がサンプルモードとなって、前段の出力電圧をサンプルとなるような構成により、差分信号をパイプライン的に増幅する構成となっている。

動作はクロックの半周期毎に入れ替わるようになっているが、高速化のために比較器の判定タイミングは前段の増幅器が増幅モードからサンプルモードに切り替わるよりも少し前に設定することが多い。

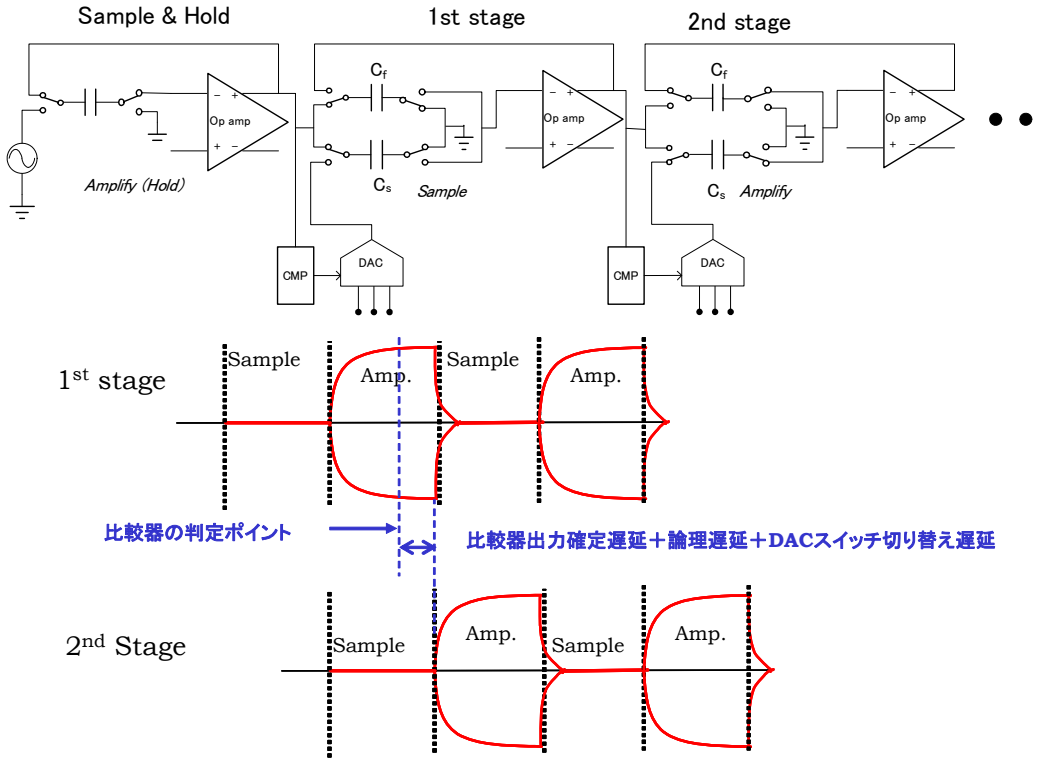

図 14.27 パイプライン型 A/D 変換器

このような構成により、図 14.28 に示すような折れ返し特性を得る。図 14.28 は 1 ビット構成の折れ返し特性を示しており、比較器は入力信号が負の極性の場合は、比較出力を[0]とするとともに、D/A 変換出力を V_{ref} にする。入力信号が正の極性の場合は比較出力を[1]とするとともに、D/A 変換出力を-V_{ref} にする。回路系の増幅率は 2 に設定されているので、入出力特性は図 14.28 のように N の様に折り返す特性となる。回路は従属に接続されているのでこの折れ返し特性の出力が後段の入力信号となり、　後段までの折れ返し特性はより細かく折り返す特性となることで A/D 変換が可能になる。

各段の出力信号 Vi は前段の出力信号 V_{i-1} に対して、信号 V_{i-1} に対する比較器の出力を D_{i-1} とすると、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} \quad (14.26)$$

と表される。ここで、

$$D_{i-1} = \begin{cases} +1 \ if \ V_{i-1} > 0 \\ -1 \ if \ V_{i-1} < 0 \end{cases} \quad (14.27)$$

である。

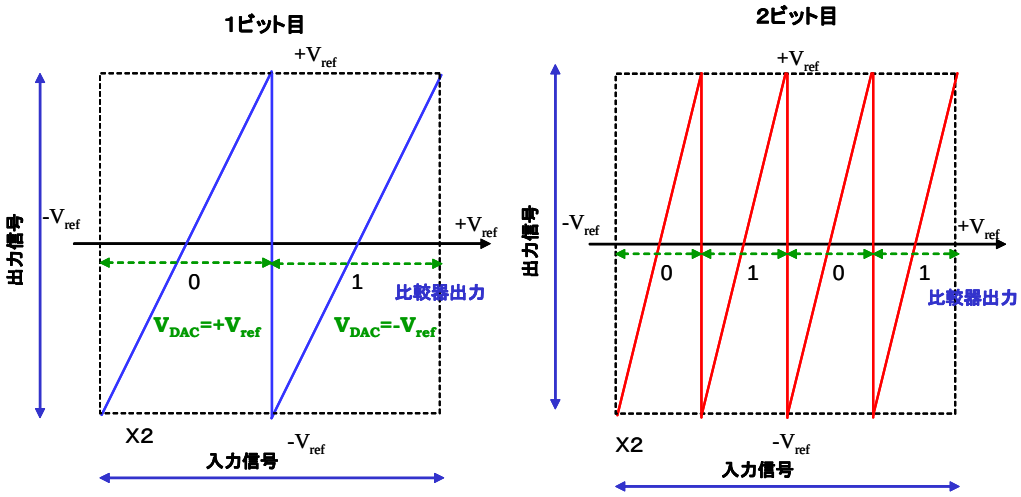

図 14.28　1bit/段の場合の折り返し入出力特性

しかしながらこの 1 ビットの折れ返し特性は比較器や OP アンプのオフセット電圧の影響を受けて直線性が著しく劣化しやすく、現在は使用されていない。

例えば図 14.29 のように、比較器にオフセット電圧があった場合は　入出力特性が鎖線の四角い枠で示したように正常変換範囲から飛び出す。これにより飛び出した区間の変換値はクリップされ、正常変換範囲に戻って初めて正常値に戻る様な特性になる。

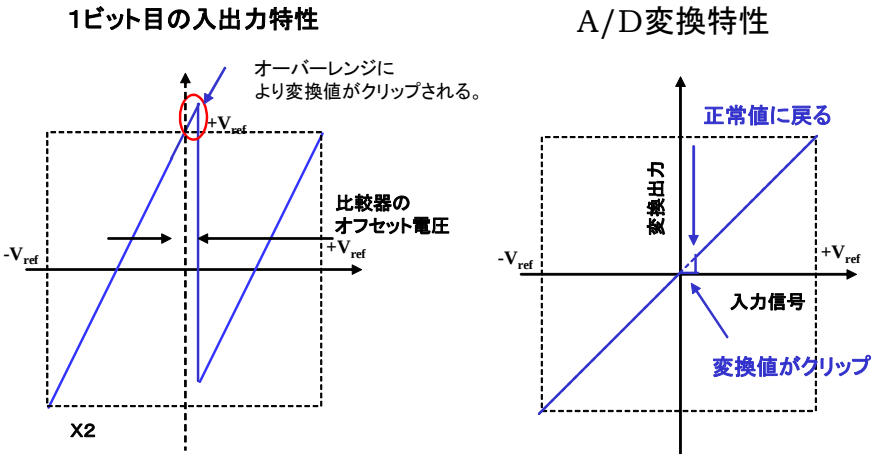

図 14.29　1bit/段の場合の折り返し入出力特性の変換誤差

従って、比較器、OP アンプのオフセット電圧に対する要求は 1/4 LSB から 1/14LSB 程度と厳しく、高精度化が困難になっていた。この課題を解決したのが 1.5bit 冗長型パイプライン A/D 変換方式である。

この方式の特徴は図 14.30 のように折り返し電圧を、極性の切り返し点の 0 ではなく、+/- $V_{ref}/4$ としたことである。各段の出力信号 Vi は前段の出力信号 V_{i-1} に対して、信号 V_{i-1} に対する比較器の出力を D_{i-1} とすると、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} \quad (14.28)$$

と表される。ここで、

$$D_{i-1} = \begin{cases} +1 \ if \ V_{i-1} > +\dfrac{V_{ref}}{4} \\ 0 \ if \ -\dfrac{V_{ref}}{4} < V_{i-1} < +\dfrac{V_{ref}}{4} \\ -1 \ if \ V_{i-1} < -\dfrac{V_{ref}}{4} \end{cases} \quad (14.29)$$

であり、1bit/段を拡張したものである。ここで A/D 変換値は両極性を取るものと仮定する。

したがって、比較器のオフセット電圧が大きいために、折れ返し特性が理想である点線ではなく、実線のようにずれたとしても、その出力電圧は正常変換範囲の中にあるので、正常に変換される。例えば折り返し近傍の入力電圧-$V_{ref}/14$ で比較器の状態により A の出力電圧を取った場合はデジタル値が[-1]でアナログ出力 Vi は、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} = -\frac{V_{ref}}{4} + V_{ref} = \frac{3}{4}V_{ref} \quad (14.30)$$

となるが、B では、デジタル値が[0]でアナログ出力 Vi は、

$$V_i = 2V_{i-1} - D_{i-1}V_{ref} = -\frac{V_{ref}}{4} \quad (14.31)$$

となるが、デジタル値は 1 ビット多いので、これは $V_{ref}/2$ に相当し、変換値自体は変わらない。

1.5bit 冗長型においては DAC の出力が+/- V_{ref} および 0 の 3 つの値を用いる必要があるが、このような電圧はスイッチによる切り替えで容易に実現できる。

したがって、比較器や OP アンプのオフセット電圧は変換精度に影響を与えず、変換精度を

決定するのは増幅度である。1.5bit 冗長型パイプライン A/D 変換方式では正確に２倍の増幅度が必要である。もしも増幅度がずれた場合は図 14.31 のように比較器の切り替えポイントで大きな変換誤差を生じる。増幅度のずれは容量ミスマッチもしくは OP アンプ利得に起因することが多い。

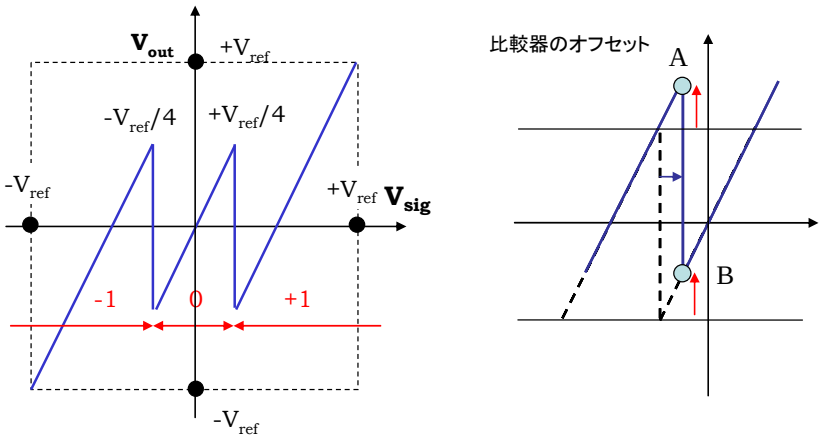

図 14.30 1.5bit 冗長構成の入出力折れ返し特性

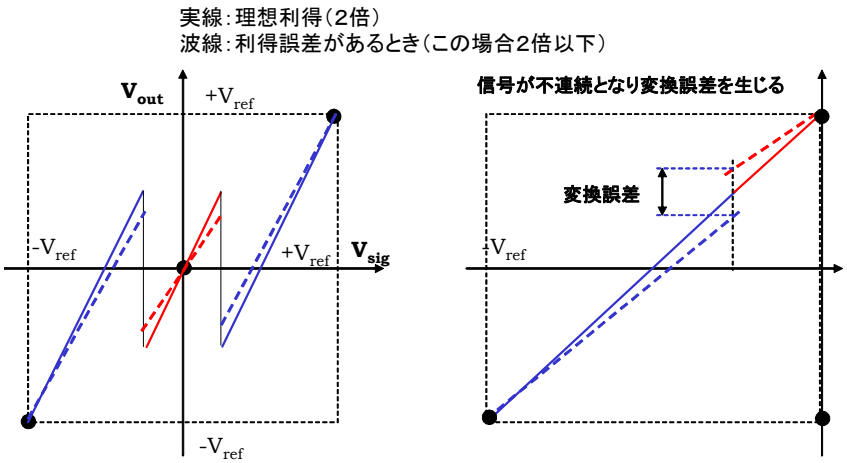

図 14.31 増幅度のずれによる変換誤差（1.5bit 冗長構成）