## 12. CMOS 演算增幅器

11 章で述べたように、演算増幅器と、抵抗や容量などの受動素子による負帰還回路を用いることで、高精度あるいは高機能なアナログ電子回路を実現できる。ではどうやったら高性能な演算増幅器が設計できるのだろうか。この章ではMOSトランジスタを用いた CMOS 演算増幅器の設計の基礎について述べる

## 12.1 基本演算增幅回路

図12.1にシングル出力の場合と差動出力の場合の最も単純な1段のCMOS演算増幅回路を示す。



図 12.1 1 段の演算増幅回路

図 12.1(a) および図 12.1(b) において、差動入力信号電圧  $\Delta v_{in}=(v_{in+}-v_{in-})$  はソースが結合 された、定電流バイアスのトランジスタ対  $M_1, M_2$ の電圧・電流変換作用により、電流差  $\Delta i_{ds}$ となって現れる。 $M_1, M_2$ の電流のバイアス電流  $I_{ss}$  からの変化  $\Delta I_{ds1}, \Delta I_{ds2}$  は、

$$\Delta I_{ds_{1}} = g_{m_{1}}(\frac{\Delta v_{in}}{2}) \qquad (12.1a)$$
$$\Delta I_{ds_{2}} = -g_{m_{2}}(\frac{\Delta v_{in}}{2}) \qquad (12.1b)$$

と表される。

図 12.1(a)の出力端における動的抵抗を $r_0$ とすると、電圧変化 $\Delta v_{out}$ はトランジスタ $M_{3}, M_{4}$ から構成されるカレントミラーによる電流の加算を考慮して、

$$\Delta v_{out} = g_m \Delta v_{in} \cdot r_o \qquad (12.2)$$

と表される。ここで $g_m=g_m1=g_m2$ とした。

図 12.1(b)で表される差動型においても、 $\Delta v_{out}=(v_{out+}-v_{out-})$ と定義すれば、同じ結果が得られる。したがってこれら回路の電圧利得 G は、

$$G \equiv \frac{\Delta v_{out}}{\Delta v_{in}} = g_m \cdot r_o \ (12.3)$$

で示されるように電圧変化を電流変化に変換する V-I 変換の係数の  $g_m$  と、電流変化を電 圧変化に変換する係数の  $r_o$ の積で表される。

演算増幅器は負帰還回路に用いられ、このときの DC 誤差(電圧利得誤差やオフセット電 圧など)の大きさは 1/G 程度になるため、通常できるだけ大きな利得を得る必要がある。 このためには gm か roを大きくすれば良いが、gm には限界がある。

ある動作電流 Idsを与えたときの MOS トランジスタの gmの最大値 gmmax は、

$$g_{m_{\max}} = \frac{I_{ds}}{nU_T} (12.4)$$

で表される。ここで n は空乏層容量  $C_d$  とゲート酸化膜容量  $C_{ox}$  を用いて n=(1+ $C_d/C_{ox}$ )で 表される量で、通常は 1.4 程度の値を取る。また、 $U_T$  は温度で決定される。

したがって、1段の増幅器の利得を上げるには出力抵抗 roを上げるしか方法がない。

図 12.1 における出力抵抗 ro はトランジスタ M<sub>2</sub>,M<sub>4</sub> もしくは M<sub>1</sub>,M<sub>3</sub>のドレイン抵抗 rds を 並列接続したものである。通常 MOS のドレイン抵抗を上げるにはゲート長 L を長くすれ ばよいが、ゲート長 L を長くするとゲート容量やドレイン容量が大きくなって周波数特性 が劣化する他、回路の面積が増加してコストが上昇するという問題が発生する。また、む やみにゲート長を長くしてもドレイン抵抗が飽和してくるので一定の限界がある。

12.2 カスコード回路

そこで、r<sub>o</sub>を上げる方法として図 12.2(a)に示したカスコード回路、図 12.2(b) に示した 折り返しカスコード回路、図 12.2(c)に示したスーパーカスコード回路が知られている。



図 12.2 カスコード回路

図 12.2(a)のカスコード回路はソース接地回路を形成するトランジスタ M<sub>1</sub>のドレインに、 ゲート接地トランジスタ M<sub>2</sub>のソースを接続したもので、出力端の電圧が変化しても M<sub>2</sub>の ゲート・ソース間電圧はさほど変化しないため、トランジスタ M<sub>1</sub>のドレイン電圧はほとん ど変化しない。このため流れる電流はあまり変化せず、等価的に大きな出力抵抗が得られ る。この回路の出力抵抗 rout は、式(8.11)より、

 $r_{out} = ng_{m_2}r_{ds_2}r_{ds_1}$  (12.5)

と表される。ここで、 $g_{m2}$ , $r_{ds2}$ はトランジスタ  $M_2$ の $g_m$ と $r_{ds}$ を表している。この式から トランジスタ  $M_2$ を設けたことにより、出力抵抗 $r_{out}$ が $g_{m2rds2}$ 倍されたことになる。この 値はトランジスタ  $M_2$ の電圧利得ともみなせる。これは通常、10から100程度の値を取る。 更に大きな出力抵抗を得たい場合はカスコードの段数を増やせば良いが、カスコード段数 を増やす毎に、動作可能電源電圧が高くなり、低電圧動作が困難になる。

そこで、低電圧動作時のマージン確保のために、図 12.2(b)に示した、折り返しカスコー ド回路が用いられる。図 12.2(b)においてトランジスタ M<sub>2</sub>はゲート接地で動作している。 トランジスタ M<sub>1</sub>を流れる電流と、トランジスタ M<sub>2</sub>を流れる電流の総和は電流源 I<sub>b</sub>で一定 であるため、トランジスタ M<sub>1</sub>を流れる電流の変化と同一の電流量で逆極性の電流変化がト ランジスタ M<sub>2</sub>を流れる電流に伝達される。トランジスタ M1のドレイン電圧はほぼトラン ジスタ M<sub>2</sub>のゲートソース間電圧とバイアス電圧 V<sub>B2</sub>で規定されるため、トランジスタ M<sub>1</sub> のドレイン電圧はほとんど変化しない。したがって、カスコード回路と同様に、流れる電 流はあまり変化せず、等価的に大きな出力抵抗が得られる。

図 12.3 にカスコード回路を用いた演算増幅器を示す。この構成により、通常数 1000 倍 の利得が得られる。



図 12.3 カスコード回路を用いた演算増幅器

図 12.4 に折り返しカスコードを用いた差動型演算増幅器を示す。入力トランジスタ  $M_1$ ,  $M_2$ は NMOS もしくは PMOS で構成可能である。



図 12.4 折り返しカスコード回路を用いた演算増幅器

更に利得を上げるためには図 12.2(c)に示したスーパーカスコード回路が有効である。これは増幅器を用いてトランジスタ M<sub>2</sub>のソース電位の変化を抑制したもので、これによりトランジスタ M<sub>1</sub>のドレイン電圧は出力端電圧変化の影響をほとんど受けなくなり、等価的に出力抵抗が上がる。この回路の出力抵抗 r<sub>out</sub>は、

$$r_{out} = Ang_{m_2}r_{ds_2}r_{ds_1}$$
 (12.6)

となるので、図 12.2(a)に示したカスコード回路の更に増幅器の利得倍だけ出力抵抗を上 げることができる。図 12.5 に差動増幅回路を用いたスーパーカスコード回路の一例を示す。 トランジスタ M5,M6で構成される差動入力段の出力電流変化はトランジスタ M7,M8のフ オールディドカスコードを通り、トランジスタ M9から M12で構成される、カスコード型の 負荷の出力電圧として現れ、本来の信号パスのカスコード段を構成するトランジスタ M3,M4 のゲート電圧を差動的に駆動している。この構成ではスーパーカスコード回路を構 成する増幅器の利得は数 1000 程度あるため、この演算増幅器の利得は 107つまり 140dB 程度の利得が実現できる。



図 12.5 スーパーカスコード回路の一例

12.3 コモンモードフィードバック回路

ところで、差動出力形式の演算増幅器では、そのコモン出力レベルを常に適切な電位に 保つ必要がある。この動作を行うのが図 12.6 に示したコモンモードフィードバック回路で ある。出力コモン電圧  $V_{cmo}$  は  $V_{cmo}=(V_{out}+V_{out})/2$  であるので、この電圧を何らかの手段で 検出し、適切な設定電位と比較してこの電位差により  $I_{ss}$ を制御し  $V_{cmo}$  が  $V_{ref}$ になるように 負帰還回路を構成する。例えば出力コモン電圧が設定電位よりも高い場合は電流源  $I_{ss}$ を増 加させる。 $I_{ss}$ の増加を $\Delta i_{ss}$ とし、出力端の出力抵抗を  $r_{out}$ とすると $\Delta i_{ss}$   $r_{out}$ の電圧が降下し ようとして負帰還がかかる。



図 12.6 コモンモードフィードバック回路

図 12.7 に、リニア領域のコンダクタンス特性を用いたコモンモードフィードバック回路 を示す。トランジスタ M<sub>11</sub>, M<sub>12</sub>は電流源を構成するトランジスタ M<sub>10</sub>のソース側に挿入さ れる。カレントミラーを構成するダイオードを構成するトランジスタ M<sub>9</sub>の挿入されたレプ リカトランジスタ M<sub>13</sub>, M<sub>14</sub> のゲート電圧を制御することで一定のコモンモード電圧 V<sub>out\_com</sub>にすることができる。

ただし、この方法ではトランジスタミスマッチに敏感なため、コモンモード電圧ばらつき が大きくなるので注意が必要である。



図 12.7 コモンモードフィードバックを用いた連続時間型差動増幅器

図 12.8 に示したようにスイッチトキャパシタ技術を用いてコモンモードフィードバック 回路を実現する方法もある。容量 C<sub>1a</sub>, C<sub>1b</sub>は容量 C<sub>2a</sub>, C<sub>2b</sub>の数倍から 10 倍程度に設定され ている。2 つの出力端からは容量 C<sub>1a</sub>, C<sub>1b</sub>を通じて差動増幅回路の電流源を構成するトラン ジスタ M<sub>11</sub>, M<sub>12</sub>のゲートにコモンモードフィードバックがかけられている。この容量 C<sub>1a</sub>, Cibに発生する電圧を制御することでコモンモード出力電圧を安定化する。

リセットモードではスイッチ S<sub>1b</sub>,S<sub>1b</sub> は V<sub>com</sub> 側にスイッチされており、スイッチ S<sub>2a</sub>、S<sub>2b</sub> はカレントミラーを構成する MOS ダイオード側を選択している。したがって C<sub>2a</sub>, C<sub>2b</sub> それ ぞれの容量は V<sub>com</sub>-V<sub>BC</sub> を保持している。次のモードではスイッチ S<sub>1b</sub>,S<sub>1b</sub> はそれぞれの出力 端側にスイッチされ、スイッチ S<sub>2a</sub>、S<sub>2b</sub> はトランジスタ M<sub>11</sub>, M<sub>12</sub> のゲート側を選択する。



図 12.8 スイッチトキャパシタ技術を用いたコモンモードフィードバック回路

容量 C<sub>1a</sub> と容量 C<sub>2a</sub>、容量 C<sub>1b</sub> と容量 C<sub>2b</sub> は互いに並列に接続され、それぞれの容量の電 圧が異なる場合は一致するまで電荷が移動するので、出力コモン電圧は徐々に設定電圧 V<sub>com</sub> に近づいていく。

スイッチトキャパシタ技術を用いることにより、抵抗を用いた場合のように利得低下が生 ぜず、またダイナミックレンジの制約が無く、トランジスタ特性のミスマッチの影響を受 けないという大きな利点が得られる。更に、使用される容量は位相補償を兼ねることがで きるため、無駄が無く、演算増幅器をスイッチトキャパシタ回路に適用する場合に良く用 いられている。

12.4 2段構成の演算増幅器と出力バッファ

これまでは基本的に1段の増幅器について述べたが、利得を増すには増幅段をカスケード に接続する方法もある。但し3段以上は発振し易くなるので2段が用いられている。

また、1段で十分な利得があったとしても、重い負荷抵抗や負荷容量を駆動する場合は出 カバッファが必要である。この出力バッファは通常 AB 級の動作が多く、利得を有するので 出力バッファを用いると、2段構成の演算増幅器になる。この節ではこの2段構成の演算増 幅器の概要と出力バッファの構成方法について述べる。また、2段構成の増幅器の位相補償 方法は1段のそれとは異なるが、次節の位相補償方法で述べる。 1) 2段構成の演算増幅器

図 12.9 に 2 段構成の演算増幅器の基本形を示す。図 12.9(a)はカスコード回路を用いない もので、図 12.9(a)はカスコードを用いた、より高利得の 2 段構成の演算増幅器の基本形を 示す。

トランジスタ M<sub>1</sub>~M<sub>4</sub>で構成されるシングル構成の増幅回路に、トランジスタ M<sub>5</sub>のソー ス接地型増幅回路をカスケードに接続している。この構成でシステマティックオフセット を最小にするためにはトランジスタ M<sub>3</sub>,M<sub>4</sub>のゲート電圧とトランジスタ M<sub>5</sub>のゲート電圧 を一致させる必要がある。したがって、

 $(W/L)_5: (W/L)_3 = I_{ss2}: I_{ss1}$  (12.7)

の条件が必須となる。

この2段増幅の演算増幅器は構成が単純であり、素子数、占有面積、消費電力がともに小 さいことと、最近は出力振幅が低電源電圧でもカスコード型に比べため広く取れることか ら良く用いられるが、周波数特性や安定性、スルーレート特性などに課題がある。



図 12.9 2 段構成の演算増幅器

2) 出力バッファ

抵抗負荷や大きな容量を駆動する場合は高インピーダンスの電圧をバッファするバッフ ア回路が必要である。最も簡単な電圧バッファはソースフォロワ回路であるが、ソースフ オロワ回路では V<sub>GS</sub> の電圧シフトを生じ、出力ダイナミックレンジが狭くなり、低電圧回 路には用いにくいことと、大きな定常電流が流れて消費電力が増大するため、定常電流が 小さく、ほぼフルスケールの出力電圧が得られる AB 級バッファ回路が広く用いられている。 ただし、この回路は利得を有する増幅回路である。

図 12.10 に AB 級バッファの基本回路と入力電圧 Vin に対する出力電流 Iout の電圧・電流 関係を示す。



図 12.10 AB 級バッファの基本回路と電圧・電流関係

ソース接地の PMOS と NMOS のゲート間にはバイアス電圧源 VBが設けられ、レベルシ フトされた電圧が NMOS に加わるようになっている。また、バイアス状態においては PMOS および NMOS それぞれにある程度の等しい電流が流れるようになっている。

このような状態での入力電圧 Vin に対する出力電流 Iout はバイアス状態での入力電圧を Vib とすると、Vin 以下の入力電圧では主として PMOS により、バイアス状態よりも大きな電 流 Ip が流れ、Vin 以上の入力電圧では主として NMOS により、バイアス状態よりも大きな 電流 In が流れるようになっている。したがって、バイアス状態ではあまり電流が流れず、 負荷抵抗が低いときはそれを駆動するに十分な電流が流れるようになっている。

図 12.11 にコモンゲートレベルシフトを用いた AB 級バッファを示す。図に示したように 各トランジスタの W/L 比を設定するとトランジスタ M<sub>5</sub>に電流 2I<sub>b</sub>が流れるバイアス条件に おいては V<sub>2</sub>=V<sub>3</sub>, V<sub>1</sub>=V<sub>4</sub> となって、トランジスタ M<sub>1</sub>,M<sub>2</sub>にバイアス電流 I<sub>o</sub>が流れることは 容易に理解できるものと思われる。次に図 12.12(a)に示したように、このバイアス状態から 電圧 V<sub>in</sub>が下がるとトランジスタ M<sub>5</sub>を流れる電流は増加し、電圧 V<sub>1</sub>,V<sub>2</sub>は上昇する。した がって、トランジスタ M<sub>4</sub> はカットオフし、電流は全てトランジスタ M<sub>3</sub>を流れ V<sub>1</sub> は V<sub>DD</sub> 近くまで上昇して、トランジスタ M<sub>1</sub> はカットオフされるとともに、トランジスタ M<sub>2</sub>のゲ ート電圧 V<sub>2</sub> も V<sub>DD</sub> 近くまで上昇してトランジスタ M<sub>2</sub>の引き込み電流は急増する。これと は逆に、図 12.12 (b)に示したように、バイアス状態から電圧 V<sub>in</sub> が上がると、トランジス タ M<sub>3</sub>,M<sub>2</sub> がカットオフし、電圧 V<sub>1</sub> は接地電位近傍まで下がり、トランジスタ M<sub>1</sub>の電流は 急増する。このようにバイアス時の少ないバイアス電流から、動作時の大きな駆動電流を 引き出すことが出来る他、接地電位から VDD までの広い出力ダイナミックレンジを得るこ とができる。この回路はトランジスタ M<sub>3</sub>, M<sub>4</sub>を1段の増幅回路の出力側の電流パスに挿入 するなどして用いられる。



図 12.11 コモンゲートレベルシフトを用いた AB 級バッファ (バイアス時)



図 12.12 AB 級バッファの内部状態

12.5 位相補償と周波数特性

演算増幅器は利得が高い上に帰還回路に用いられるため発振し易く、発振防止のために位 相補償が不可欠である。ここではこの位相補償の方法と周波数特性について述べる。 図 12.13 はカスコード型演算回路を示している。信号が伝播する各ノードはそれぞれにポ ールを有する。この中で出力端のノード Y は高利得の確保ため、インピーダンスが最も高 く、しかも負荷容量が加わるために原点に最も近い低い周波数ポールになる。これをドミ ナントポールと言う。次に原点に近いポール、セカンドポールはたくさんの容量が接続さ れ、しかもミラー効果が生じているカレントミラーを構成するノード X である。残りのノ ードは比較的に原点から遠い高い周波数ポールを形成する。

開放利得を H( $\omega$ )で表し、ボーデプロットを取ったものを図 12.14 に示す。利得は 1 ポー ルにつき 20dB/dec で減少し、位相はポールの位置で-45 度回転し、ポールの周波数を $\omega_p$ とするとおおよそ 0.1 $\omega_p$ から 12 $\omega_p$ の間で 0 度から-90 度まで回転する。この回路が安定に 動作するためには 60 度程度の位相余裕が必要である。図 12.14 において濃い実線は位相補 償を施さないときのボーデプロットを示している。この状態では利得が 1 (0dB)になる角周 波数で位相は-180 度以上あり、完全に発振してしまう。したがって 60 度の位相余裕を実現 するにはドミナントポール $\omega_{py}$ を $\omega_{py}$ のように低周波側に移動させて、利得が 1 になるユニ ティゲイン角周波数 $\omega_u$ をセカンドポール $\omega_{px}$ の 1/2 程度の角周波数にする必要がある。



図 12.13 カスコード型演算回路

この他のポールは通常セカンドポールよりもかなり高い角周波数を持ち、位相補償後はこ の角周波数で利得が1を切っているためほとんど影響を与えない。



図 12.14 開放ループ利得のボーデプロット

以上のように位相補償においてはセカンドポールの位置と、利得が1になるユニティゲイン角周波数ωuの2つが重要である。ドミナントポールの位置は直接的には影響を与えない。 ユニティゲイン角周波数ωuは、

$$\omega_u = \frac{g_m}{C_L} (12.8)$$

で与えられる。ここで gm は入力差動対を構成するトランジスタ M1, M2 の gm である。

位相補償後の周波数特性は結局セカンドポールにより決定され、これはカレントミラーの ミラーポールにより生じるので、このポールの周波数を上げることが広帯域演算増幅器を 実現するポイントである。したがって、広帯域増幅器の実現のためには図 12.3(b)に示した ようなカレントミラーを用いない完全差動型演算増幅器が適している。

図 12.9 に示したような 2 段構成の増幅器を有する演算増幅器の位相補償は別の方法を用 いなければならない。図 12.15 に図 12.9 に示した 2 段の演算増幅器の等価回路を示す。こ の図において、 $r_1$ はトランジスタ  $M_2, M_3$ のドレイン抵抗を並列接続したもの、 $r_2$ はトラン ジスタ  $M_5$ のドレイン抵抗、 $C_1$ はトランジスタ  $M_2, M_3$ の接続点の全容量、 $C_L$ は負荷容量、  $C_c$ は位相補償容量、 $r_c$ は位相補償抵抗である。



図 12.15 2段の演算増幅器の等価回路とポールおよびゼロの位置

位相補償容量 C<sub>c</sub>、位相補償抵抗 r<sub>c</sub>が無い時の回路のポールは、

$$\omega_{p1} = -\frac{1}{r_1 C_1}$$
 (12.9*a*)  
 $\omega_{p2} = -\frac{1}{r_2 C_L}$  (12.9*b*)

と表される。r<sub>1</sub>,r<sub>2</sub> はほぼ同じ値を取り、通常 C<sub>1</sub>,C<sub>L</sub> も大きくかけ離れていないので、図 12.15(b)に示したようにポールの位置は接近している。また高利得を得るためにドレイン側 の抵抗は極めて高いので、これらのポールの周波数は低く、原点に接近している。図 12.16 はボーデ図を示している。濃い実線は非補償時の利得と位相を示している。利得が高く、 2つのポール位置が原点に接近しているので位相は低い周波数で-180°になり、このとき に1以上の利得がある。したがってこのままではこの回路は容易に発振してしまう。

この回路を先に述べた位相補償方法で補償方法で補償しようとすると、C<sub>1</sub>,C<sub>L</sub>のうち、どちらかの容量を1段の利得倍程度に増大させる必要があり、したがって数 100 倍程度の容量比に設定する必要がある。このような容量比の設定は非現実的で、しかもこの位相補償された回路のユニティゲイン角周波数は低いポール角周波数で決まるため、周波数特性が極めて悪くなる。そこで、2段のカスケード増幅器を用いた演算増幅器の位相補償には、図 12.15(a)に示したような2段目の増幅器の出力端と入力端間を直列に接続された容量と抵抗で帰還する方法が用いられる。この場合は図 12.15(b)に示したように左半面にある2つの極と右半面にある1つのゼロを有する周波数特性になる。

これらの極とゼロは、

$$\omega_{p1}' = \frac{-1}{g_{m_5} r_1 r_2 C_c} \quad (12.10 \, a)$$
  
$$\omega_{p2}' = \frac{-g_{m_5}}{C_1 + C_L} \approx \frac{-g_{m_5}}{C_L} \quad (12.10 \, b)$$
  
$$\omega_z = \frac{g_{m5}}{C_c \left(1 - g_{m_5} r_c\right)} \quad (12.10 \, c)$$

となる。したがって、図 12.15(b)に示したように、通常  $C_1 < C_L$ ,  $g_{m5r_2} >> 1$  なので、新たな 極 $\omega_{p1}$ 'は、非補償のときの極 $\omega_{p1}$ よりもかなり低くなり、新たな極 $\omega_{p2}$ 'は非補償のときの 極 $\omega_{p2}$ よりもかなり高くなる。ポールがお互いに離れるので、これをポールスプリッティ ングという。

利得が1になるユニティゲイン角周波数は、

$$\omega_u = \frac{g_{m_1}}{C_c} \quad (12.11)$$

で与えられるため、 $\omega_{p_2}$ >2 $\omega_u$ 程度に設定すれば安定な特性が得られる。したがって、若 干のマージンを取って、

$$C_c \ge \frac{3g_{m_1}}{g_{m_5}}C_L(12.12)$$

になるように補償容量 Ccを設定する必要がある。

このときのボーデ図を図 12.16 の薄い線で示す。図のようにもしもゼロの角周波数 $\omega_z$ が極 $\omega_{p_2}$ 、よりも低い場合は、このゼロ点が右半面にあるため、薄い線の点線で示したように帯域内で位相が回る他、利得が一定となり、周波数が高くなっても利得は減衰しないので、位相補償ができなくなってしまう。したがって、 $r_c=1/g_{m5}$ と設定することで式(12.10C)に示したゼロ点の角周波数を無限大にするか、場合によってはこのゼロ点を第2ポールと一致させることにより、第2ポールを打ち消して位相マージンを向上させることが行われる。このようにして図 12.16 の薄い実線で示したような十分な位相余裕を持った安定な回路にすることができる。

以上のように、2段のカスケード増幅回路を用いた演算増幅器はポールスプリッティング を用いることにより、ある程度の帯域を有したまま位相補償を行うことができるが、帯域 が2段目の増幅器のユニティゲイン周波数で決まるため、内部回路のミラーポール、もし くはカスコード段のソース側の時定数で決まる1段のカスコード増幅器よりは帯域が狭い。 したがって高速・広帯域演算増幅器として用いる場合は2段構成の増幅器ではなく、1段 のカスコード増幅器の方が適している。



図 12.16 2段の演算増幅器の開放ループ利得のボーデプロット

12.6 スルーレイト

スルーレイトは出力信号の最大変化率であり、回路の各容量の充放電時間で決定させる。 図 12.13 に示した1段のカスコード型演算増幅器では、スルーレート SR は、

$$SR = \frac{I_{ss}}{C_L} (12.13)$$

で表される。したがって定電流源の電流が大きく、負荷容量が小さいほど大きなスルーレートが得られる。また、図 12.9 に示した2段構成の演算増幅器の場合は、定電流源 Iss1 と位相補償容量 C<sub>c</sub>、定電流源 Iss2 と位相補償容量 C<sub>L</sub>からなる2つの回路のうちどちらか小さい方のスルーレートで決定される。

12.7 雑音

演算増幅器の入力換算雑音は主に初段のトランジスタの雑音を考慮すれば良い。図 12.9 に示した2段構成の演算増幅器を例に取れば、初段の入力トランジスタ M<sub>1</sub>,M<sub>2</sub>の入力換算 雑音スペクトラム V<sub>n1.2</sub>は、2つのトランジスタの雑音電力の加算を考慮して、

$$V_{n1,2}^2 / Hz = 2 \left( \frac{8kT}{3g_{m1}} \right) (12.14)$$

となる。

カレントミラーを構成するトランジスタ M<sub>3</sub>,M<sub>4</sub>の電流雑音 I<sub>n3,4</sub>は、

$$I_{n3,4}^2 / Hz = 2 \left( \frac{8kT}{3} g_{m3} \right) \quad (12.15)$$

したがって、この電流雑音が入力トランジスタ M<sub>1</sub>,M<sub>2</sub> で等価的に入力換算電圧に変換されることを考慮すると、入力換算雑音スペクトラム Vn は

$$V_n^2 / Hz = 2 \left( \frac{8kT}{3g_{m1}} \left( 1 + \frac{g_{m3}}{g_{m1}} \right) \right) (12.16)$$

で表される。これより、雑音を減らすにはトランジスタ $M_{1,M_{2}}$ のトランスコンダクタンス $g_{m_{1}}$ を大きくし、トランジスタ $M_{3,M_{4}}$ のトランスコンダクタンス $g_{m_{3}}$ を小さくする必要がある。

12.8 オフセット電圧

ランダムなオフセット電圧は雑音と同様に主に初段のトランジスタで決定される。 図 12.9 に示した 2 段のカスケード型演算増幅器を例に取れば、トランジスタ M<sub>1</sub>,M<sub>2</sub>のラ ンダムオフセット電圧は主として V<sub>T</sub> ばらつきに依るものとしてこの標準偏差をσ v<sub>T1</sub>、トラ ンジスタ M<sub>3</sub>,M<sub>4</sub> のそれをσ v<sub>T3</sub> とすると、入力換算オフセット電圧の標準偏差、σ voff は、

$$\sigma_{Voff}^2 = 2 \left( \sigma_{VT1}^2 + \sigma_{VT3}^2 \left( \frac{g_{m3}}{g_{m1}} \right)^2 \right) (12.17)$$

で表される。

したがって、オフセット電圧ばらつきを低減するにはトランジスタのゲート面積を大きく すると同時に、g<sub>m3</sub>/g<sub>m1</sub>を小さくすることが必要である。