9 差動増幅回路

今までに示した増幅回路は抵抗を用いてバイアス電圧を作り出し、交流信号を容量結合を用いてバイアス点と結合し、バイアス電圧近傍の電圧を変化させることで増幅作用を得ていた。しかしながら、交流信号のみならず直流信号までをも安定に増幅させる必要があり、この要求に応えた増幅回路が差動増幅回路である。差動増幅回路を用いることで温度変化など動作環境変化や電源ノイズなどの外乱に対しても耐性のある電子回路を実現できる。

9.1 バイポーラトランジスタを用いた差動増幅回路

図 9.1 にバイポーラトランジスタを用いた差動増幅回路の一例を示す。トランジスタ Q_1, Q_2 はエミッタで結合されており、定電流源でバイアスされている。それぞれのコレクタは負荷抵抗 R_L に接続されており、入力はトランジスタ Q_1, Q_2 のベースに印加され、出力信号は負荷抵抗 R_C から取り出される。

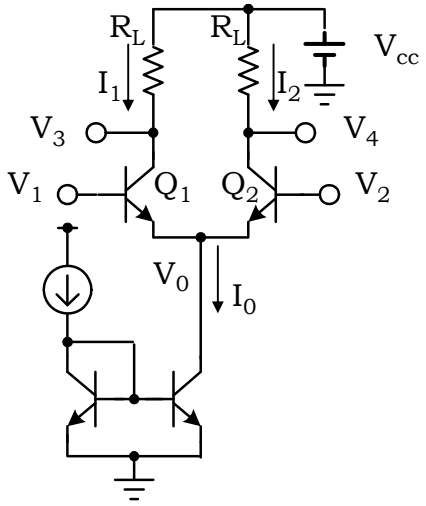

図 9.1 バイポーラトランジスタを用いた差動増幅回路

次にこの回路の電圧・電流特性を導出する。

トランジスタ Q_1, Q_2 のベース電圧を V_1, V_2、バイアス電流を I_0、共通エミッタ電圧を Vo とすると、コレクタ電流 I_1, I_2 に関し次式が成り立つ。

$$I_1 = I_s e^{\frac{V_1 - V_0}{U_T}}$$

$$I_2 = I_s e^{\frac{V_2 - V_0}{U_T}} \quad (9.1)$$

したがって、　電流比 I_1/I_2 は

$$\frac{I_1}{I_2} = e^{\frac{V_1 - V_2}{U_T}} \quad (9.2)$$

$$I_1\left(1+\frac{1}{\beta}\right) + I_2\left(1+\frac{1}{\beta}\right) = I_0 \quad (9.3)$$

したがって、

$$I_1 + I_2 = \frac{I_0}{\left(1+\frac{1}{\beta}\right)} = I_0^{'} \quad (9.4)$$

これより、

$$\begin{aligned} I_1 &= \frac{I_0^{'}}{1+e^{-\frac{V_1 - V_2}{U_T}}} \\ I_2 &= \frac{I_0^{'}}{1+e^{\frac{V_1 - V_2}{U_T}}} \end{aligned} \quad (9.5)$$

図 9.2 に入力電圧差に対する各コレクタ電流を示す。
したがって、出力電圧は

$$\begin{aligned} V_3 &= V_{cc} - R_L I_1 \\ V_4 &= V_{cc} - R_L I_2 \end{aligned} \quad (9.6)$$

となる。図 9.3 に入力電圧差に対する出力電圧を示す。
入力電位差が 100mV 程度で電流値や出力電圧値は飽和して一定になる。
ここで、差動電圧信号 V_1-V_2 に対する差動電流 I_1-I_2 のトランスコンダクタンスを求める。

$$g_{m_diff} \equiv \left.\frac{d(I_1 - I_2)}{d(V_1 - V_2)}\right|_{V_1 = V_2} = \frac{I_0^{'}}{2U_T} \quad (9.7)$$

となり、平衡状態での各トランジスタ Q_1,Q_2 を流れるコレクタ電流が $I_0'/2$ であることを考慮すると、各トランジスタ Q_1,Q_2 のトランスコンダクタンス g_m に等しくなる。

したがって、差動利得 A_d は、

$$A_d \equiv \left.\frac{d(V_3 - V_4)}{d(V_1 - V_2)}\right|_{V_1=V_2} = -\left.\frac{d(I_1 - I_2)}{d(V_1 - V_2)}\right|_{V_1=V_2} \cdot R_L = -g_{m_diff} \cdot R_L = -\frac{I_0' R_L}{2U_T} \quad (9.8)$$

と表される。

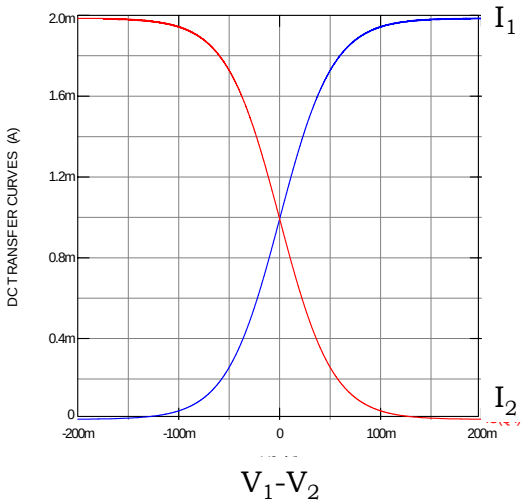

図 9.2 バイポーラトランジスタを用いた差動増幅回路の入力電圧・電流特性

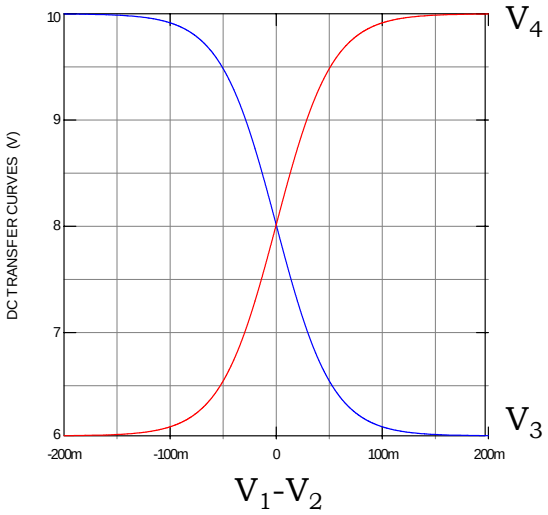

図 7.3 バイポーラトランジスタを用いた差動増幅回路の入力電圧・出力電圧特性

9.2 MOS トランジスタを用いた差動増幅回路

差動回路は MOS トランジスタを用いても実現できる。図 9.4 に MOS トランジスタを用いた差動増幅回路を示す。

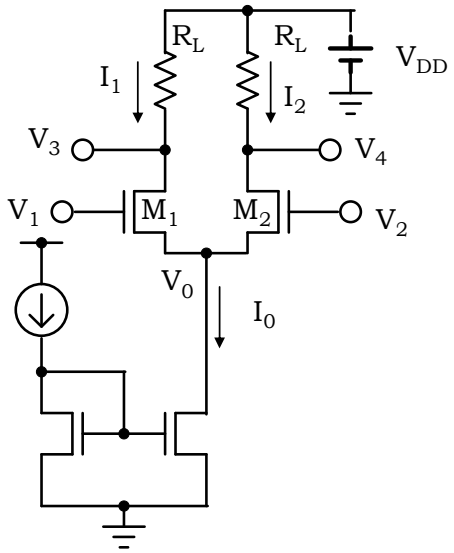

図 9.4 MOS トランジスタを用いた差動増幅回路

トランジスタがバイポーラから MOS に置き換わっているだけである。

MOS トランジスタ M_1, M_2 のベース電圧を V_1, V_2、バイアス電流を I_0、ソース電圧を V_0 とすると、次式が成り立つ。

$$I_1 = \frac{1}{2}\mu C_{ox}\frac{W}{L}\left(V_1 - V_0 - V_T\right)^2$$
$$I_2 = \frac{1}{2}\mu C_{ox}\frac{W}{L}\left(V_2 - V_0 - V_T\right)^2 \quad (9.9)$$

また、

$$I_0 = I_1 + I_2 \quad (9.10)$$

であるので、

$$V_1 - V_0 = V_T + \sqrt{\frac{2I_1}{\mu C_{ox}\frac{W}{L}}}$$
$$V_2 - V_0 = V_T + \sqrt{\frac{2I_2}{\mu C_{ox}\frac{W}{L}}} \quad (9.11)$$

ここで、差動電圧 ΔV_{in} を定義すると、

$$\Delta V_{in} = V_1 - V_2 = \sqrt{\frac{2}{\mu C_{ox}\frac{W}{L}}}\left(\sqrt{I_1} - \sqrt{I_2}\right) \quad (9.12)$$

式(9.10)と式(9.12)より、

$$I_{1,2} = \frac{I_0}{2}\left(1 \pm \frac{\Delta V_{in}}{V_{eff}}\sqrt{1 - \frac{1}{4}\left(\frac{\Delta V_{in}}{V_{eff}}\right)^2}\right) \quad (9.13)$$

と求められる。 ここで V_{eff} は差動電圧がゼロの場合の MOS トランジスタ M_1, M_2 の有効ゲート電圧である。もちろんこの式が有効な電圧範囲は

$$\left|\Delta V_{in}\right| < \sqrt{2}V_{eff} \quad (9.14)$$

である。

図 9.5 に V_{eff}=0.2V と設定したときの入力電圧差に対する MOS トランジスタ M_1, M_2 のドレイン電流を示す。入力電圧差が $\sqrt{2}V_{eff}$ のあたりで電流は飽和することが分かる。

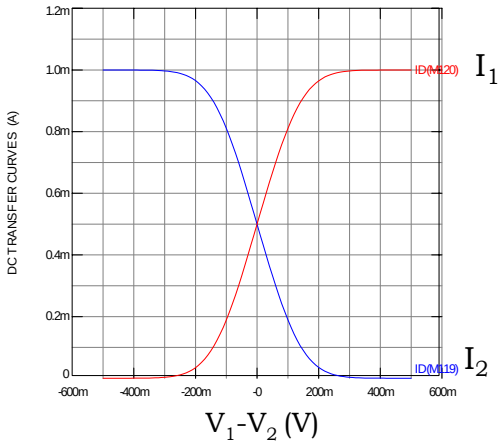

図 9.5　入力電圧差に対する MOS トランジスタ M_1, M_2 のドレイン電流

差動信号に対するトランスコンダクタンスは式(9.13)より

$$g_{m_diff} \equiv \left.\frac{d(I_1 - I_2)}{d(\Delta V_{in})}\right|_{V_1=V_2} = \frac{I_o}{V_{eff}} = \frac{2 \cdot \frac{I_o}{2}}{V_{eff}} \quad (9.15)$$

となり、トランジスタ M_1 もしくは M_2 を流れる電流は $I_o/2$ であるので、ソース接地の場合の各トランジスタのトランスコンダクタンス g_m に等しい。

差動利得 A_d はバイポーラ回路と同様に、

$$A_d \equiv \left.\frac{d(V_3 - V_4)}{d(V_1 - V_2)}\right|_{V_1=V_2} = -\left.\frac{d(I_1 - I_2)}{d(V_1 - V_2)}\right|_{V_1=V_2} \cdot R_L = -g_{m_diff} \cdot R_L = -\frac{I_o R_L}{V_{eff}} \quad (9.16)$$

と求められる。

ところで、図 9.1、図 9.4 に示した、抵抗を負荷とした差動回路の利得には限度がある。このような回路では差動入力信号がゼロの平衡状態において、出力電圧は電源電圧の中点程度までしか取れない。したがって、利得の最大値はバイポーラトランジスタでは式(9.8)より、

$$A_{d_\max} = -\frac{I_0' R_L}{2U_T} = -\frac{V_{cc}}{2U_T} \quad (9.17)$$

また、MOS トランジスタでは、式(9.16)より、

$$A_{d_\max} = -\frac{I_o R_L}{V_{eff}} = -\frac{V_{dd}}{V_{eff}} \quad (9.18)$$

となる。たとえば V_{dd}=2.0V, V_{eff}=0.2V とすると、利得は最大 10 程度となり、あまり高い利得は得られない。利得を高めるには次に述べる能動負荷を用いる必要があるが、その中間として図 9.6 に示す、差動抵抗負荷回路を用いるものがある。

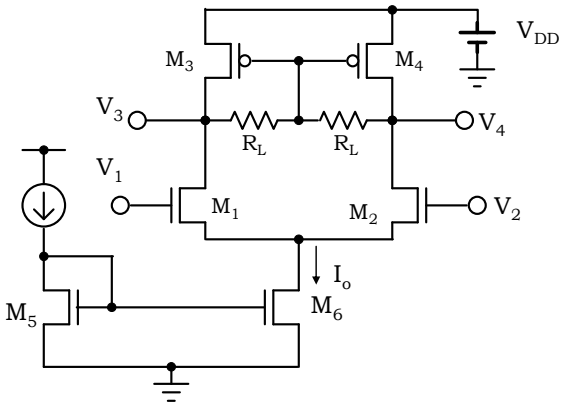

図 9.6 差動抵抗負荷回路を用いた差動増幅回路

この回路は負荷抵抗の中点電位を一対の PMOS トランジスタのゲートに与えることで、平衡状態における、出力電圧は V_{dd}-V_{gsp} と一定になり、負荷抵抗値には依存しない。このため負荷抵抗値を高くすることができ、差動利得を上げることができる。

図 9.7 に出力電圧の様子を示す。負荷抵抗を上げることで利得が上昇するが、平衡状態の出力電圧は一定である。

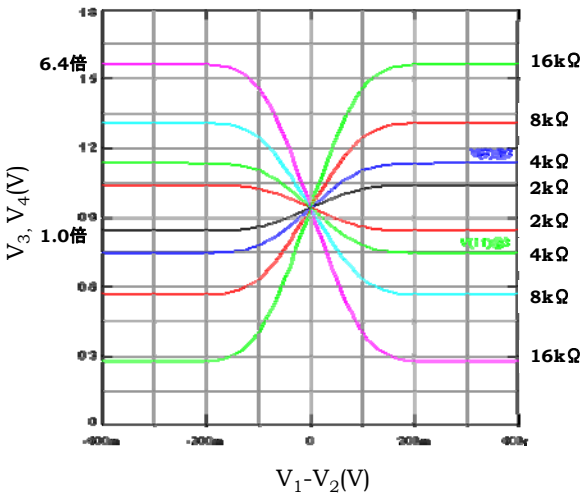

図 9.7 入出力電圧特性

9.3 差動信号と同相信号

これまでの解析においては入力電圧差だけに着目してきたが、実際の信号には同相成分があり、これを考慮する必要がある。図 9.8 は図 9.4 に示した MOS トランジスタを用いた差動増幅回路を簡略化したものだが、同相信号に対する効果を明らかにするために、電流源の電圧依存性を考慮して、カレントミラーを用いた電流源回路を電流源 I_o と並列抵抗 r_s で置き換えている。

9.3.1 同相入力電圧と差動入力電圧

差動増幅器の入力信号を２つの信号の平均信号つまり同相成分である同相入力電圧 V_c と２つの信号の差成分である差動入力電圧 V_d を次のように定義する。

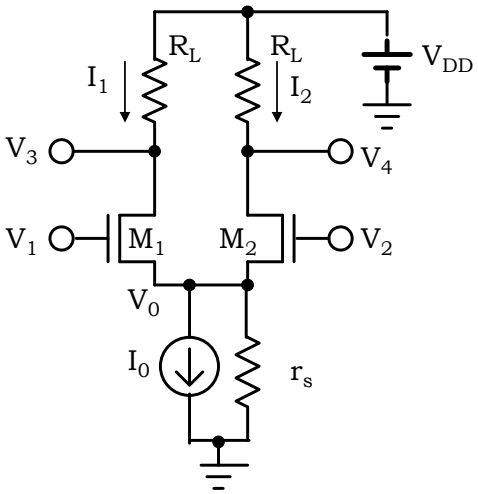

図 9.8 MOS トランジスタを用いた差動増幅回路

同相入力電圧： $V_c = \dfrac{V_1 + V_2}{2}$ (9.19)

差動入力電圧：$V_d = \dfrac{V_1 - V_2}{2}$ (9.20)

これにより、任意の２つの入力電圧 V_1, V_2 は次のように同相入力成分と差動入力成分に分けることができる。

$$\begin{aligned} V_1 &= V_c + V_d \\ V_2 &= V_c - V_d \end{aligned} \quad (9.21)$$

9.3.2 差動利得と同相利得

図 9.8 に示した回路の小信号等価回路を図 9.9 に示し、これを用いて差動利得と同相利得を導出する。

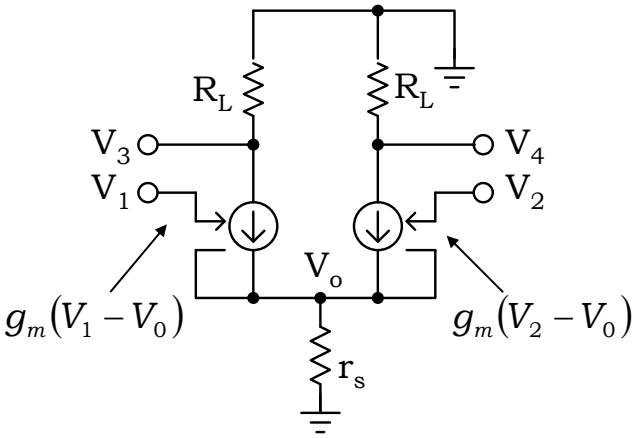

図 9.9 差動増幅回路の小信号等価回路

トランジスタ M_1, M_2 の共通ソース点電位 V_0 は、

$$V_0 = r_s\{g_m(V_1 - V_0) + g_m(V_1 - V_0)\} \quad (9.22)$$

したがって、

$$V_0 = \frac{r_s g_m}{1 + 2r_s g_m}(V_1 + V_2) \quad (9.23)$$

出力電圧 V_3 は、

$$V_3 = -g_m(V_1 - V_0)R_L = -\frac{g_m R_L}{1 + 2r_s g_m}\{(1 + r_s g_m)V_1 - r_s g_m V_2\} \quad (9.24)$$

同様に、

$$V_4 = -g_m(V_2 - V_0)R_L = -\frac{g_m R_L}{1 + 2r_s g_m}\{(1 + r_s g_m)V_2 - r_s g_m V_1\} \quad (9.25)$$

したがって、差動電圧 V_3-V_4 は、

$$V_3 - V_4 = -g_m(V_1 - V_2)R_L \quad (9.26)$$

差動利得 A_d は、

$$A_d \equiv \frac{V_3 - V_4}{V_1 - V_2} = -g_m R_L \quad (9.27)$$

と求まる。
一方、同相電圧 V_3+V_4 は、

$$V_3 + V_4 = -\frac{g_m R_L}{1 + 2r_s g_m}(V_1 + V_2) \quad (9.28)$$

したがって、同相利得 A_c は、

$$A_c \equiv \frac{V_3 + V_4}{V_1 + V_2} = -\frac{g_m R_L}{1 + 2r_s g_m} \approx -\frac{R_L}{2r_s} \quad (9.29)$$

となる。
つまり、差動出力(V_3-V_4)とすることで、同相信号成分は出力に現れないようにすることができる。このことは非常に重要で、入力信号に共通に重畳されたノイズを除去できるほか、温度ドリフトの影響など回路パラメータの変化を軽減することができる。
ところで、差動増幅回路では差動利得が大きく、同相利得は小さいことが望ましい。そこで、差動増幅回路の良さを表す尺度として同相除去比(Common Mode Rejection Ratio)が定義されている。

$$CMRR \equiv \frac{A_d}{A_c} \quad (9.30)$$

式(7.27), (7.29)を用いて求めると、

$$CMRR \equiv \frac{A_d}{A_c} = 1 + 2r_s g_m \approx 2r_s g_m \quad (9.31)$$

となり、電流源の出力抵抗 r_s が大きく、トランジスタ M_1, M_2 の g_m が大きいほど良好な値を示す。

9.4 能動負荷を用いた高利得差動増幅器

これまで説明してきた差動増幅器においては、負荷回路として抵抗を用いてきた。しかしながら、抵抗負荷の場合は負荷抵抗による電圧降下があるために利得に限界があることはすでに述べた。しかしながら、増幅器の利得は 10000 倍以上を必要とする場合もあり、抵抗負荷回路では限界がある。そこで考えられたのが図 9.10 に示す能動負荷を用いた高利得差動増幅器である。

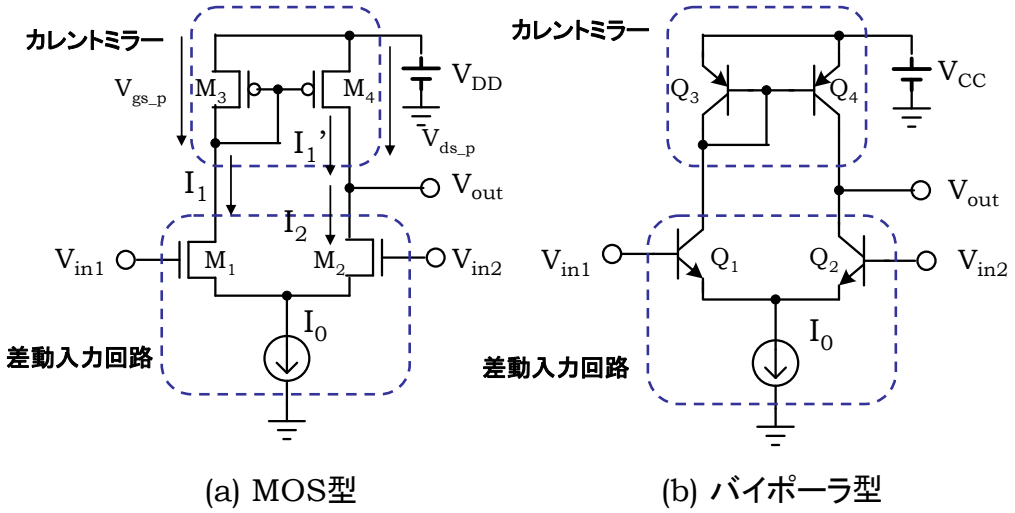

図 9.10　能動負荷を用いた高利得差動増幅器

入力回路はMOS トランジスタおよびバイポーラトランジスタを用いた差動増幅器で構成され、その出力電流は相補型トランジスタを用いたカレントミラーに接続されて出力される。

バイアス状態における出力電圧を MOS 型の回路を用いて考察する。

差動入力信号がゼロのときはシンク電流 I_o が等分されて、$I_1=I_o/2$ がトランジスタ M_1 および M_3 に流れる。残りの電流は $I_2=I_o/2$ がトランジスタ M_2 を流れるが、カレントミラーの作用により M_4 を流れる電流 I_1'と電流 I_2 は等しくなければならない。このような電流関係になるのは、トランジスタ M_3 と M_4 のドレイン・ソース間電圧が等しい場合である。トランジスタ M_3 のドレイン・ソース間電圧はゲート・ソース間電圧 V_{gs_p} であるので、トランジスタ M_4 のドレイン・ソース間 V_{ds_p} は、

$$V_{ds_p} = V_{gs_p} \quad (9.32)$$

となる。したがって、バイアス状態での出力電圧 V_{out} は、

$$V_{out} = V_{DD} - V_{gs_p} \quad (9.33)$$

となる。バイポーラ回路の場合も同様で、トランジスタ Q_3 の V_{BE_p} を用いて、

$$V_{out} = V_{CC} - V_{BE_p} \quad (9.34)$$

となる。

次に MOS 型回路の利得を求める。差動入力信号が十分小さい場合は、トランジスタ M_1, M_2 の共通ソース電位は変化しないため、ソース接地回路と見なすことができる。

したがって、小信号等価回路は図 9.11 のように表すことができる。

図中、$v_{in}=v_{in1}-v_{in2}$　であり、トランジスタ M_1 のゲート・ソース間電圧は $v_{in}/2$ 増加し、トランジスタ M_2 のゲート・ソース間電圧は $v_{in}/2$ 減少することを考慮している。

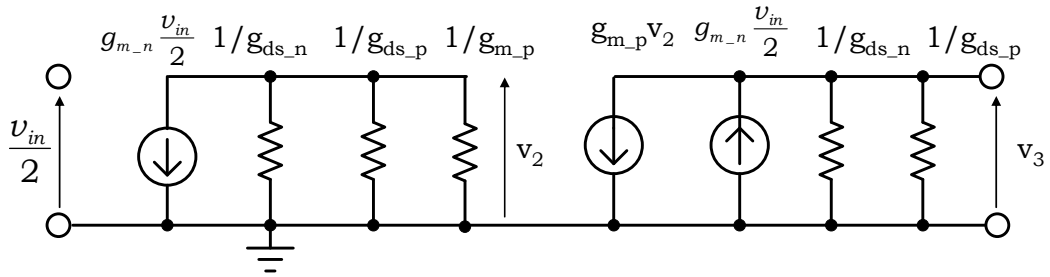

図 9.11 MOS 型能動負荷を用いた高利得差動増幅器の小信号等価回路

図 9.10(a)においてトランジスタ M_3 のゲートの電圧変化である v_2 は

$$v_2 = -\frac{g_{m_n}\dfrac{v_1}{2}}{g_{ds_n} + g_{ds_p} + g_{m_p}} \quad (9.35)$$

トランジスタ M_2 のドレイン電流の変化はトランジスタ M_1 とは逆極性であることを考慮して、

$$v_2 = \frac{g_{m_n}\frac{v_1}{2} - g_{m_p}v_2}{g_{ds_n} + g_{ds_p}} = \frac{1}{g_{ds_n} + g_{ds_p}}\left\{ g_{m_n}\frac{v_1}{2} + g_{m_p}\frac{g_{m_n}\frac{v_1}{2}}{g_{ds_n} + g_{ds_p} + g_{m_p}} \right\} \quad (9.36)$$

通常　$g_{ds} << g_m$ であるので、式(9.36)は次式のように近似できる。

$$v_2 \approx \frac{g_{m_n}}{g_{ds_n} + g_{ds_p}} v_1 \quad (9.37)$$

したがって、電圧利得 A_v は、

$$A_v \approx \frac{g_{m_n}}{g_{ds_n} + g_{ds_p}} \quad (7.38)$$

となる。つまりこの回路ではトランジスタ M_1 もしくは M_2 がソース接地型増幅器として動作し、負荷回路はトランジスタ M_1 およびトランジスタ M_4 の並列接続されたドレイン抵抗とみなすことができる。

$$g_m = \frac{2I_{ds}}{V_{eff}} \quad (9.39)$$

$$g_{ds} = \frac{I_{ds}}{V_A} \quad (9.40)$$

の関係を用いると、式(9.38)は、

$$A_v \approx \frac{g_{m_n}}{g_{ds_n} + g_{ds_p}} = \frac{2\frac{I_0}{2V_{eff_n}}}{\frac{I_0}{2V_{A_n}} + \frac{I_0}{2V_{A_p}}} = \frac{2}{V_{eff_n}\left(\frac{1}{V_{A_n}} + \frac{1}{V_{A_p}}\right)} \quad (9.39)$$

と表現することができる。$V_{A_n}=V_{A_P}=10V$, $V_{eff}=0.2V$ とすると、
電圧利得は 50 となり、抵抗負荷に比べて大きな利得を得ることができる。
ただし、このままでは、10000 にはならないが、より高利得を得る回路については演算増幅器の章において述べる。