7. デバイス特性の変動やバラツキおよび歪みと雑音

半導体デバイスは製造時の変動、温度変動などの各種変動がある他、個体により特性バラ ツキを有する。アナログ回路ではこれら特性変動やバラツキの影響を強く受け、性能が著 しく劣化する。またデバイスはその特性の非線形性による歪みやランダムプロセスに由来 する雑音を発生し、必要な信号だけでなく不要な信号成分を発生することにより性能を劣 化させる。これらの非理想特性は現象が複雑であり、簡単に説明することは困難ではある が電子回路開発の歴史はこれら特性変動やバラツキ、歪みや雑音に打ち勝つかの歴史でも あり、これら非理想特性を知らなければ、今後述べる差動回路や負帰還回路技術、演算増 幅器の価値も分かりにくいであろう。そこでこの章ではこれら特性変動やバラツキ、歪み や雑音の性質についてできるだけ簡単に説明する。

7.1 デバイスの温度特性

デバイスパラメータは温度により変化するのが一般的である。代表的なデバイスパラメー タを列挙すると、

7.1.1 抵抗值

抵抗値の温度特性は、

$$\frac{\Delta R}{R} \approx 0.3\% / °C \sim 0.15\% / °C \quad (7.1)$$

したがって、温度範囲を-25℃から125℃とすると、45%程度の変化となる。 ただし、上記は拡散抵抗の場合であり、集積回路で良く用いられるポリシリコンの場合は イオン注入量により温度係数および極性が大幅に変化する。

7.1.2 バイポーラトランジスタの VBE と hFE バイポーラトランジスタの VBE の温度特性は、

 $\Delta V_{BE} \approx -1.8 mV / ^{\circ}C \quad (7.2)$

したがって、温度範囲を-25℃から 125℃とすると、-270mV 程度の変化となる。温度が 低いと V_{BE} は高くなり、温度が高いと V_{BE} は低くなる。

バイポーラトランジスタの電流増幅率 hFEの温度特性は、

$$\frac{\Delta h_{FE}}{h_{FE}} \approx 0.5\% / °C \quad (7.3)$$

したがって、温度範囲を-25℃から 125℃とすると、75%程度の変化となる。温度が低いと hBE は低くなり、温度が高いと hFE は高くなる。

7.1.2 MOS トランジスタと VT と移動度 μ しきい値電圧 VT は、

 $\Delta V_{\tau} \approx -2.4 mV / ^{\circ}C (7.4)$

したがって、温度範囲を-25℃から 125℃とすると、-360mV 程度の変化となる。バイポ ーラトランジスタの VBEと同様に、温度が低いと VT は高くなり、温度が高いと VT は低く なる。

移動度μは、

.

$$\frac{\Delta\mu}{\mu} \approx -0.6\% / °C \quad (7.5)$$

したがって、温度範囲を・25℃から125℃とすると、90%程度の変化となる。

以上に示したように、デバイスの主要パラメータは温度により大幅に変化することが分かる。したがって、電子回路はこれらデバイスの温度変化の影響を受けにくくすることが求められる。ただし、以上に示した値は、代表的なものであり、実際にはプロセスの各種パラメータの影響を受けることに注意が必要である。

7.2 絶対値精度と相対値精度

現代の電子回路は殆どが集積回路技術を用いて実現される。集積回路技術を用いてトラン ジスタや抵抗、容量などのデバイスが形成される場合、そのデバイスの特性は一定の標準 値と分散を有するが、隣接するデバイス間ではその特性差を極めて小さくすることができ る。

図 7.1 にバイポーラトランジスタ対および MOS トランジスタ対を示す。バイポーラトラン ジスタの同一コレクタ電流に対するベース・エミッタ間電圧 VBE や電流増幅率 hFE は一定 の分布を持つ。

その特性分布を式(7.6)に示す正規密度関数に基づくものとしたときの様子を図 7.2 に示す。 この例では中心値 m は 5、標準偏差 σ は 0.5 としている。



図 7.1 バイポーラトランジスタ対および MOS トランジスタ対



図 7.2 特性の分布(正規密度関数)

$$f(x) = \frac{1}{\sqrt{2\pi\sigma}} e^{-\left(\frac{x-m}{\sqrt{2\sigma}}\right)^2} \quad (7.6)$$

このように、デバイスの特性はある中心値を中心としてばらつく。

ところで、回路設計においてはこのようなデバイス特性のばらつきを絶対値精度と相対値 精度に分けて取り扱う。

絶対値精度では集積回路を製造するロット内、もしくはウエファー内でのトランジスタの 値の分布を取り扱い、相対値精度では図 7.1 に示したように隣接するトランジスタ間のデバ イス特性の差分を取り扱う。これは次章で述べるように差動回路技術の発達により、デバ イス特性の絶対値の影響を緩和し、相対値が回路特性を決定するようにできるようになっ たからである。

表 7.1 に代表的な集積デバイス特性の絶対値精度および相対値精度を示す。ただし、これは 一例であり、値そのものは製造プロセスにより大きく変化する。

デバイス	抵抗	バイポーラトランジスタ		MOSトランジスタ	
記号	R	V _{BE}	$\mathbf{h}_{ ext{FE}}$	V _T	μ
絶対値精度	±10~30%	±10mV	±50~100%	±100mV	±10~30%
相対値精度	±0.1~1%	±0.2mV~1mV	±3~10%	±1mV~30mV	±0.1~1%

表 7.1 集積デバイスの絶対値精度と相対値精度

表1に示したように一般的に絶対値精度におけるバラツキに比べ、相対値精度はにおける バラツキはかなり小さくできる。

例えば、バイポーラトランジスタの VBE を考える。VBE は式(5.3)より、

$$V_{BE} = \frac{kT}{q} In \left(\frac{I_c}{I_s}\right)$$

また、Isは、式(4.5)より、

$$I_s = \frac{qAD_n n_i^2}{Q_B}$$

と与えられるので、エミッタ接合面積 A、およびベース中の不純物 QBが製造プロセスにおいて変化すると、VBEも変化する。

これに対し相対値精度では、その差分が問題になるので、

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT}{q} In \left(\frac{I_c}{I_{s1}}\right) - \frac{kT}{q} In \left(\frac{I_c}{I_{s2}}\right) = \frac{kT}{q} In \left(\frac{I_{s2}}{I_{s1}}\right)$$

$$= \frac{kT}{q} In \left(\frac{A_2}{A_1} \frac{Q_{B1}}{Q_{B2}}\right)$$
(7.7)

のように、エミッタ接合面積A、およびベース中の不純物QBの相対値で決定される。

式(7.7)を更に展開し、

$$A_1 = A + \frac{\Delta A}{2}, \ A_2 = A - \frac{\Delta A}{2}; \ Q_{B1} = Q_B + \frac{\Delta Q_B}{2}, Q_{B2} = Q_B - \frac{\Delta Q_B}{2}$$

と近似すると、

$$\begin{split} \Delta V_{BE} &= \frac{kT}{q} \ln \left(\frac{A_2}{A_1} \frac{Q_{B1}}{Q_{B2}} \right) \approx \frac{kT}{q} \left[\ln \left(1 - \frac{\Delta A}{A} \right) + \ln \left(1 + \frac{\Delta Q_B}{Q_B} \right) \right]_{(7.8)} \\ &\approx \frac{kT}{q} \left(-\frac{\Delta A}{A} + \frac{\Delta Q_B}{Q_B} \right) \end{split}$$

が得られる。したがって、図 7.1 に示したような、隣接したトランジスタ間での相対精度上のバラツキ(ミスマッチバラツキとも言う)は極めて小さくすることが可能である。

7.3 デバイスのミスマッチの性質

デバイスのミスマッチには一定の統計的な性質があり、デバイスの面積に対して以下の ような関係がある。

$$\Delta V_T, \frac{\Delta C}{C}, \frac{\Delta R}{R} \propto \frac{1}{\sqrt{S}}$$
 (7.9)

図 7.3 は 0.13umNMOS トランジスタのゲート長 L、ゲート幅 W の積に対する VT ミスマ ッチ電圧の標準偏差を示している。



図 7.3 MOS トランジスタのミスマッチ特性

ー般的には酸化膜の厚さ T_{xo} (nm)、ゲート長 L(um)、ゲート幅 W(um)の MOS トランジス タのミスマッチ電圧 ΔV_T の標準偏差は、

$$\Delta V_{T}(mV) \approx \frac{T_{ox}}{\sqrt{LW}} \quad (7.10)$$

で近似できると言われている。ただし、ミスマッチ電圧 ΔV_T の標準偏差はゲート面積の平 方根に反比例するが、比例係数はおおよそは酸化膜の厚さに比例し、プロセスの依存性が ある。したがって、ミスマッチ電圧を小さくするにはゲート面積を大きくする必要があり、 小さなゲート面積で小さなミスマッチ電圧を得ることは容易ではなく、回路設計上の大き な課題となっている。

容量も同様であり、容量の面積の平方根に反比例するが、このことは容量値の平方根に反 比例すると言い換えても良い。つまり、Acを比例係数として、

$$\frac{\Delta C}{C} \approx \frac{A_c}{\sqrt{C}} \quad (7.11)$$

図 7.4 に代表的な特性を示す。ここでも容量ミスマッチを小さくするためには大きな容量を 用いなければならないことが分かる。この例では Acは 0.02 (%/pF)である。



図 7.4 容量のミスマッチ特性

7.3 雑音

電気信号において入力信号とは独立したランダムな信号成分を雑音もしくはノイズと言い、 いくつかの種類がある。この章では、主として抵抗により電気エネルギーが熱エネルギー に変化するときに発生する熱雑音、主として MOS トランジスタを流れる電流がシリコン と酸化膜との界面を流れることにより、キャリアが表面準位にトラップされることにより 生じると言われているフリッカー雑音もしくは 1/f 雑音、主として PN 接合ダイオードや バイポーラトランジスタに見られる、キャリアがあるポテンシャルを越えて流れるときに 生じるショット雑音などについて説明する。

このような雑音が生じると信号と雑音の比率である信号対雑音比(SNR; Signal to Noise Ratio)が劣化し、信号の鮮明度が悪くなる他、アナログ・デジタル混在系においてはエラーが多くなり、ビット誤り率が上昇する。

7.3.1 熱雑音

熱雑音は図 7.5 に示すように、電気エネルギーが熱エネルギーに変換される抵抗 R から発生し、その周波数当たりの大きさである、雑音スペクトラム密度は以下で与えられる。

$$\frac{\overline{v_n^2}}{\Delta f} = 4kTR \ (7.12a)$$
$$\frac{\overline{i_n^2}}{\Delta f} = 4kT\frac{1}{R} = 4kTG \ (7.12b)$$

ここで、G=1/R。

図 7.6(a)に雑音スペクトラム密度を示す。熱雑音では雑音スペクトラム密度は周波数に依 らず一定の値を示す。

また、この回路系から取り出しうる雑音電力密度は、

$$\frac{P_n}{\Delta f} = kT \quad (7.13)$$

になる。つまり、一見、抵抗が大きい方がノイズが大きく思われるかもしれないが、電力 で見ると、抵抗に依らず、温度で決まる。



図 7.5 熱雑音の発生とその大きさ



図 7.6 雑音の周波数特性と時間変化

時間的にはランダムに変動し、その分布はガウス分布となり、その標準偏差である雑音電力は式(7.14)に示すように、雑音スペクトラムに周波数帯域を掛けたものになる。

 $v_n^2 = 4kTRf_b$ (7.14a) $i_n^2 = 4kTGf_b$ (7.14b)

ところで、MOS トランジスタにおいてはその雑音源は図 7.7 に示すチャネル抵抗による ものである。



図 7.7 MOS トランジスタのチャネル抵抗

チャネルに加わる電圧と電流の関係から、その抵抗は 1/gm になる。これに補正係数 2/3 をかけたものが実効的ノイズになる。



図 7.8 MOS トランジスタの熱雑音の等価回路

図 7.8 に MOS トランジスタのノイズの等価回路を示す。 電流性雑音スペクトラムは、

$$\frac{\overline{i_n^2}}{\Delta f} = \frac{8}{3} kTg_m \quad (7.15)$$

$$i_{dc}^2 = g_m^2 v_{gs}^2 (7.16)$$

を用いて、入力電圧に換算すると、

$$\frac{\overline{v_n^2}}{\Delta f} = \frac{8}{3} \frac{kT}{g_m} \quad (7.17)$$

と表される。

したがって、電流性ノイズを低減するにはトランスコンダクタンスgmを小さく、電圧性ノ イズを低減するにはトランスコンダクタンスgmを大きくする必要がある。

また、雑音電力は雑音帯域に比例するので、雑音を小さくするには帯域を広げすぎないよ う、最小限にすることが必要である。

7.3.2 フリッカー雑音(1/f 雑音)

MOS トランジスタにおいては、電流がシリコンと酸化膜との界面を流れるため、キャリア が表面準位にトラップされることにより生じると言われているフリッカー雑音もしくは 1/f 雑音が存在する。

図 7.9 に入力換算雑音を示すが、この雑音は低周波になるほど大きくなる。



図 7.9 フリッカー雑音の周波数特性

その雑音スペクトラムの大きさは、

$$\overline{\frac{v_i^2}{\Delta f}} = \frac{K_f}{LWC_{ox}f} \quad (7.18)$$

で表される。ここで K_fはフリッカーノイズ係数と言い、製造プロセスに大きく依存するが、 10⁻²⁵V²F~10⁻²⁴V²F 程度の値を取る。

ところで、フリッカー雑音のスペクトラムの大きさは周波数依存性があるので、雑音の大 きさは熱雑音とは異なり単純に雑音帯域を掛ける訳にはいかず、以下のような式で計算を 行う。

$$v_i^2 = \frac{K_f}{LWC_{ox}} \int_{f_L}^{f_H} \frac{df}{f} = \frac{K_f}{LWC_{ox}} \ln\left(\frac{f_H}{f_L}\right)$$
(7.19)

ここで、fn fL は対象とする信号帯域の高周波側と低周波側である。fH はフリッカー雑音が 熱雑音と等しいスペクトラム強度になる周波数を取り、コーナー周波数と言われる。fL は 必要な低周波数であるが、通常 10Hz 程度に取ることが多い。

フリッカー雑音はバイポーラにも若干見られるが、MOS に比べれば約 1/10~1/100 程度で あり、小さい。従ってこのフリッカー雑音は MOS デバイスをアナログ電子回路に用いると きに非常な困難を引き起こす。

7.3.3 ショット雑音

ショット雑音は PN 接合ダイオードやバイポーラトランジスタを流れる電流のように、キャリアがあるポテンシャルを越えて流れるときに発生し、以下のように表される。

$$\frac{\overline{i_n^2}}{\Delta f} = 2qI \quad (7.20)$$

この現象は、バイポーラトランジスタにおいてはベース電流、コレクタ電流いずれも適用 される。したがって、バイポーラトランジスタの雑音モデルはベース抵抗による熱雑音を 考慮して図 7.10 のように表される。



図 7.10 雑音を考慮したバイポーラトランジスタの等価回路

図 7.10 において、

$$\frac{\overline{v_b^2}}{\Delta f} = 4kTr_b \quad (7.21a)$$
$$\frac{\overline{i_b^2}}{\Delta f} = 2qI_b \quad (7.21b)$$
$$\frac{\overline{i_c^2}}{\overline{\Delta f}} = 2qI_c \quad (7.21c)$$

である。

7.4 歪み

電子デバイスの電圧電流特性は程度の差はあれ本質的に非線形であり、歪みを生じる。 今、電子回路のバイアス点 xo においてΔx だけ電圧が変化したときのトランジスタの電 圧・電流特性を以下のようにテイラー級数で表す。

 $f(x_{o} + \Delta x) \approx f(x_{o}) + \alpha_{1}\Delta x + \alpha_{2}(\Delta x)^{2} + \alpha_{3}(\Delta x)^{3} + \dots (7.22)$

ここで、 *α*_iは係数である。

このような特性を持つ電子回路に A cos *wt* で表される正弦波が入力したと仮定すると、 その出力変化 y は、

$$y = \alpha_1 A \cos \omega t + \alpha_2 (A \cos \omega t)^2 + \alpha_3 (A \cos \omega t)^3 + \cdots$$

= $\alpha_1 A \cos \omega t + \frac{\alpha_2 A^2}{2} (1 + \cos 2\omega t) + \frac{3\alpha_3 A^3}{4} (3 \cos \omega t + \cos 3\omega t) + \cdots$ (7.23)
= $\frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4}\right) \cos \omega t + \frac{\alpha_2 A^2}{2} \cos 2\omega t + \frac{3\alpha_3 A^3}{4} \cos 3\omega t + \cdots$

のようになり、入力信号周波数の成分だけでなく、2次の係数α2より直流成分や2倍の周 波数成分、3次の係数α2より3倍の周波数成分だけでなく、入力信号周波数の成分に対す る利得にも影響を与えることになる。

このように、電子回路の非線形性により不要な信号成分が発生するので、これら歪みを抑 圧することが必要となる。

以下に示すテイラー展開を用いてバイポーラトランジスタおよび MOS トランジスタの非

線形性を見てみる。

$$f(x_o + \Delta x) \approx f(x_o) + \frac{df(x)}{dx}\Big|_{x=x_o} \Delta x + \frac{1}{2} \frac{d^2 f(x)}{dx^2}\Big|_{x=x_o} (\Delta x)^2 + \frac{1}{6} \frac{d^3 f(x)}{dx^3}\Big|_{x=x_o} (\Delta x)^3 + \dots \quad (7.24)$$

バイポーラトランジスタの電圧電流特性は、式(4.4)より、

$$I_c = I_s e \frac{V_{BE}}{U_T}$$

をバイアス電圧 VBEoの周りに小信号 v でテイラー展開すると、

$$I_{c}(V_{BEo} + \nu) = I_{s}e^{\frac{V_{BEo}}{U_{T}}} \left(1 + \left(\frac{\nu}{U_{T}}\right) + \frac{1}{2}\left(\frac{\nu}{U_{T}}\right)^{2} + \frac{1}{6}\left(\frac{\nu}{U_{T}}\right)^{3} + \cdots\right)$$

$$= I_{co}\left(1 + \left(\frac{\nu}{U_{T}}\right) + \frac{1}{2}\left(\frac{\nu}{U_{T}}\right)^{2} + \frac{1}{6}\left(\frac{\nu}{U_{T}}\right)^{3} + \cdots\right)$$
(7.25)

となる。こで、Ico はバイアス状態でのコレクタ電流である。
したがって、
$$\alpha_1 = \frac{I_{\infty}}{U_T}, \alpha_2 = \frac{I_{\infty}}{2U_T^2}, \alpha_3 = \frac{I_{\infty}}{6U_T^3}$$
と高次の項もかなり大きな係数になる。

MOS トランジスタにおいては式(4.43)より、

$$I_{ds} = \frac{\mu C_{ox}}{2} \frac{W}{L} V_{eff}^2$$

をバイアス電圧 Veffoの周りに展開すると、

$$\begin{split} I_{ds} &= \frac{\mu C_{ox}}{2} \frac{W}{L} V_{effo}^2 + \mu C_{ox} \frac{W}{L} V_{effo} \upsilon + \mu C_{ox} \frac{W}{L} \upsilon^2 \\ &= I_{dso} + \frac{2I_{dso}}{V_{effo}} \upsilon + \frac{2I_{dso}}{V_{effo}^2} \upsilon^2 = I_{dso} \left(1 + \frac{2}{V_{eff0}} \upsilon + \frac{2}{V_{eff0}^2} \upsilon^2 \right)^{(7.26)} \end{split}$$

したがって、 $\alpha_1 = \frac{2I_{co}}{V_{effo}}$, $\alpha_2 = \frac{2I_{co}}{V_{effo}^2}$ となり、3 次以上の高次の項は現れないが、実際には

MOS の電圧電流特性は式(4.43)のように単純な 2 次式ではなく、高次の項を含んだものに なるので、3 次以上の項も現れるので、MOS トランジスタを用いた回路においても歪みの 抑制は重要である。