４．バイポーラトランジスタと MOS トランジスタ

PN 接合ダイオードは 2 端子デバイスであり、２つの端子に印加する電圧の極性により流れる電流は大幅に変化するので整流作用は生じるが、電圧や電力を増幅することはできない。これら増幅作用を得るには制御端子を有する 3 端子デバイスが必要である。現在用いられている主力の 3 端子デバイスは少数キャリアの拡散を利用したバイポーラトランジスタと絶縁体を介した静電誘導作用によるキャリアの発生を利用した MOS トランジスタであるので、これらを概説する。電流が流れるメカニズムを理解することが重要である。

4.1 バイポーラトランジスタ

バイポーラトランジスタは図 4. 1 に示すように PN 接合をサインドイッチ状に形成したもので､NPN 接合を用いた NPN トランジスタと PNP 接合を用いた PNP トランジスタの２種類がある。図 4.1 は NPN トランジスタを表している。通常の動作では、エミッタ・ベース間の PN 接合に順方向電圧を加え、ベース・コレクタ間の PN 接合に逆方向電圧を加えて動作させる。ベースの厚さは少数キャリアの拡散長よりもはるかに薄くし、各領域の不純物濃度はエミッタ>ベース>コレクタのようにエミッタを高不純物濃度、ベースをその次に、コレクタを最も低不純物濃度に設定する。NPN トランジスタと PNP トランジスタでは電圧、電流、キャリアの種類、動きが全て逆となる相補的な動作をするので、ここでは良く用いられる NPN トランジスタにより動作を説明する。

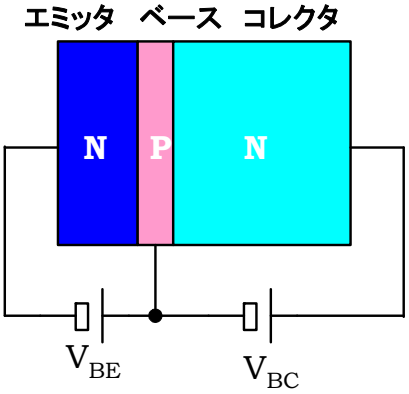


図 4.1 バイポーラトランジスタ（NPN）

4.1.1 基本電圧電流特性

図 4.2 は NPN 型バイポーラトランジスタのキャリア濃度を示している。

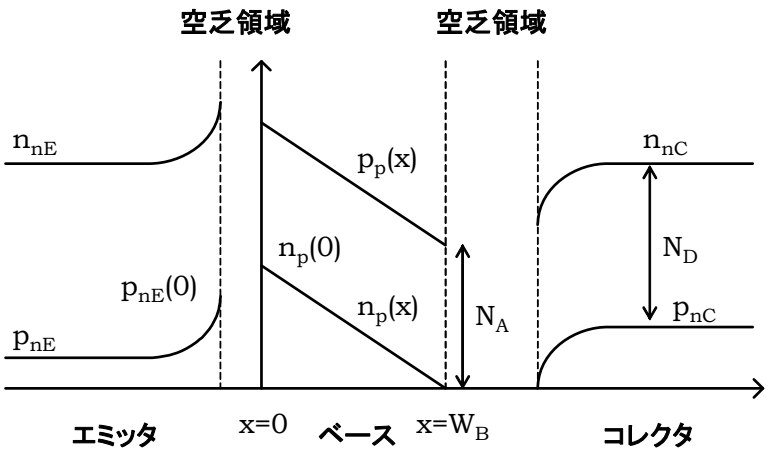


図 4.2 バイポーラトランジスタ(NPN)のキャリア濃度

ベース領域での少数キャリアである電子密度の、エミッタ接合端での濃度は、ダイオードと同様に n_{p0} を熱平衡状態でのベース領域の電子密度とすると、式(3.34)より、

$$n_p(0) = n_{p0} e^{\frac{qV_{BE}}{kT}} \quad (4.1)$$

この少数キャリアが厚さ WB のベース領域を拡散し、コレクタ接合端に達したときはベース・コレクタ間の PN 接合が逆方向にバイアスされており、コレクタ領域に吸い込まれるので、

$$n_p(W_B) = n_{p0} e^{\frac{qV_{BC}}{kT}} \cong 0 \quad (4.2)$$

ベース領域におけるホールと電子の再結合が僅かであるとすると、エミッタ接合端からの距離 x における少数キャリアの濃度 $n_p(x)$は $n_p(0)$と $n_p(W_B)=0$ を結ぶ直線で近似できる。コレクタを流れる電流は、ベース領域を拡散してきた少数キャリアである電子電流であるので、その大きさは、

$$J_n = qD_n \frac{dn_p(x)}{dx} \approx -qD_n \frac{n_p(0)}{W_B} \quad (4.3)$$

コレクタ電流 I_c はコレクタに流れ込む電流を正にすると、

$$I_C = qAD_n \frac{n_p(0)}{W_B} \quad (4.4)$$

ここで、A はエミッタ領域の断面積である。式(4.1)式と式(3.31) $n_{po} = \frac{n_i^2}{N_A}$ を用いて、

$$I_C = \frac{qAD_n n_{po}}{W_B} e^{\frac{qV_{BE}}{kT}} = \frac{qAD_n n_i^2}{W_B N_A} e^{\frac{qV_{BE}}{kT}} = I_s e^{\frac{qV_{BE}}{kT}} \quad (4.4)$$

となる。
したがって、コレクタ電流 Ic はベース・エミッタ間電圧 V_{BE} に対し指数関数的に変化する。
比例係数 I_s は

$$I_s = \frac{qAD_n n_i^2}{W_B N_A} = \frac{qA\overline{D_n} n_i^2}{Q_B} \quad (4.5)$$

となり、エミッタ単位面積あたりのベース中の不純物数に反比例する。通常、I_s は 10^{-14} から 10^{-16} 程度の値を取る。
ベースにはベースからエミッタに向けてのホールの注入電流と、僅かではあるがベース中におけるホールと電子の再結合電流の２種類の電流が流れる。
ホールの注入電流 I_{Bh} はエミッタにおける小数キャリアであるホールの濃度勾配に比例し、

$$I_{Bh} = \frac{qAD_p}{L_p} p_{nE}(0) \quad (4.6)$$

で与えられる。D_p はホールの拡散係数、L_p はエミッタにおけるホールの拡散長である。
p_{nE} はエミッタの空乏層端におけるホール濃度であり、

$$p_{nE}(0) = p_{nE0} e^{\frac{qV_{BE}}{kT}} \quad (4.7)$$

で与えられる。N_D をエミッタのドナー濃度とすると、

$$p_{nEo} \approx \frac{n_i^2}{N_D} \quad (4.8)$$

なので、

$$I_{Bh} = \frac{qAD_p}{L_p}\frac{n_i^2}{N_D}e^{\frac{qV_{BE}}{kT}} \quad (4.9)$$

となる。
また、ベース中におけるホールと電子の再結合電流 I_{Br} はベース中の少数キャリア電荷 Q_e に比例する。
図 4.2 よりベース中の少数キャリア電荷 Q_e は、

$$Q_e = \frac{1}{2}n_p(0)W_B qA \quad (4.10)$$

したがって、τ_b を小数キャリアの寿命とすると、

$$I_{Br} = \frac{Q_e}{\tau_b} = \frac{1}{2}\frac{n_p(0)W_B qA}{\tau_b} = \frac{1}{2}\frac{n_{po}W_B qA}{\tau_b}e^{\frac{qV_{BE}}{kT}} \quad (4.11)$$

で与えられる。
したがって全ベース電流 I_B は、

$$I_B = I_{Bh} + I_{Br} = \left(\frac{qAD_p}{L_p}\frac{n_i^2}{N_D} + \frac{1}{2}\frac{n_{po}W_B qA}{\tau_b}\right)e^{\frac{qV_{BE}}{kT}} \quad (4.12)$$

となる。
このように、ベース電流もベース・エミッタ間電圧に対し指数関数的に変化するので、

$$I_B = \frac{I_C}{\beta_F} \quad (4.13)$$

と表すことができる。ここでβ_Fは順方向電流増幅率である。
したがって、

$$\beta_F = \frac{1}{\frac{D_p}{D_n}\frac{W_B}{L_p}\frac{N_A}{N_D} + \frac{W_B^2}{2\tau_b D_n}} \qquad (4.14)$$

となる。β_Fを上げるにはベースの厚さを薄くし、不純物濃度比 N_D/N_A 比を大きくすればよい。したがって、エミッタの不純物密度を上げ、ベースの不純物密度を下げるようにしている。β_Fは通常 100 程度が多く、10 から 500 程度を取る。
エミッタ電流 I_E は、ベース電流とコレクタ電流が合流したものであるので、極性を考慮して、

$$I_E = -(I_B + I_C) = -\left(I_C + \frac{I_C}{\beta_F}\right) = -\frac{I_C}{\alpha_F} \quad (4.15)$$

となる。α_Fは順方向電流伝達率と呼ばれ、

$$\alpha_F = \frac{\beta_F}{1+\beta_F} = \frac{1}{1+\frac{1}{\beta_F}} \approx 1 - \frac{1}{\beta_F}$$

$$\beta_F = \frac{\alpha_F}{1-\alpha_F} \qquad (4.16)$$

の関係がある。
したがって、バイポーラトランジスタのコレクタ電流はベース・エミッタ間電圧で決まり、ベース・エミッタ間電圧に対し指数的に変化する。コレクタ電圧には基本的に依存しない。ベース電流はコレクタ電流をβ_Fで割ったものである。
図 4.3 にバイポーラトランジスタの V_{BE} と I_C,I_B を示す。対数プロットを用いると、I_C は V_{BE} に対して指数的に変化しているのが分かる。また I_B は I_C に対して $1/\beta$ の関係を保つが、低電流領域ではβが小さくなる。またリニアプロットでは V_{BE} =0.65V 程度まではコレクタ電流 I_C は殆ど流れず、0.65V を過ぎるあたりから急激に増加する。ベース電流 I_B は I_C に較べれば僅かしか流れない。

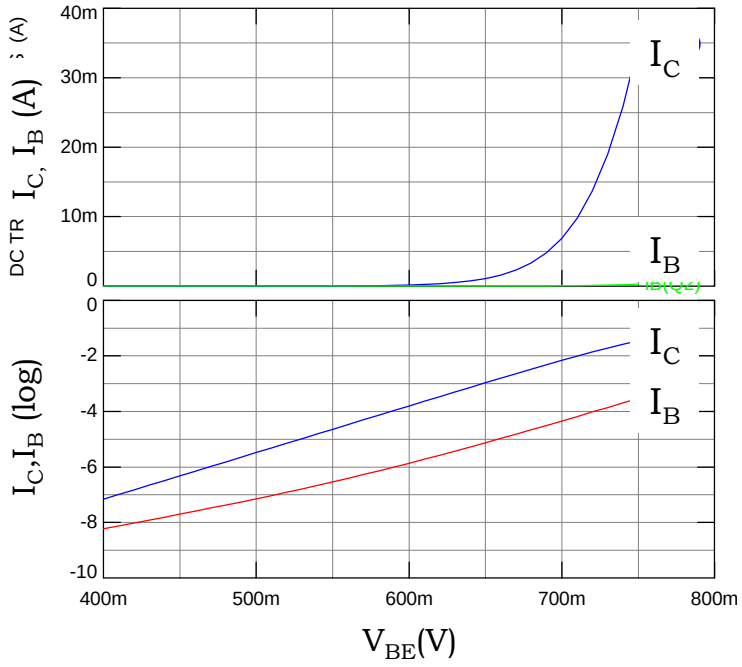


図 4.3 V_{BE} と I_C

ベース電流 I_B をパラメータにしてコレクタ・エミッタ間電圧 V_{CE} に対するコレクタ電流 I_C をプロットしたものが図 4.4 である。コレクタ電流はコレクタ・エミッタ間電圧への依存性は僅かで、殆どがベース電流 I_B もしくはベース・エミッタ間電圧 V_{BE} で決まる。ただし、V_{CE} が 0.3V 程度よりも低い領域ではコレクタ電流は急激に低下する。この領域は飽和領域と言い（MOS トランジスタの飽和領域とは意味が異なる）コレクタ・ベース間の PN 接合が順方向になり、ベース領域の小数キャリアがコレクタに流れ込まなくなる領域である。通常この領域を使用しないようにしなければならない。

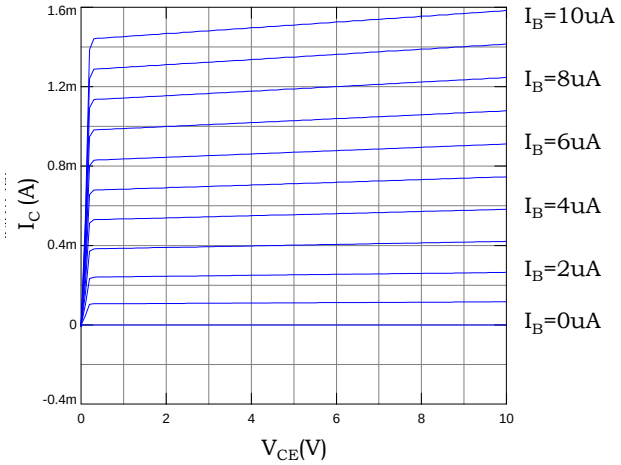


図 4.4　V_{CE} と I_C

4.1.2 アーリー効果

図 4.4 を見ると僅かではあるが V_{CE} の変化により I_C が変化することが分かる。この効果をアーリー効果もしくはベース幅変調効果と言い、電流源の定電流性や能動負荷を用いた増幅器の利得に大きく関係するものである。このメカニズムを図 4.5 を用いて説明する。

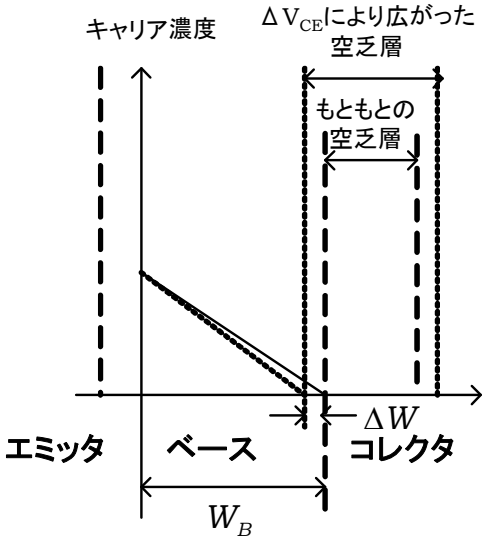


図 4.5　ベース幅の変調

V_{BE} が一定なので、ベース・エミッタ接合近傍の少数キャリア密度 $n_p(o)$は一定である。
式(4.4)より、

$$I_C = qAD_n \frac{n_p(0)}{W_B} \quad (4.17)$$

V_{CE} が変化すると、コレクタ・ベース間の PN 接合における空乏層は変化する。V_{CE} が高くなると空乏層は ΔW だけ広がり、ベース幅はそれだけ薄くなる。
したがって、このときの I_C は

$$I_C' = qAD_n \frac{n_p(0)}{W_B - \Delta W} \approx qAD_n \frac{n_p(0)}{W_B}\left(1 + \frac{\Delta W}{W_B}\right) = I_C\left(1 + \frac{\Delta W}{W_B}\right) \quad (4.18)$$

したがって、空乏層が伸びるほど少数キャリア濃度の変化が大きくなりコレクタ電流は増加する。ΔW は V_{CE} に比例すると近似し、以下の電圧電流式が導かれる。

$$I_C = I_s e^{\frac{qV_{BE}}{kT}} \left(1 + \frac{V_{CE}}{V_A}\right) \quad (4.19)$$

ここで、電圧 V_A は発見者にちなんでアーリー電圧と呼ばれる。
アーリー電圧は通常 10V から 100V 程度である。

4.2　MOS トランジスタ

4.2.1 MOS トランジスタの基本構造

MOS (Metal Oxide Semiconductor)トランジスタは図 4.6 の様に半導体上に S_iO_2 などの絶縁体を形成したのち、ポリシリコンなどの金属性のゲートを形成したものである。基板が p 型の半導体の場合は n 型半導体によりソース・ドレイン領域を形成し、ソース・ドレイン間に正の電圧 V_{ds} を印加し、ゲート・ソース間に電圧 V_{gs} を印加すると、電圧 V_{gs} がある電圧よりも高い正の電圧ではソース・ドレイン間に電流 I_{ds} が流れ、ある電圧よりも低い電圧の場合は電流が流れないようになる。

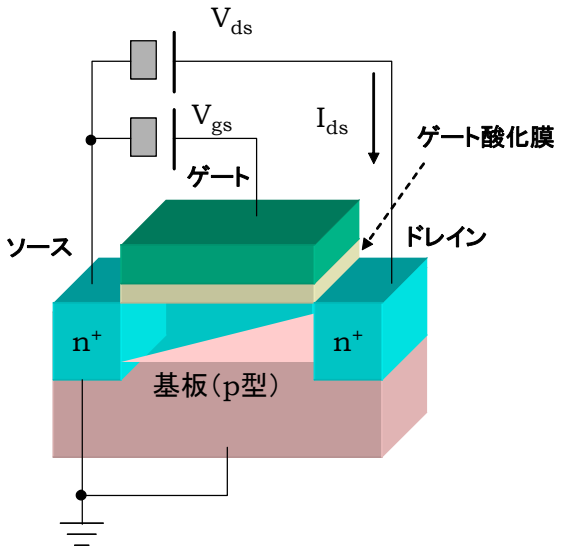


図 4.6 MOS トランジスタ

4.2.2 キャリアの発生

電流が流れるためにはソース・ドレイン間に電流を担うキャリアとなる電子が発生する必要がある。まずはこのキャリアの発生について述べる。

初めに簡単化のために図 4.7 に示したような、ソースとドレインを取り除いた基板とゲートのみを対象とし、MOS 構造のゲートと基板の半導体間に電圧を印加する。もしも基板が金属であるならば電極の内部表面に電荷+Q および-Q が発生する。しかしながら半導体においては正の電荷+Q がゲート表面に、負の電荷-Q が半導体内部に一定の幅を持って発生する。

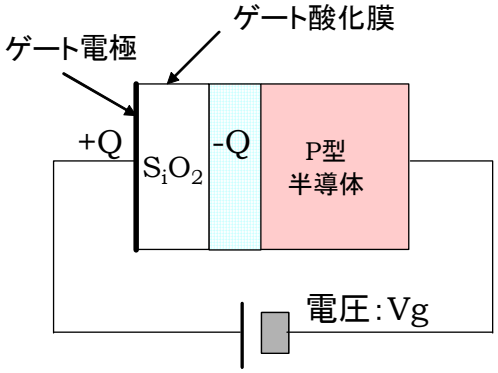


図 4.7 印加電圧と発生する電荷

つまり、ゲートに正の電圧を印加すると P 型シリコン中のホールは反発力を受けて内部に移動するので、負の電荷を持ったアクセプタイオンが残り、負の電荷を持った領域（空乏層）が形成される。これにより半導体内部に電位が生じる。この様子を図 4.8 に示す

空乏層の電荷密度は$-qN_A$であるので、ポアソンの法則により、

$$\frac{d^2\varphi(x)}{dx^2} = \frac{qNA}{\varepsilon} \quad (4.20)$$

この式を境界条件 $\frac{d\varphi(x)}{dx} = \varphi(x) = 0,\ (x = x_d$において）

のもとで解くと、

$$\varphi(x) = \frac{aN_A}{2\varepsilon} x_d^2 \left(1 - \frac{x}{x_d}\right)^2 \quad (4.21)$$

したがって、表面電位φ_sは　x=0 と置くことにより、

$$\varphi_s = \varphi(0) = \frac{qN_A}{2\varepsilon} x_d^2 \quad (4.22)$$

となる。

この空乏層の電荷量 Q は、

$$Q = -qN_A x_d \quad (4.23)$$

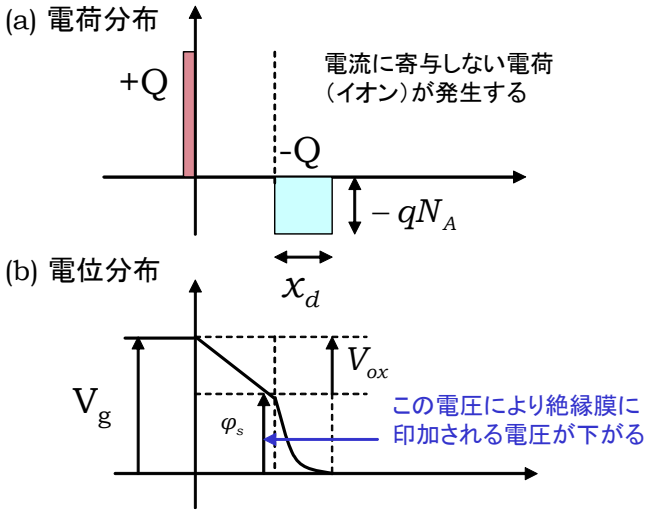


図 4.8 電荷分布と電位分布

で与えられる。この電荷量の絶対値はゲートに蓄積される電荷量に等しく、位置による電位分布は図 4.8 (b)のようになる。したがって、

$$V_g = V_{ox} + \varphi_s = \frac{Q}{C_{ox}} + \varphi_s \quad (4.24)$$

また、発生した電荷 Q は、

$$Q = C_{ox}\left(V_g - \varphi_s\right) \quad (4.25)$$

となる。

半導体内部に電位が生じていることにより、金属電極の場合よりも電荷は少なくなっている。

ところで、この電荷は固定電荷であるイオンにより発生したものであるので、このままではまだ電流は流れず、MOS トランジスタに電流が流れるためには半導体中に小数キャリアが誘起される必要がある。この条件は表面電位がフェルミポテンシャルの 2 倍に達することである。フェルミポテンシャルはフェルミ準位に対する真性フェルミ準位の差であり、式(3.19)を用いて以下のように表される。

$$\varphi_F = \frac{E_I - E_F}{q} = \frac{kT}{q}\ln\frac{N_A}{n_i} \quad (4.26)$$

このときの電子密度は、

$$n = n_i e^{\frac{\varphi_S - \varphi_F}{V_T}} \quad (4.27)$$

$$np = n_i^2$$

より、ホール密度は

$$p = n_i e^{-\frac{\varphi_S - \varphi_F}{V_T}} \quad (4.28)$$

従って、表面電位がフェルミポテンシャルと等しいときに電子密度とホール密度は釣り合い、図 4.9 に示したように半導体表面近傍のエネルギー帯図表面電子密度がフェルミポテンシャルの 2 倍程度の電圧になったとき十分な電子が発生する。

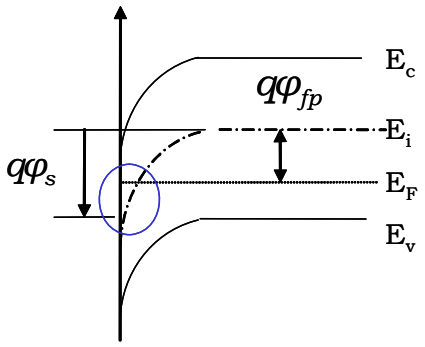


図 4.9 半導体表面近傍のエネルギー帯図

この発生した電子はキャリアとなってドレイン・ソース間に流れる電流のもととなる。このときのゲート電圧をしきい値電圧 VT という。これ以降はゲート電圧を上げると半導体表面のキャリアがゲート・ソース間電圧 V_{gs} からしきい値電圧 V_{th} を引いた、有効ゲート電圧 V_{eff} に比例して増加する。

4.2.3 しきい値電圧

しきい値電圧 V_T を求める。しきい値電圧は表面電位 φ_s が $2\varphi_F$ になる電圧であるので、

$$V_T = 2\varphi_F - \frac{Q_B}{C_{ox}} \quad (4.29)$$

ここで、電荷 Q_B は、

$$Q_B = -qN_A x_{d\max} \quad (4.30)$$

空乏層 x_d は、

$$x_{d\max} = \sqrt{\frac{2\varepsilon\varphi_s}{qN_A}} \quad (4.31)$$

であるので、

$$Q_B = -2\sqrt{\varepsilon q N_A \varphi_F} \quad (4.32)$$

これより、

$$V_T = V_{FB} + 2\varphi_F + 2\frac{\sqrt{\varepsilon q N_A \varphi_F}}{C_{ox}} \quad (4.33)$$

となる。ここで、V_{FB} はゲート材料と基板シリコン間の仕事関数の差および酸化膜中の電荷の影響を考慮した補正電圧であり、フラットバンド電圧と呼ばれる。

この式で重要なことは基板の不純物濃度が高いときはしきい値が高くなり、逆に低いときはしきい値が低くなることである。この性質を利用して、イオン注入により基板表面の不純物濃度を変化させることによりしきい値電圧が制御できる。しきい値電圧は通常-2mV/度程度の温度係数を有し、低温では高くなり、高温では低くなる。

4.2.4 電圧電流特性

MOS のドレイン・ソース間には電圧が印加され、電界が生じているのでキャリアのドリフトにより電流が流れる。このドレイン電流を求める。

電流 I は電荷量 Q の電荷が速度 v で移動することにより生じ、

$$I = Q \times v \quad (4.34)$$

で表される。速度は電界 E および電圧 V と以下の関係がある。

$$v = \mu \cdot E = -\mu \cdot \frac{dV}{dx} \quad (4.35)$$

MOS トランジスタにはゲートによって発生したキャリアがドレインまで繋がっているリニア領域と繋がっていない飽和領域があるので、それぞれの場合について考える。

(1) リニア領域での電圧・電流特性

リニア領域とは図 4.10 のように、ゲートによりドレイン・ソース間の全域に亘ってキャリアの誘起が発生している状態である。

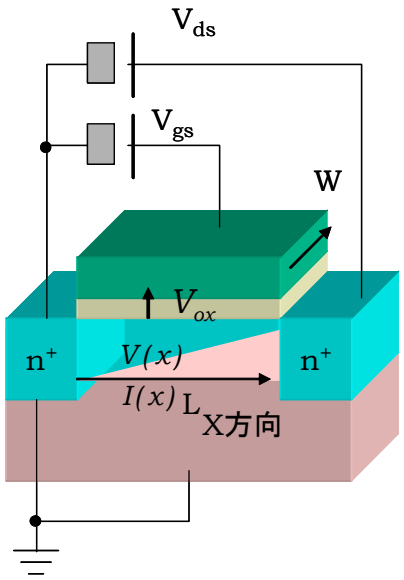


図 4.10 リニア領域でのチャネルの様子

ソースを基点としてチャネルに沿ってドレイン方向への距離を x で表し、その点でのチャネルの電圧を V(x)とすると、x 点における酸化膜にかかる電圧 $V_{ox}(x)$は

$$V_{ox}(x) = V_{gs} - V(x) - V_T \quad (4.36)$$

したがって、この電圧によりチャネルに誘起されるキャリアはチャネル幅 W を考慮して、

$$Q(x) = -WC_{ox}V_{ox} = -WC_{ox}\left(V_{gs} - V(x) - V_T\right) \quad (4.37)$$

このキャリアによる電流は、

$$\begin{aligned} i(x) &= Q(x)\cdot v(x) = Q(x)\cdot \mu_n \frac{dV(x)}{dx} \\ &= -\mu_n C_{ox} W\left(V_{gs} - V(x) - V_T\right)\frac{dV(x)}{dx} \end{aligned} \quad (4.38)$$

となる。
チャネル長を L とすると、x=L の点で V_{ds} であるから、

$$\int_0^L i(x) = -\mu_n C_{ox} W \int_0^{V_{ds}} \left(V_{gs} - V(x) - V_T\right) dV \quad (4.39)$$

電流連続、つまり流れる電流はどこでも等しいことを用い、V(x)はリニアに変化すると近似すると、

$$I_{ds}L = \mu_n C_{ox} W \int_0^{V_{ds}} \left(V_{gs} - V - V_T\right) dV = \mu_n C_{ox} W \left\{\left(V_{gs} - V_T\right)V_{ds} - \frac{V_{ds}^2}{2}\right\} \quad (4.40)$$

これより、

$$I_{ds} = \mu_n C_{ox} \frac{W}{L}\left\{\left(V_{gs} - V_T\right)V_{ds} - \frac{V_{ds}^2}{2}\right\} = \mu_n C_{ox} \frac{W}{L}\left(V_{gs} - V_T - \frac{V_{ds}}{2}\right)V_{ds} \quad (4.41)$$

これがリニア領域での電圧・電流式である。
理解を深めるためにこれを以下のように変形してみる。

$$I_{ds} = \left[C_{ox} W\left(V_{gs} - V_T - \frac{V_{ds}}{2}\right)\right]\cdot\left[\mu_n \frac{V_{ds}}{L}\right] \quad (4.42)$$

第１項がチャネルに誘起された平均電荷で、第２項がキャリア速度を表している。
これは式(4.34)に示した、電流は電荷量と速度の積であることを表している。

(2)飽和領域

式(4.38)より、$V(x) \geq V_{gs} - V_T$ となると、図 4.11 のようにチャネルに誘起される電荷は消滅する。この点をピンチオフ点と呼ぶ。したがって、チャネルにかかる電圧は V_{gs}-V_{th} で制限される。したがってこのときの電圧電流式は、式における V_{ds} を V_{gs}-V_{th} で置き換えたものになる。これより、

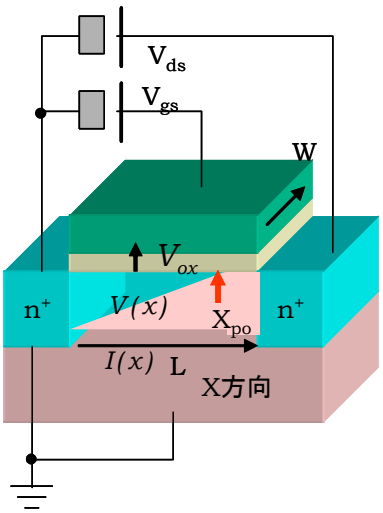


図 4.11 飽和領域でのチャネルの様子

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} \left(V_{gs} - V_T\right)^2 \quad (4.43)$$

つまり、電流はゲート・ソース間電圧で決まり、ドレイン・ソース間電圧には依存しなくなる。このような領域を飽和領域という。この領域がアナログ回路には良く用いられる。
この場合も、式(4.43)を

$$I_{ds} = \left[C_{ox} W \frac{V_{gs} - V_T}{2} \right] \cdot \left[\mu_n \frac{V_{gs} - V_T}{L} \right] \quad (4.44)$$

と変形すると、第１項が平均誘起電荷を、第２項がキャリアの速度を表す。

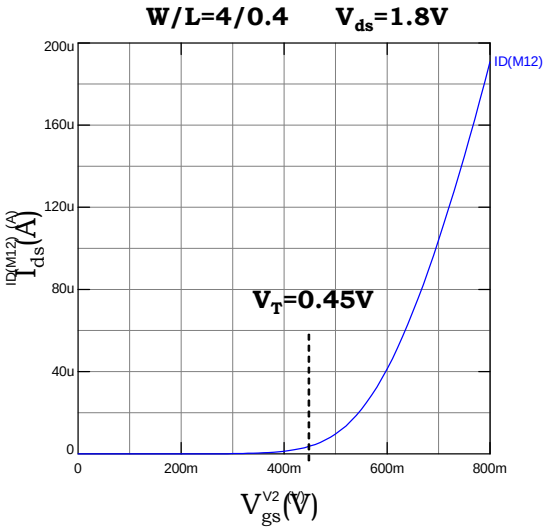


図 4.12 飽和領域での V_{gs}-I_{ds} 特性

図 4.12 に V_{ds} を 1.8V に固定したときの V_{gs}-I_{ds} 特性を示す。しきい値電圧以下の V_{gs} では流れる電流がほぼゼロで、しきい値以上の電圧では V_{gs}-V_T のほぼ 2 乗に比例して電流が増加している。

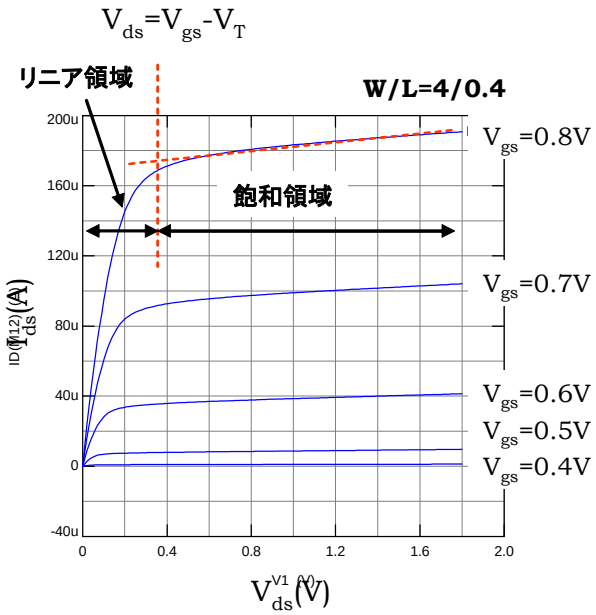


図 4.13 飽和領域での V_{ds}-I_{ds} 特性

図 4.13 はゲート電圧をパラメータとしたときの V_{ds} に対する I_{ds} の特性を示す。$V_{ds}<V_{gs}-V_T$ の電圧領域では MOS トランジスタはリニア領域にあり、電流は上に凸の放物線を描き、$V_{ds}>V_{gs}-V_T$ では流れる電流は V_{ds} にあまり依存しなくなる。

4.2.5 ドレイン電圧の影響

図4.13をよく見ると実際のMOSトランジスタでは飽和領域でもドレイン電圧が変化するとドレイン電流が変化する。

この理由の一つがチャネルとドレイン間の空乏層厚の変化である。ピンチオフ点よりもドレイン側では完全に空乏化しており、ドレイン電圧が高くなるとピンチオフ点はソース側に押し込まれ、実効的なチャネル長を短くする。このことによりチャネル内の電界が強くなりキャリア速度が上昇して電流が増大する。この効果をチャネル長変調という。

ドレイン電圧の変化に対してドレイン電流は、チャネル長の変化に対するドレイン電流およびドレイン電圧の変化に対するチャネル長の変化を用いることにより以下のように表される。

$$I_{ds} = I_{dsat} + \frac{\partial I_{ds}}{\partial V_{ds}} \Delta V_{ds} = I_{dsat} + \frac{\partial I_{ds}}{\partial L} \frac{\partial L}{\partial V_{ds}} \Delta V_{ds} \quad (4.45)$$

チャネル長の変化に対するドレイン電流の変化は、

$$\frac{\partial I_{ds}}{\partial L} = -\frac{I_{ds}}{L} \quad (4.46)$$

ドレイン電圧の変化に対するチャネル長の変化は空乏層の変化なので、

$$\frac{\partial L}{\partial V_{ds}} = \frac{\sqrt{\frac{2\varepsilon}{qN_A}}\left(V_{ds} - V_{gs} + V_T\right)}{2\sqrt{V_{ds} - V_{gs} + V_T + \phi_0}} \quad (4.46)$$

である。したがって、

$$I_{ds} = I_{dsat}\left(1 + \frac{\sqrt{\frac{2\varepsilon}{qN_A}}\left(V_{ds} - V_{gs} + V_T\right)}{2L\sqrt{V_{ds} - V_{gs} + V_T + \phi_0}}\right) \quad (4.47)$$

ここで、ϕ_0はビルトインポテンシャルである。
式(4.47)は

$$I_{ds} = \frac{\mu_n C_{ox}}{2}\left(V_{gs} - V_T\right)^2\left[1 + \lambda\left(V_{ds} - V_{eff}\right)\right] \quad (4.48)$$

と表現できる。

ここで、 $$\lambda = \frac{\sqrt{\dfrac{2\varepsilon}{qN_A}}}{2L\sqrt{V_{ds} - V_{gs} + V_T + \phi_0}} \quad (4.49)$$

である。したがってこの効果を小さくするにはチャネル長を長くすることが有効であることが分かる。
また回路設計上は、

$$I_{ds} \approx \frac{\mu_n C_{ox}}{2}\left(V_{gs} - V_T\right)^2\left[1 + \frac{V_{ds}}{V_A}\right] \quad (4.50)$$

の近似を用いると回路設計がし易いので、以降はこの表現を用いることにする。

$$V_A = \frac{1}{\lambda} \quad (4.51)$$

である。

4.2.6　バックゲート効果

MOS トランジスタは通常はバイポーラトランジスタと同様に３端子デバイスとして取り扱うことが多いが、ソースやドレインが形成される基板やウエルも制御端子として考えるべきであるので、正確には図 4.14 に示したように４端子となる。図 4.14 ではソースと基板間（ボディーとも言う）にバックゲート電圧 V_b を印加している。NMOS トランジスタのバックゲート電圧は通常ダイオードが遮断状態になるように負の電圧が印加される。
バックゲート電圧を印加すると図 4.15 に示したようにダイオードと同様にソースおよびドレインチャネル直下の空乏層が変化し、半導体表面のポテンシャルが変化する。

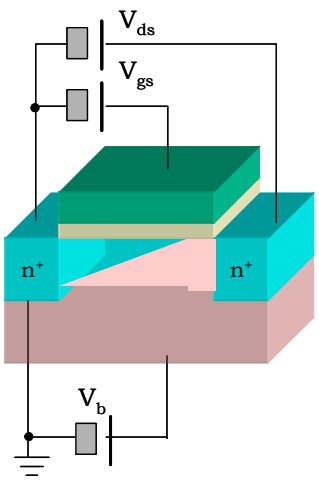


図 4.15 バックゲート印加

空乏層中の電荷はバックゲート電圧印加が無いときは、式(4.32)より、

$$Q_B = -2\sqrt{\varepsilon q N_A \varphi_F}$$

であるので、バックゲート電圧が印加されたときの電荷は、$2\varphi_F \rightarrow 2\varphi_F - V_b$ の置き換えを行うことで、

$$Q_B = -2\sqrt{\varepsilon q N_A \left(\varphi_F - \frac{V_b}{2}\right)} \quad (4.52)$$

と求められる。
したがって、しきい値電圧 V_T は、式(4.33)より、

$$V_T = V_{FB} + 2\varphi_F + 2\frac{\sqrt{\varepsilon q N_A \left(\varphi_F - \frac{V_b}{2}\right)}}{C_{ox}} \quad (4.53)$$

と求められる。これより、しきい値電圧はバックゲート電圧に対し、約 1/2 乗で増加する特性となる。

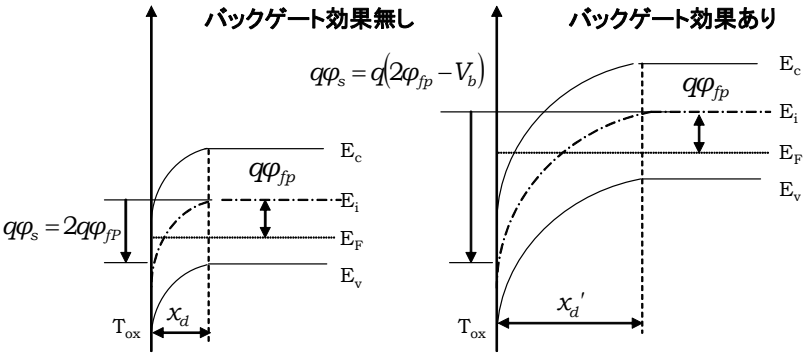


図 4.16 バックゲート印加時のエネルギー図

図 4.17 に 0.18um NMOS トランジスタのバックゲート電圧に対する V_T 変化の様子を示す。

逆方向のバックゲート電圧がかかるとしきい値電圧 V_T は増加する。単純理論では式(4.53)に示すように、しきい値電圧はバックゲート電圧に対して 1/2 乗で増加するが、実際には直線増加と見なしてもあまり問題が無いことが多い。

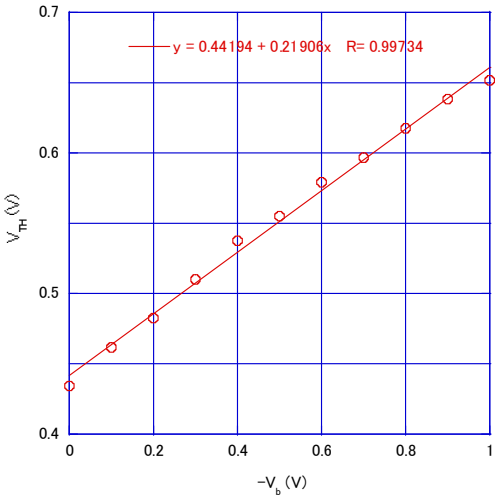


図 4.17 バックゲート電圧と V_{TH} 変化の一例

補足

4.3 トランジスタのシンボルと相補関係

各半導体素子は図 4.18 のようにシンボルにより表す。バイポーラトランジスタは矢印があるのがエミッタである。MOS トランジスタは様々なシンボルがあり、バックゲート（ボディとも言う）は表記されないこともある。

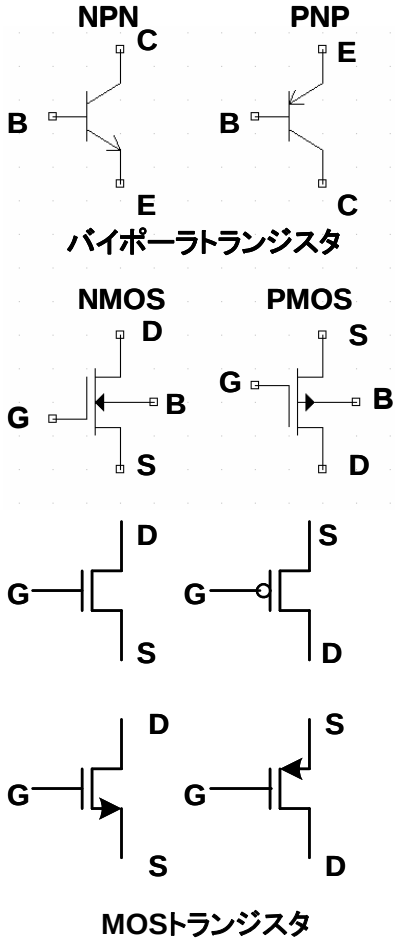


図 4.18 トランジスタのシンボル

NPN トランジスタと PNP トランジスタ、NMOS トランジスタと PMOS トランジスタは互いに相補的な関係にある。N 型では流れるキャリアは電子で、P 型ではホールであり、P 型は電圧印加の極性と流れる電流の方向が N 型と逆になる。

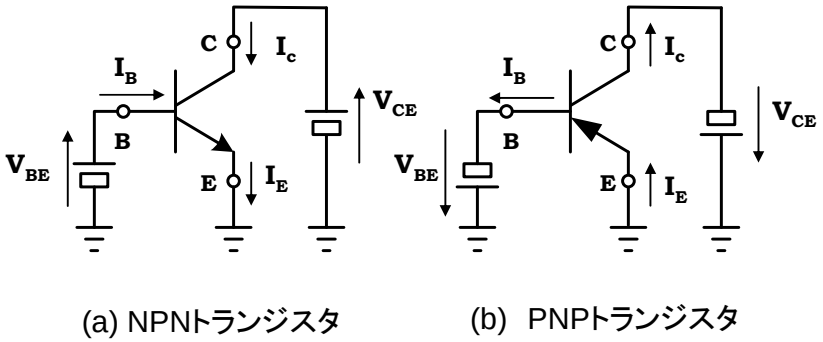
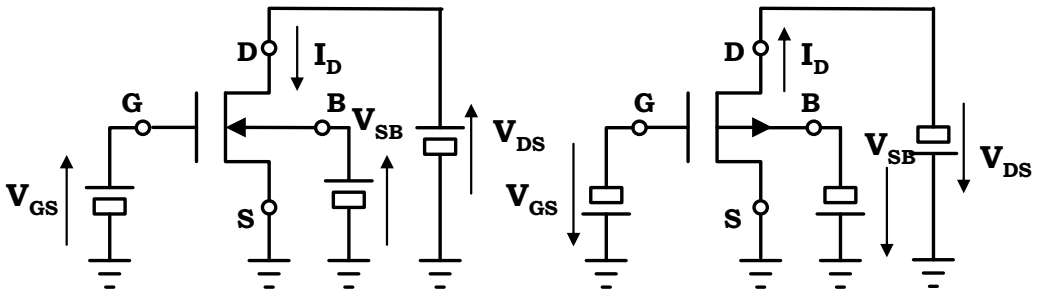


図 4.19 バイポーラトランジスタの電圧・電流関係

図 4.19 に NPN トランジスタおよび PNP トランジスタの電圧電流関係を示す。電圧と電流の極性が互いに逆になっている。



(a) NMOSトランジスタ　　(b) PMOSトランジスタ

図 4.20 MOS トランジスタの電圧・電流関係

同様に図 4.20 に NMOS トランジスタおよび PMOS トランジスタの電圧･電流関係を示す。バイポーラトランジスタと同様に電圧と電流の極性が互いに逆になっている。