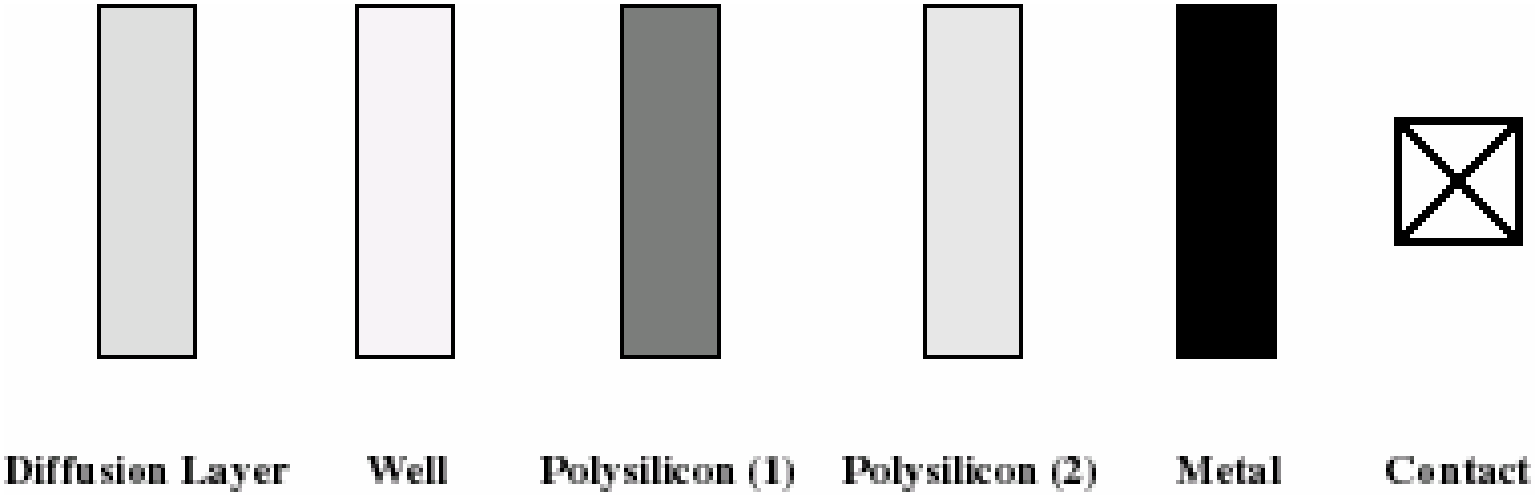
アナログ集積回路のレイアウト

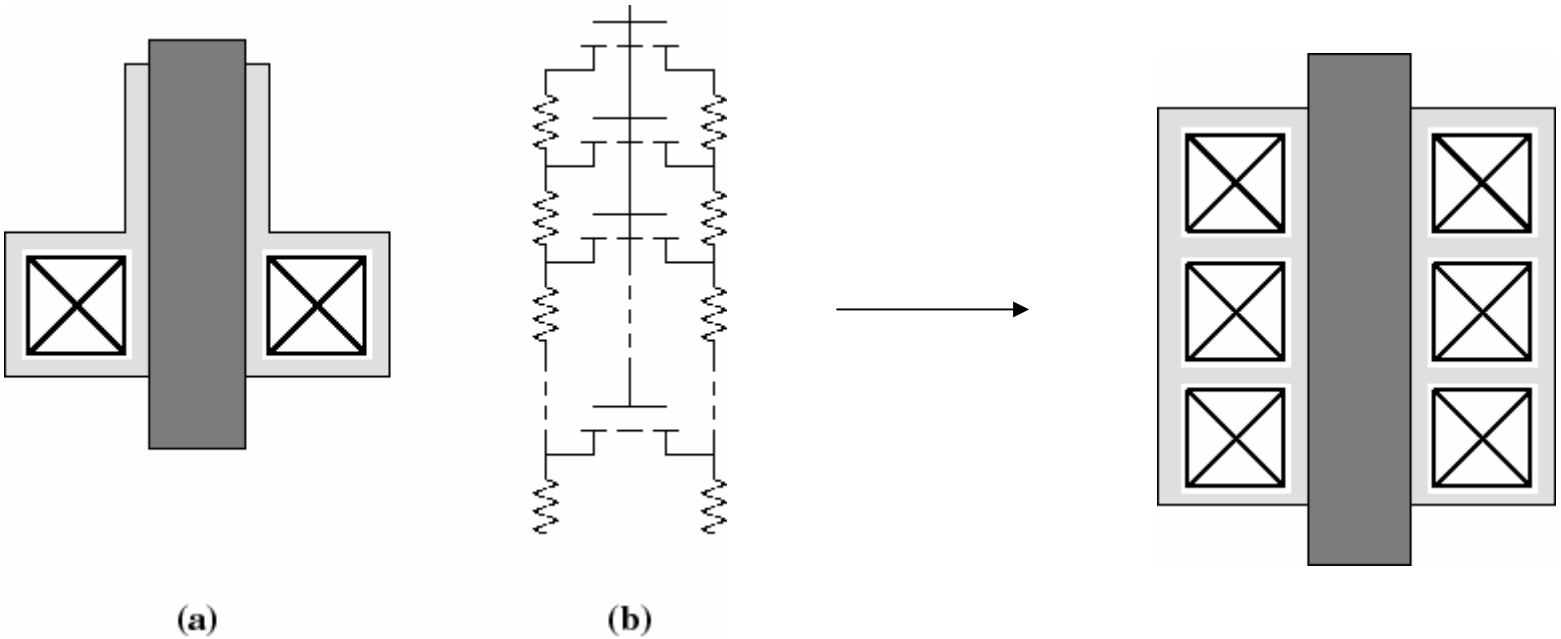
特性の劣化を如何に防ぐか

準備


Diffusion Layer
Well
Polysilicon (1)
Polysilicon (2)
Metal
Contact

MOSトランジスタのレイアウト

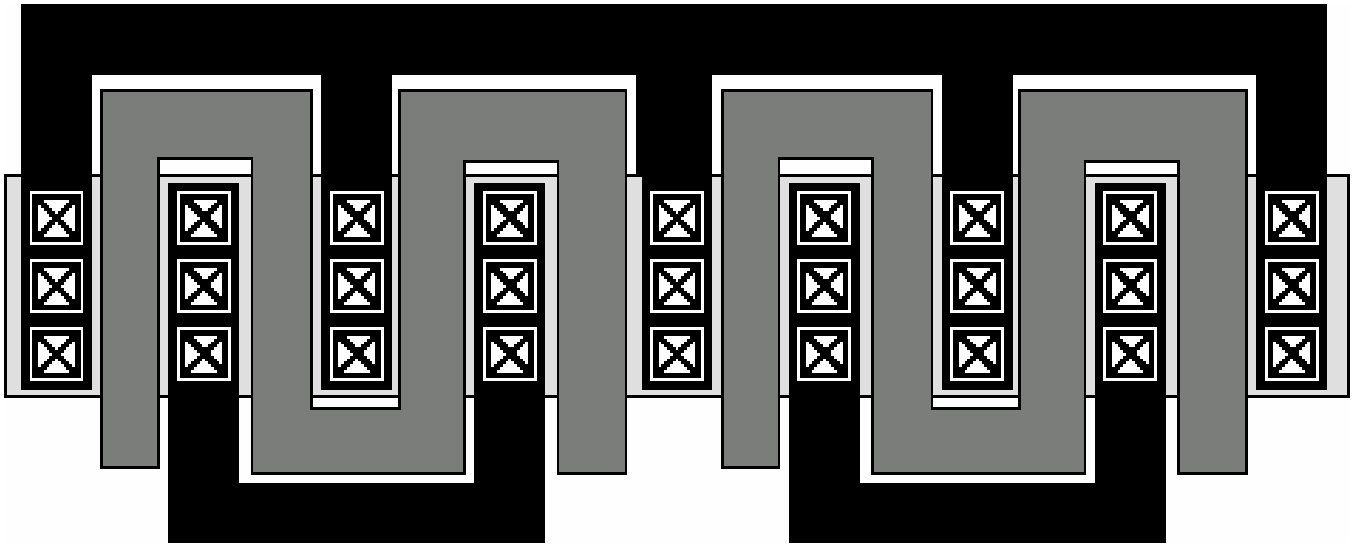
基本レイアウト



寄生抵抗

チャネル幅の広いトランジスタ

差動対の場合



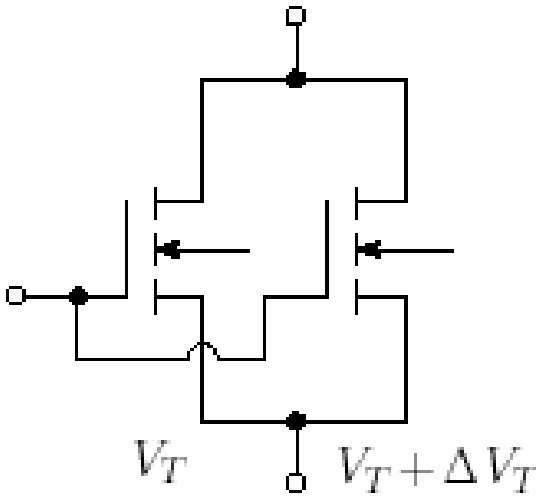
ドレインとソースの面積

$$\frac{n+1}{2n}(n\text{が奇数}),\quad \frac{1}{2}\text{と}\frac{n+2}{2n}(n\text{が偶数})$$

素子の整合(1)

素子の配置:　特性偏差を距離の1次式に近似

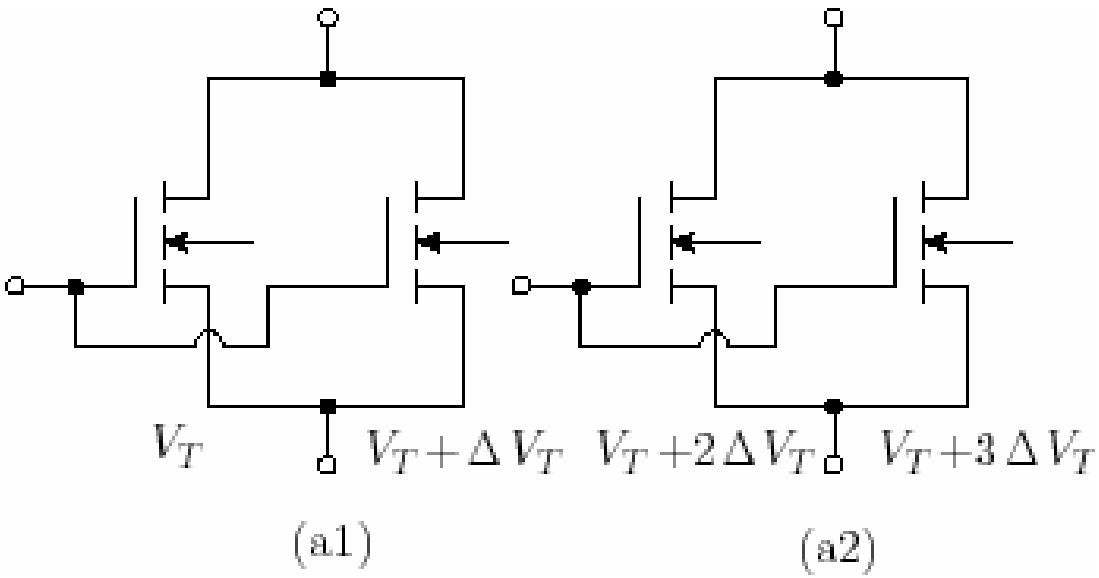
例:しきい電圧の整合



$$\frac{K}{2}(V_{GS}-V_T)^2+\frac{K}{2}(V_{GS}-V_T-\Delta V_T)^2$$

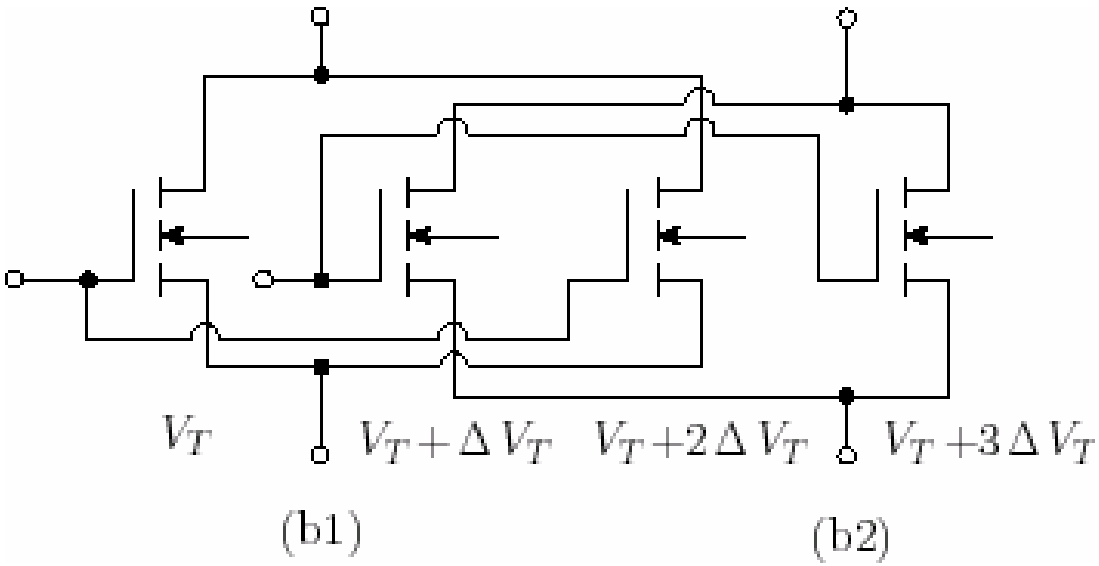
$$=K(V_{GS}-V_T-\frac{\Delta V_T}{2})^2+\frac{K\Delta V_T{}^2}{4}$$

$$\approx K(V_{GS}-V_T-\frac{\Delta V_T}{2})^2$$



$$(a1):\quad V_T+\frac{\Delta V_T}{2}$$

$$(a2):\quad V_T+\frac{5\Delta V_T}{2}$$

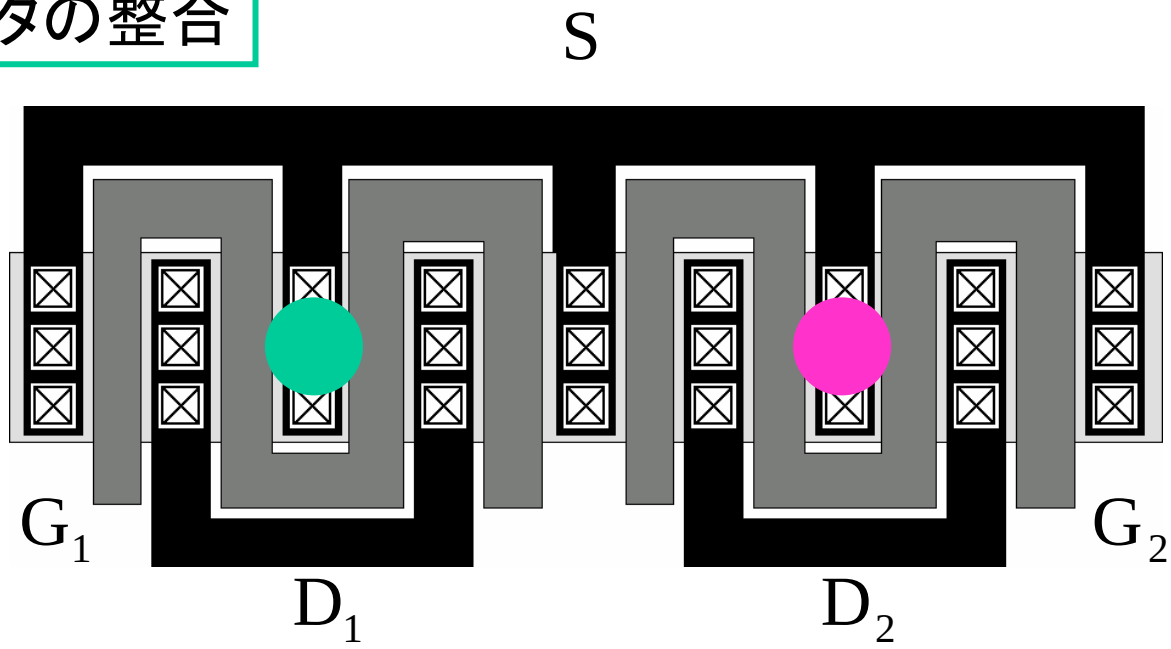


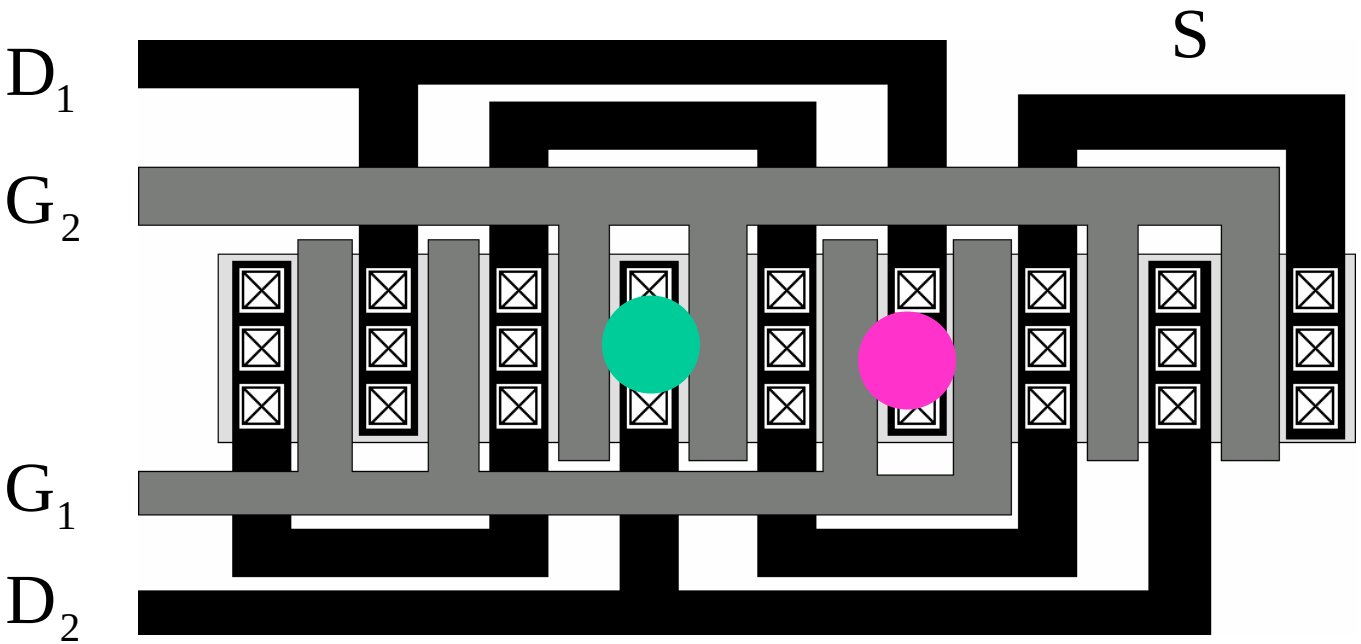
$$(b1):\quad V_T+\Delta V_T$$

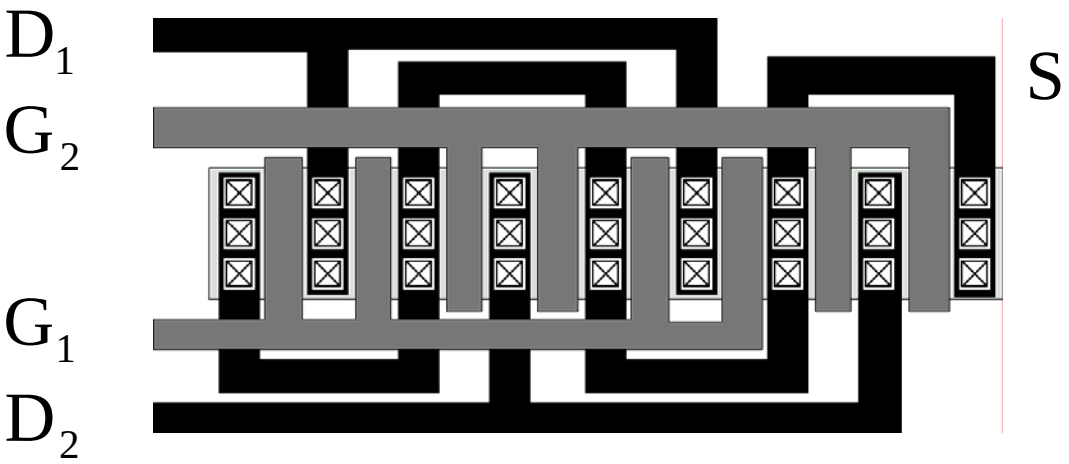
$$(b2):\quad V_T+2\Delta V_T$$

Interdigitize

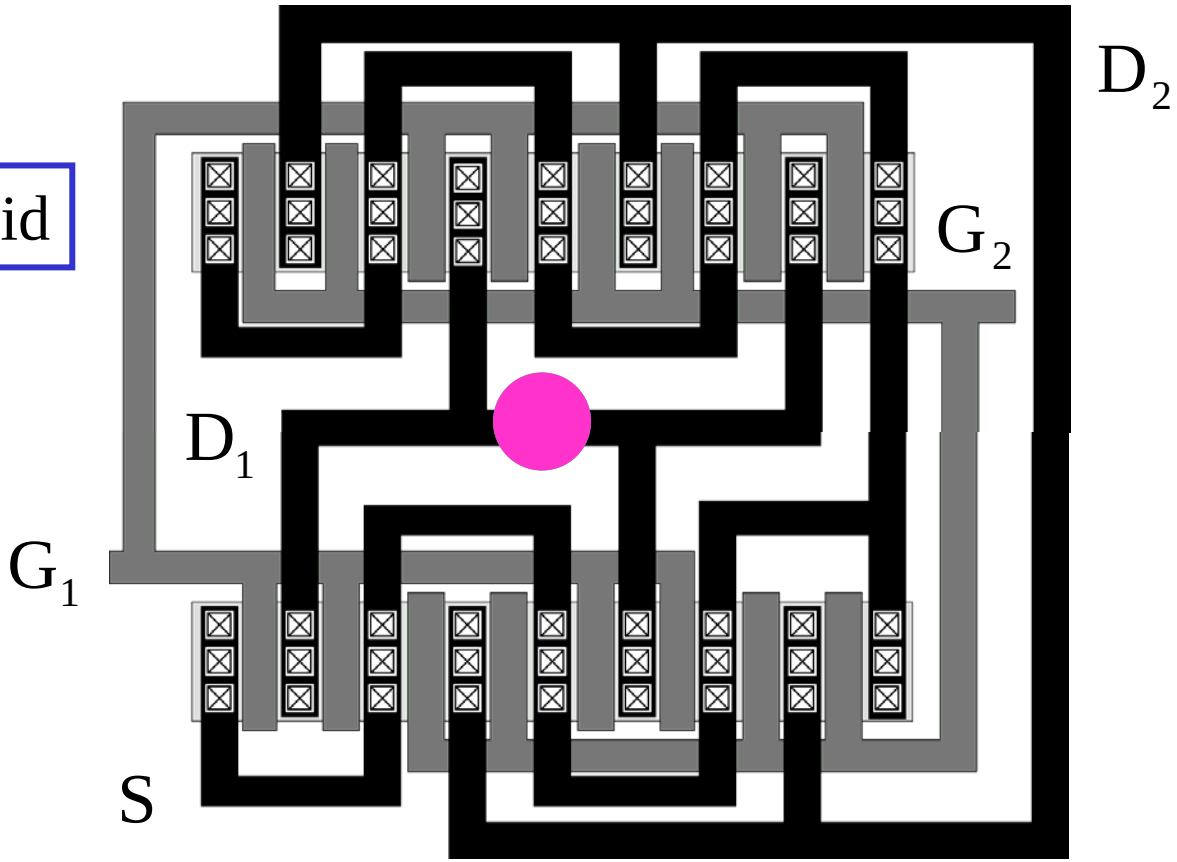
トランジスタの整合



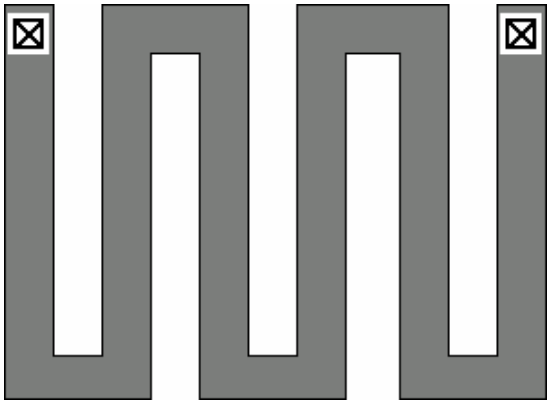




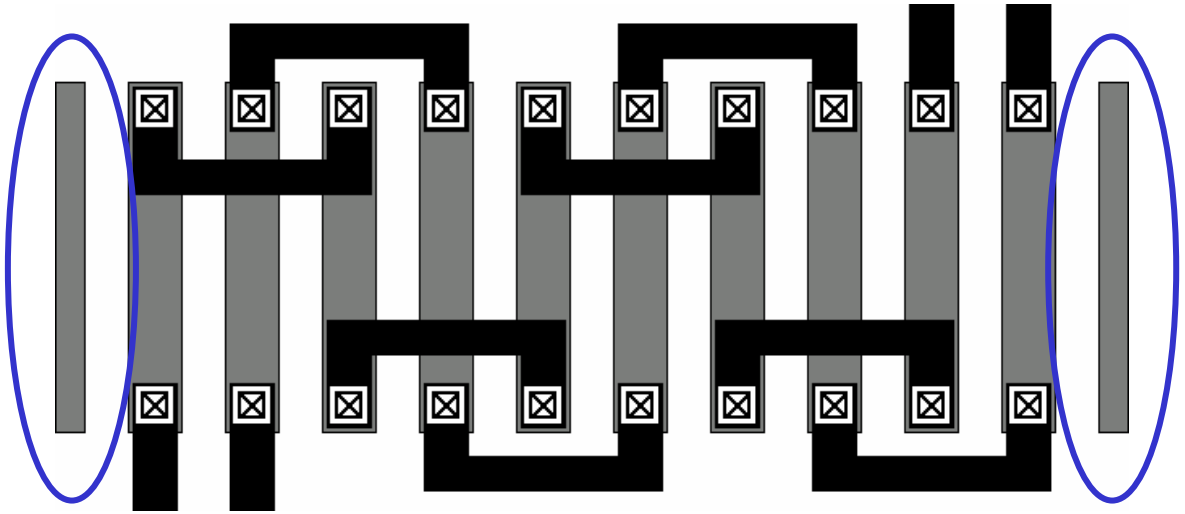
Common Centroid



抵抗のレイアウト



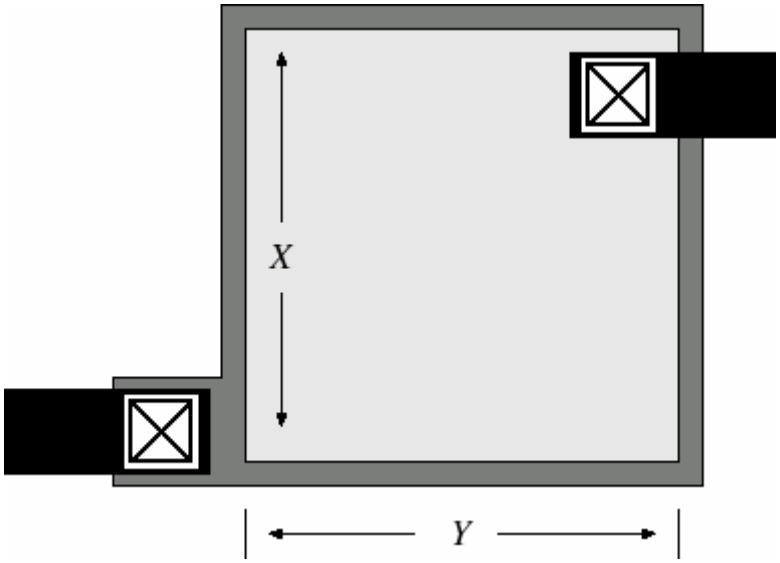
抵抗の整合

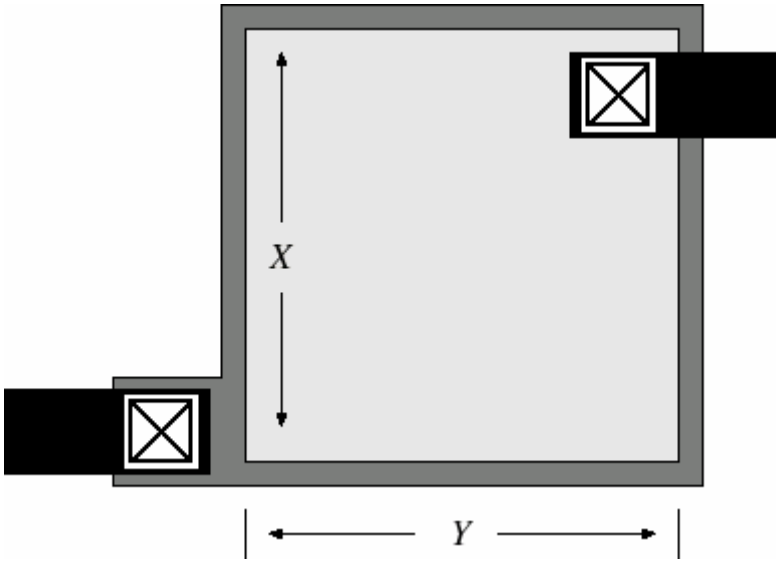


素子の整合(2)

周辺効果: ダミー素子の配置

例:容量のアンダーカット ΔU





$$A_{eff} = X(1-2\Delta U)\cdot Y(1-2\Delta U)$$

$$\approx XY - 2(X+Y)\Delta U$$

誤差低減: $\boxed{\dfrac{XY}{2(X+Y)}\text{を大きく}}$

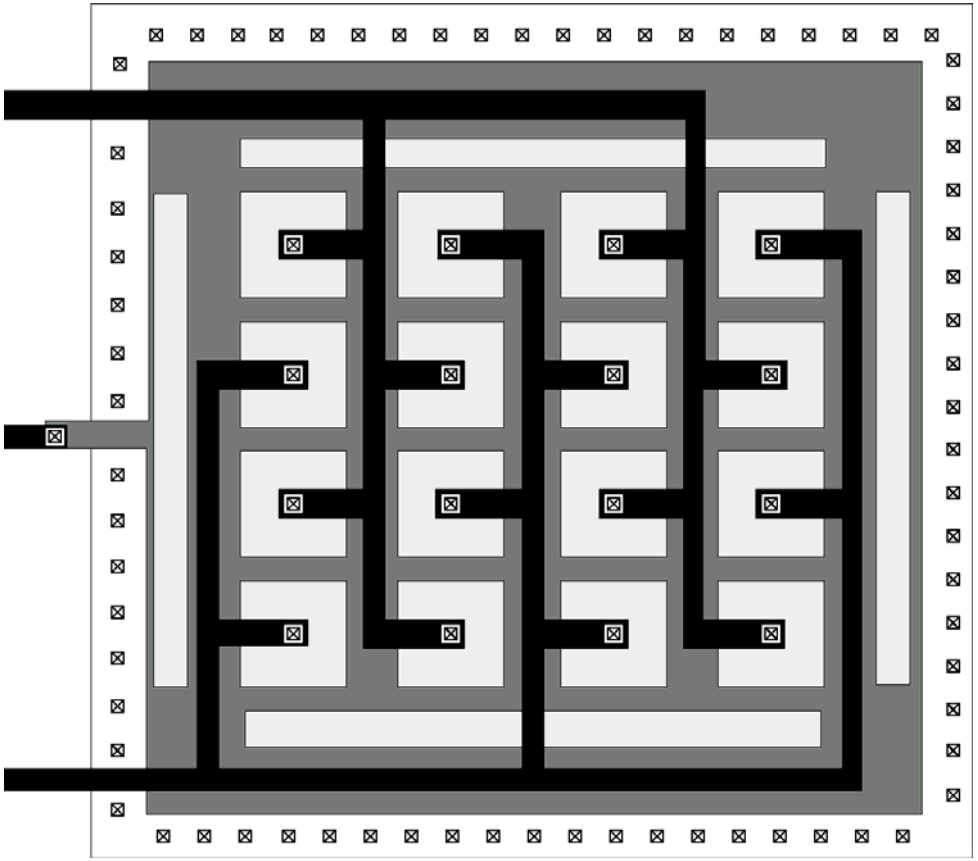
容量の整合:

$$A_{eff\,1} : A_{eff\,2} = X_1 Y_1 - 2(X_1 + Y_1)\Delta U : X_2 Y_2 - 2(X_2 + Y_2)\Delta U$$

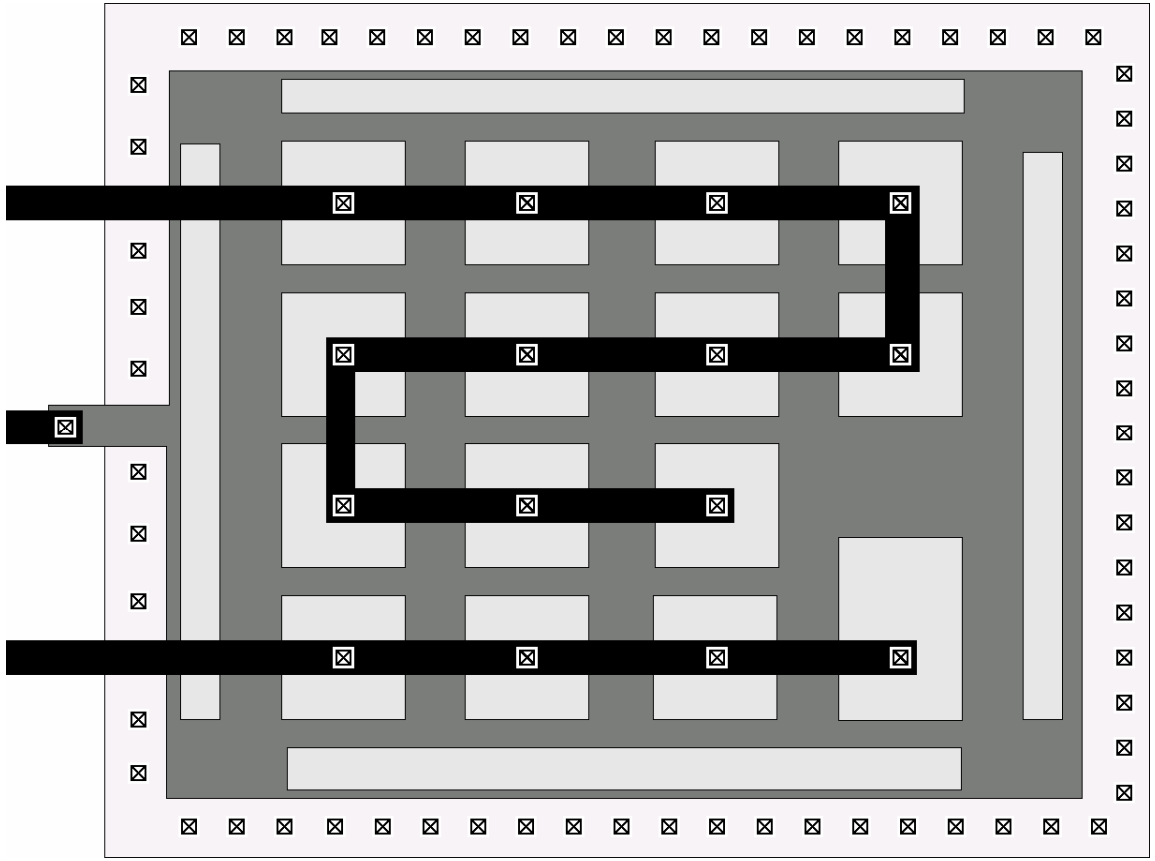
$$\boxed{A_{eff\,1} : A_{eff\,2} = X_1 Y_1 : X_2 Y_2}$$

$$\boxed{A_{eff\,1} : A_{eff\,2} = X_1 + Y_1 : X_2 + Y_2}$$

コモンセントロイド型レイアウト



単位容量によるレイアウト



配線

太い配線：

配線抵抗は減少

寄生容量は増加

ゲート間の配線：

高インピーダンス→雑音の混入

↓

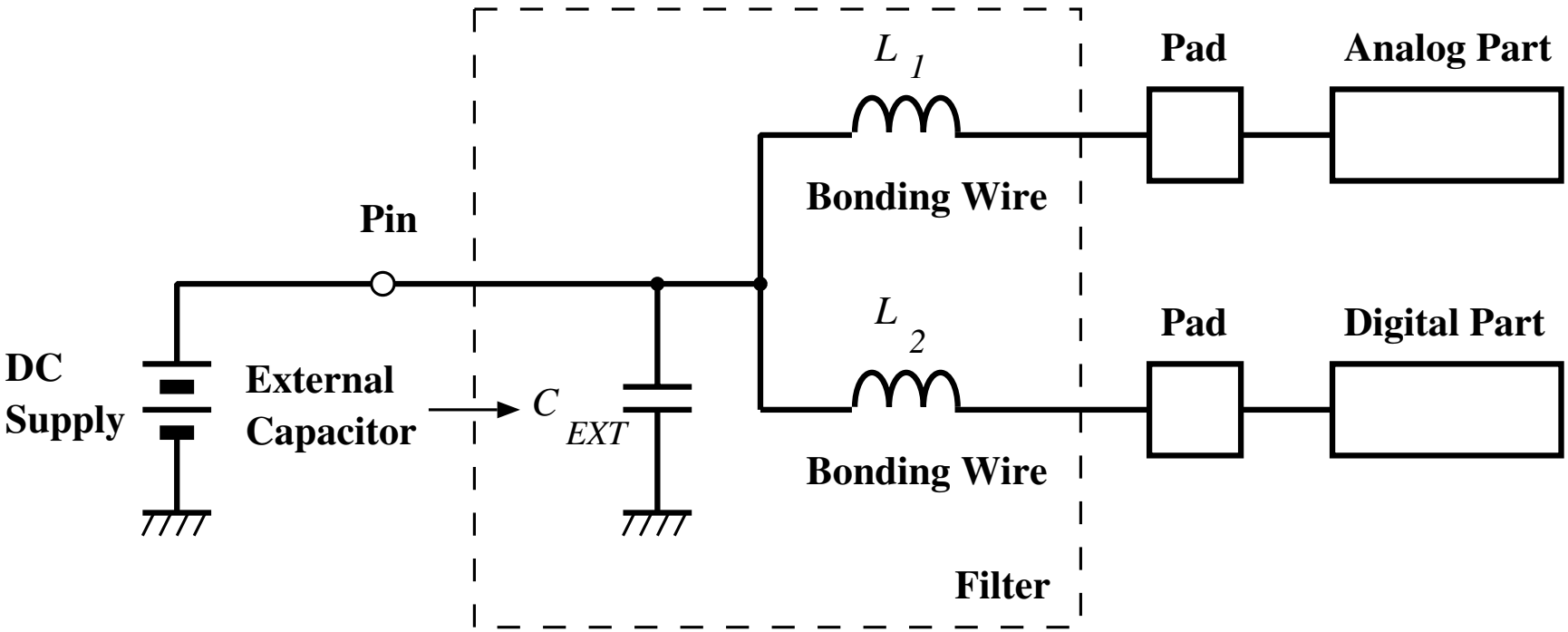
他の信号線との交差の回避

ボンディングワイヤ：

インダクタ（1mm≒1nH）

ボンディングワイヤを用いたディジタル回路からの雑音低減

電源からの供給電流：数百万A/sの変化→数十から数百mV

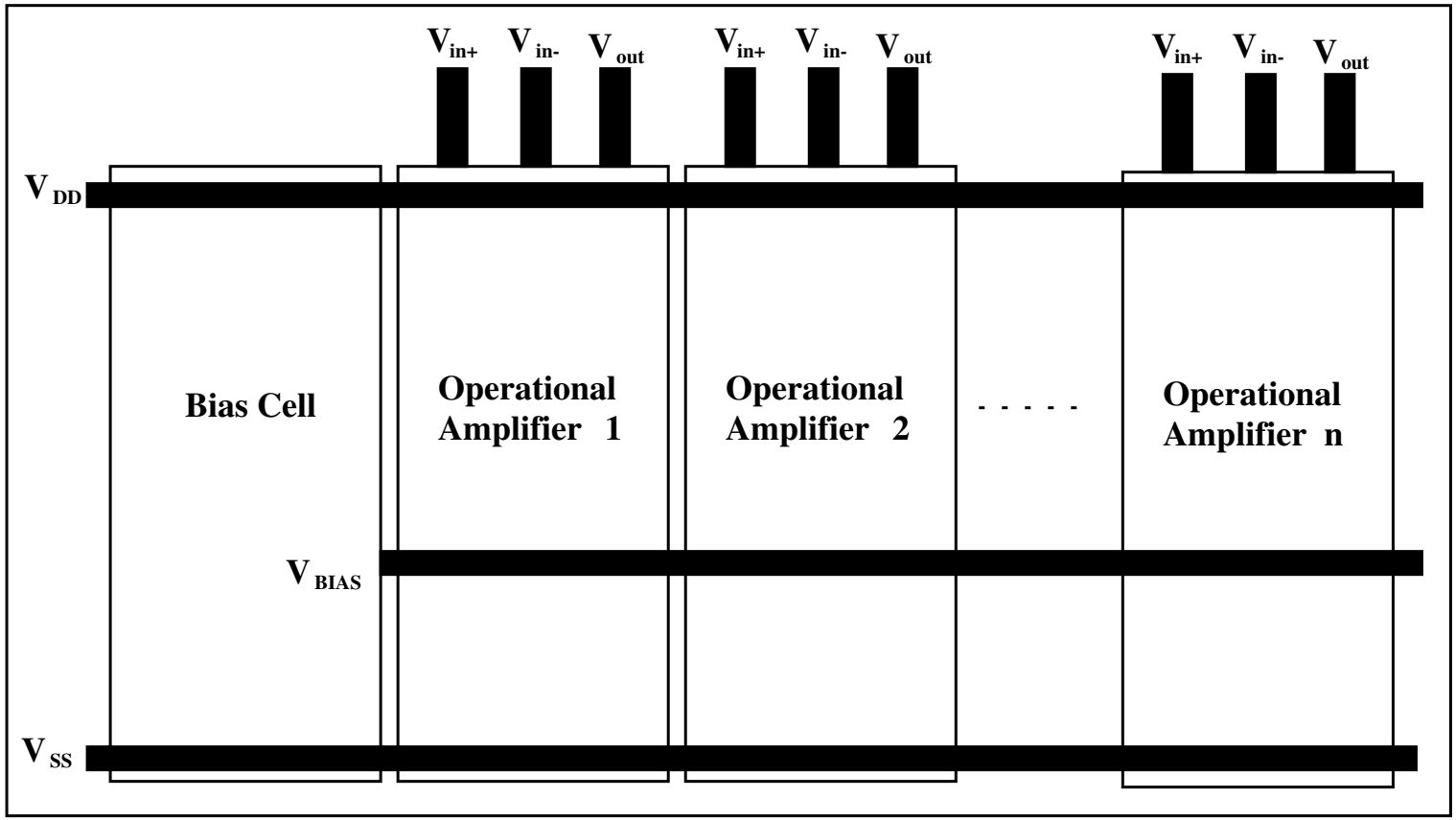


アナログ回路のフロアプラン

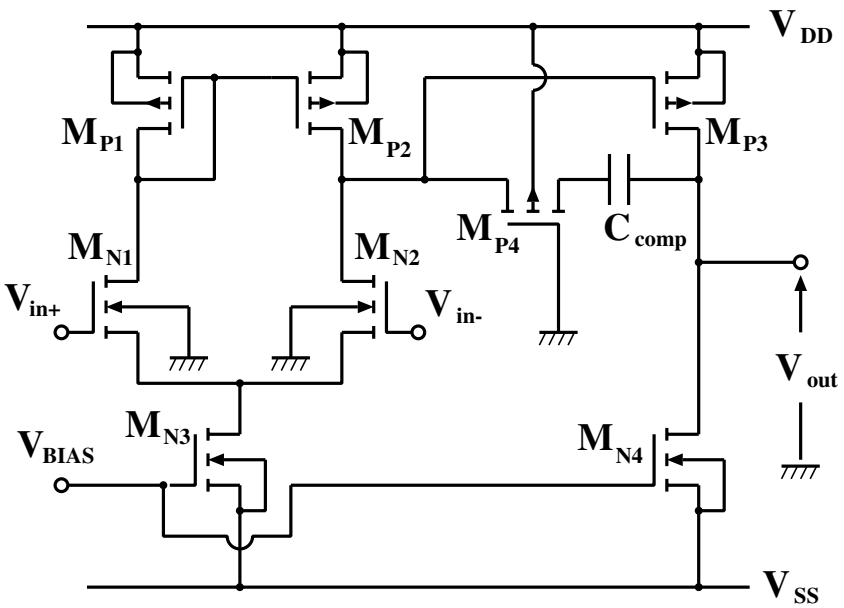
基本方針

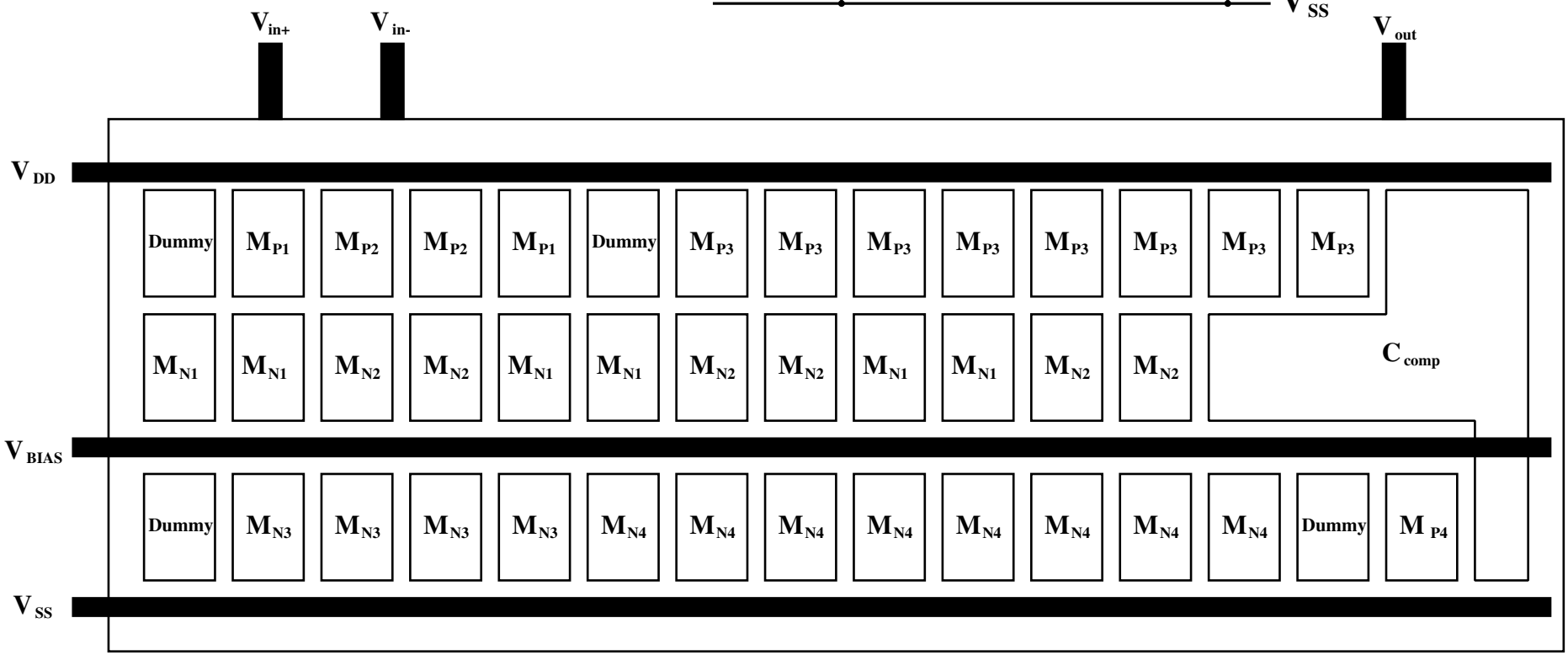
- 同一方向にトランジスタを配置
- トランジスタの対基板容量の低減
- 回路の対称性を利用した対称なレイアウトによるオフセットの低減
- 大電流部分の金属配線の使用
- シールドの多用

複数の演算増幅器のレイアウトの概要

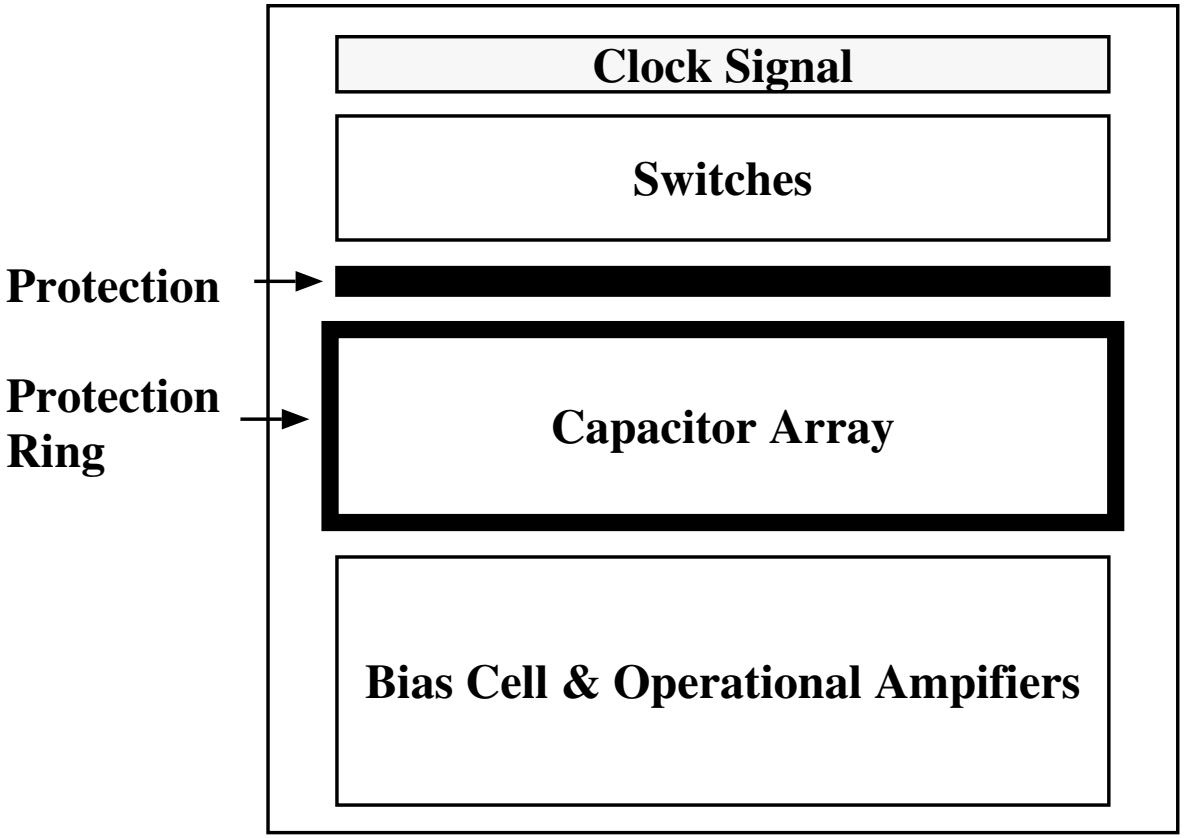


演算増幅器のレイアウトの例

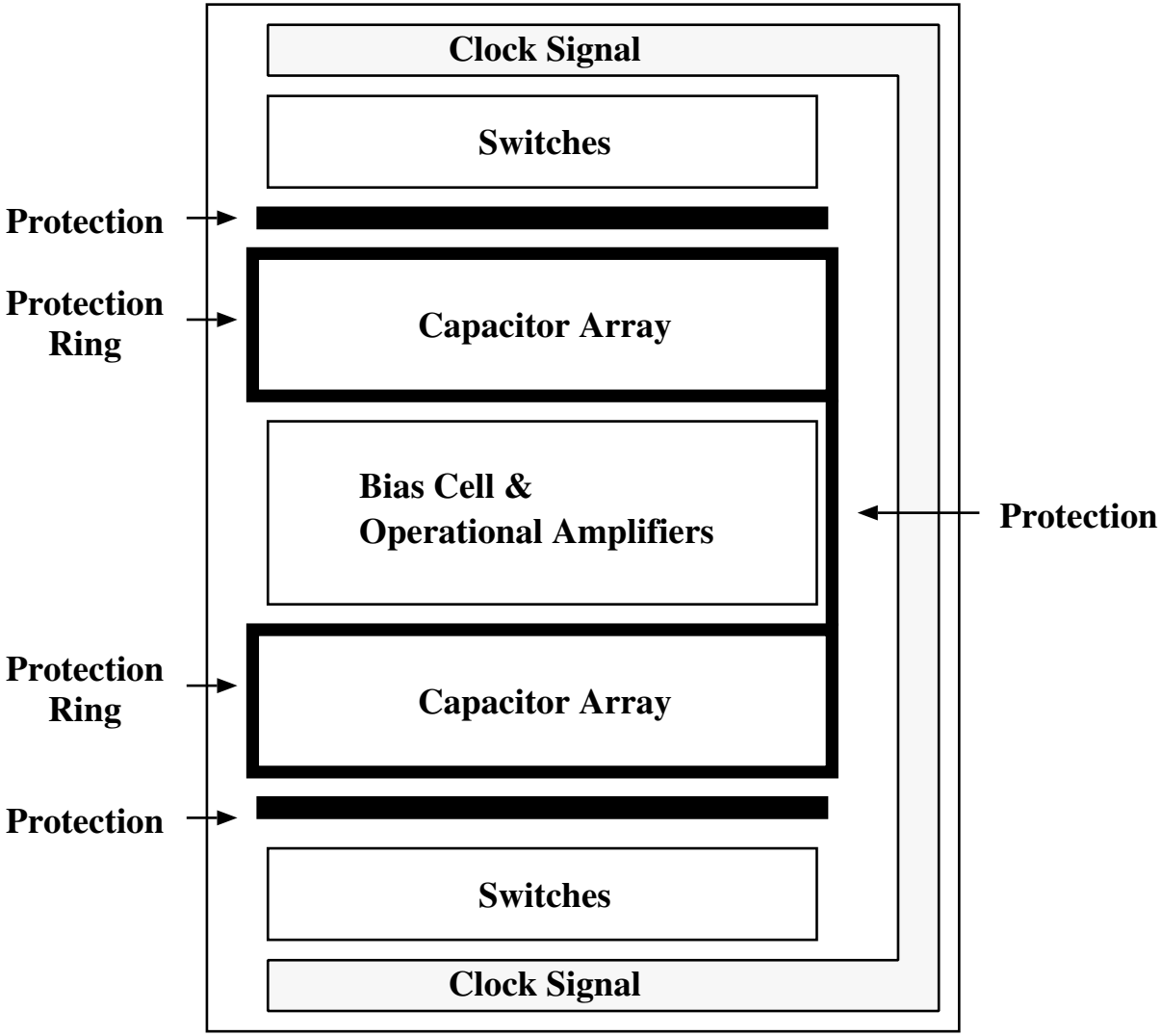




スイッチトキャパシタ回路のフロアプランの例(1)



スイッチトキャパシタ回路のフロアプランの例(2)



その他の注意事項

- 未使用領域によるバイパス容量の実現
  →雑音の低減
- コンタクトの多用による基板抵抗の低減
- その他