

2018年度(平成30年度)版

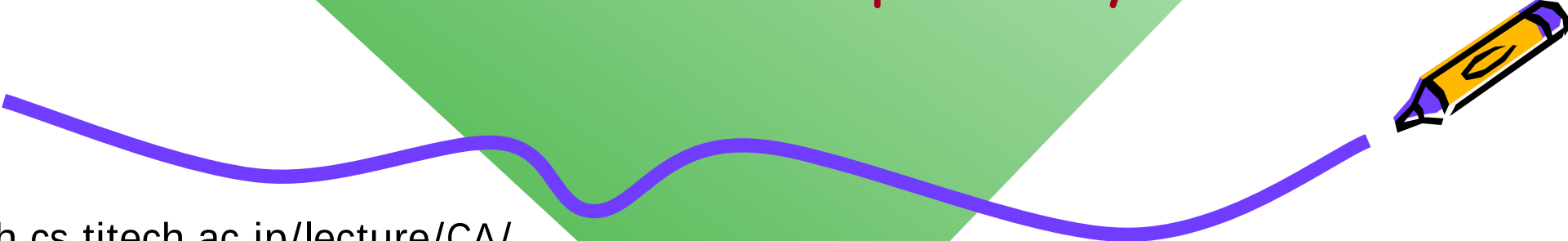
Ver. 2018-09-28a

Course number: CSC.T363



コンピュータアーキテクチャ Computer Architecture

1. コンピュータの構成と動作原理 Basic Structure of Computer Systems



www.arch.cs.titech.ac.jp/lecture/CA/
Room No.W321
Tue 13:20-16:20, Fri 13:20-14:50

吉瀬 謙二 情報工学系
Kenji Kise, Department of Computer Science
kise_at_c.titech.ac.jp

アナウンス

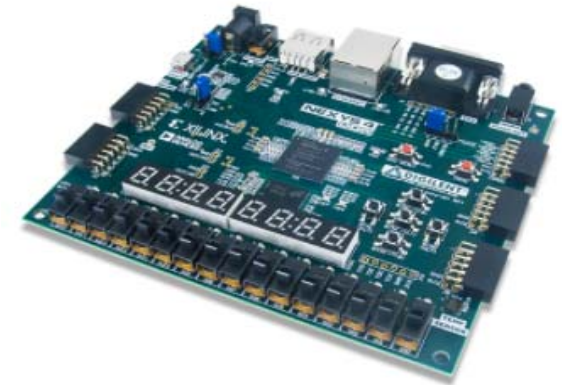


- 第1回 9月28日(金) 13:20 開始の講義は, W321講義室
- 第2回 10月2日(火) 13:20 開始の講義は, W321講義室
- 第3回 10月2日(火) 15:05 開始の演習は, 計算機室



この講義の特徴

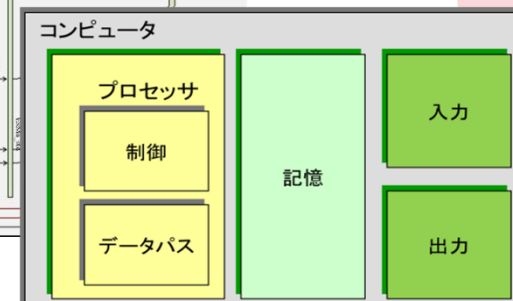
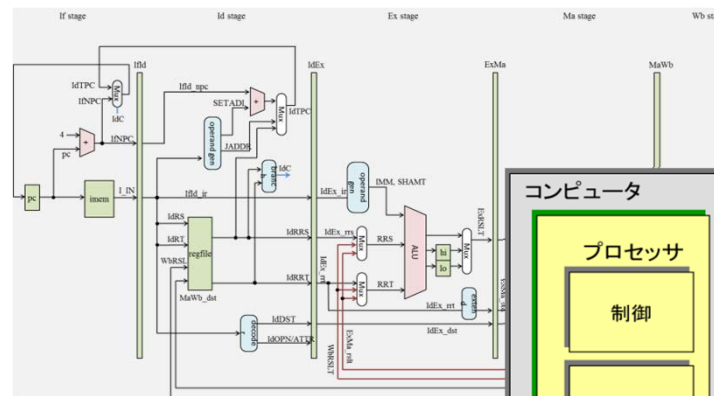
- 講義2単位, 演習1単位.
- 1人1台のFPGA (Field-Programmable Gate Array) ボードを用いた演習.
- 教科書で説明されるコンピュータをハードウェア記述言語Verilog HDLで記述し, FPGAボードに実装する.
- コンピュータの高速化に取り組み, コンテスト形式で成果を競う.



```
module main (clk, led);
  input wire clk;
  output wire led;

  reg [26:0] cnt;
  always @(posedge clk) cnt <= cnt + 1;

  assign led = cnt[26];
endmodule
```



演習

- 演習は**情報工学系 計算機室**(学術国際情報センター 3階)でおこないます。
計算機室(312号室)の定員は74, 314号室を用いると定員は88です。
- 情報工学系 計算機室のアカウントが必要。
まだ無い場合には、「登録申込書」の記入が必要。



Syllabus (1/3)



講義の概要とねらい

情報工学分野において、コンピュータの動作原理と高性能化のための方式を理解し、さらにハードウェアとソフトウェアの相互関係を習得することは非常に重要です。本講義では、プロセッサ、メモリ、入出力、マルチプロセッサ、マルチコアというコンピュータシステムを構成する各種装置について、その役割と動作原理を学びます。

演習では、Verilog HDL等のハードウェア記述言語を用いてFPGAが搭載されたハードウェアボード等に高度なデジタル回路であるプロセッサを実装し、プログラムを動作させることでハードウェアとソフトウェアの相互関係を習得します。

到達目標

本講義を履修することによってコンピュータ以下を習得する。

- ・コンピュータの動作原理と高性能化のためのアーキテクチャ
- ・プロセッサ、メモリ、入出力、マルチプロセッサ、マルチコアといったコンピュータシステムを構成する各種装置の役割と動作原理
- ・ハードウェア記述言語を用いた一般的なコンピュータシステムの設計能力

キーワード

コンピュータアーキテクチャ、プロセッサ、スーパースカラ、キャッシュ、メモリ階層、仮想記憶、マルチプロセッサ、マルチコア、ハードウェア記述言語、Verilog HDL、FPGA

学生が身につける力

国際的教養力	コミュニケーション力	専門力	課題設定力	実践力または解決力
-	-	✓	-	✓

授業の進め方

原則として、90分×2コマの講義の後、90分×1コマのFPGAボードを用いた演習をおこないます。

Syllabus (2/3)



授業計画・課題		
	授業計画	課題
第1回	コンピュータの構成と動作原理	コンピュータの構成と動作原理について理解する。
第2回	コンピュータの性能と消費電力の動向	コンピュータの性能と消費電力の動向について理解する。
第3回	コンピュータ設計演習(1)	コンピュータ設計演習(1)
第4回	半導体メモリ	半導体メモリについて理解する。
第5回	コンピュータ設計演習(2)	コンピュータ設計演習(2)
第6回	キャッシュ：ダイレクトマップ方式	ダイレクトマップ方式のキャッシュについて理解する。
第7回	キャッシュ：セットアソシアティブ方式	セットアソシアティブ方式のキャッシュについて理解する。
第8回	コンピュータ設計演習(3)	コンピュータ設計演習(3)
第9回	メモリスステムの階層化と信頼性	Memory Hierarchy and Dependability
第10回	パイプラインプロセッサ	パイプラインプロセッサについて理解する。
第11回	コンピュータ設計演習(4)	コンピュータ設計演習(4)
第12回	スーパースカラプロセッサ	スーパースカラプロセッサについて理解する。
第13回	分岐予測	分岐予測について理解する。
第14回	コンピュータ設計演習(5)	コンピュータ設計演習(5)
第15回	ベクタ、SIMDにおけるデータレベル並列性	ベクタ、SIMDにおけるデータレベル並列性について理解する。
第16回	仮想記憶、セキュリティ	仮想記憶、セキュリティについて理解する。
第17回	コンピュータ設計演習(6)	コンピュータ設計演習(6)
第18回	入出力、バス	入出力、バスについて理解する。
第19回	相互接続ネットワーク	相互接続ネットワークについて理解する。
第20回	コンピュータ設計演習(7)	コンピュータ設計演習(7)
第21回	マルチプロセッサ、マルチコア	マルチプロセッサ、マルチコアについて理解する。
第22回	コンピュータ設計演習(8)	コンピュータ設計演習(8)

Syllabus (3/3)



教科書
デイビッド・A. パターソン、ジョン・L. ヘネシー (著)、成田光彰 (翻訳)『コンピュータの構成と設計 第5版 上/下』日経BP社
参考書、講義資料等
無し。
成績評価の基準及び方法
講義で扱うコンピュータアーキテクチャに関する理解、ハードウェア記述言語を用いたコンピュータシステム実装への応用力を評価する。演習（30%）と期末試験（70%）により評価する。
関連する科目
CSC.T252 : 論理回路理論 CSC.T262 : アセンブリ言語 CSC.T372 : コンパイラ構成 CSC.T341 : コンピュータ論理設計 CSC.T433 : 先端コンピュータアーキテクチャ
履修の条件(知識・技能・履修済科目等)
履修条件は特に設けないが、関連する科目の コンピュータアーキテクチャ を履修していることが望ましい。 コンピュータ論理設計

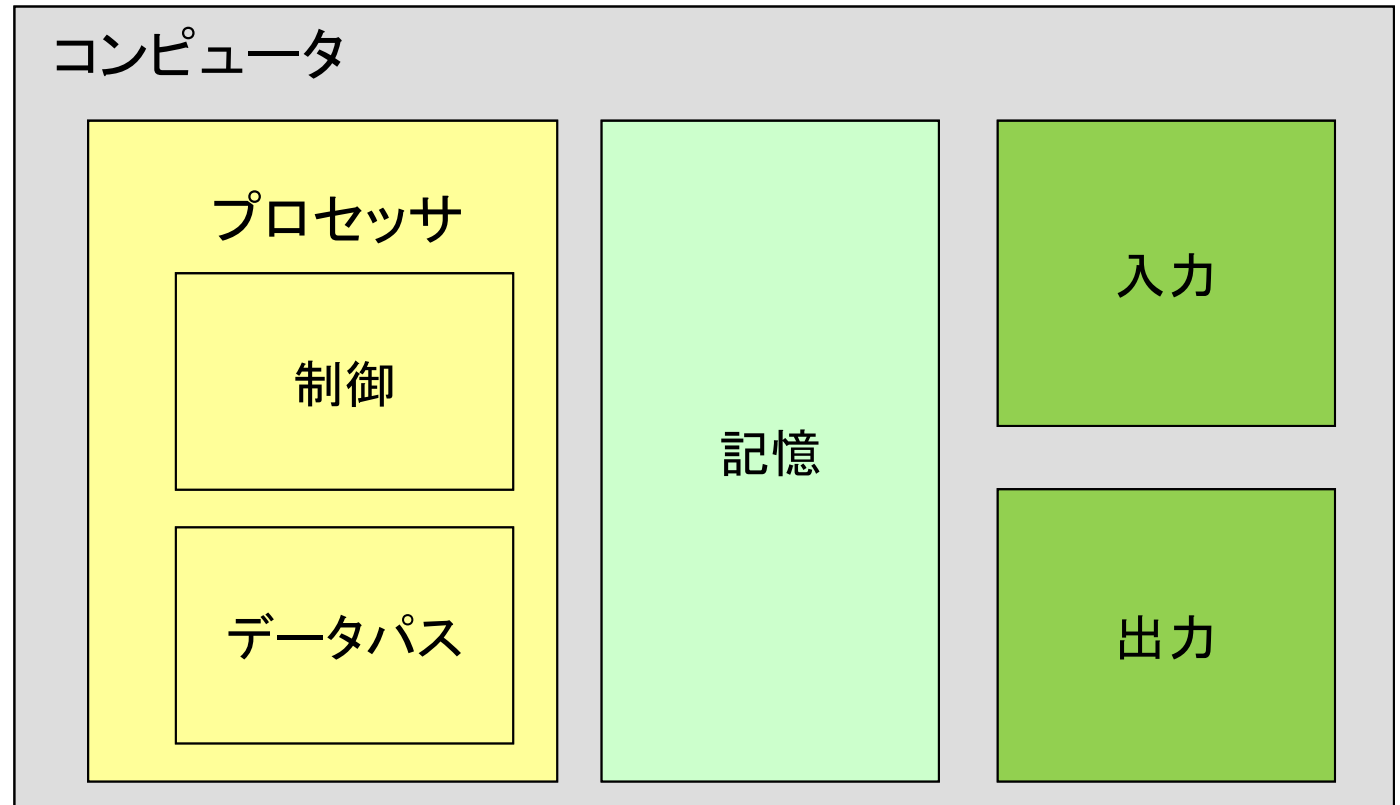
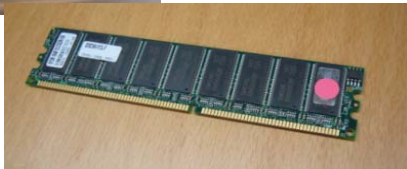
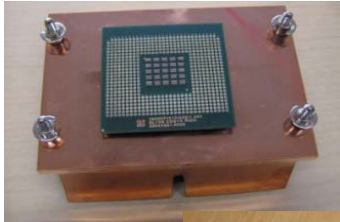


教科書

コンピュータの構成と設計 第5版、パターソン&ヘネシー
(成田光彰 訳)、日経BP社



コンピュータ(ハードウェア)の古典的な要素



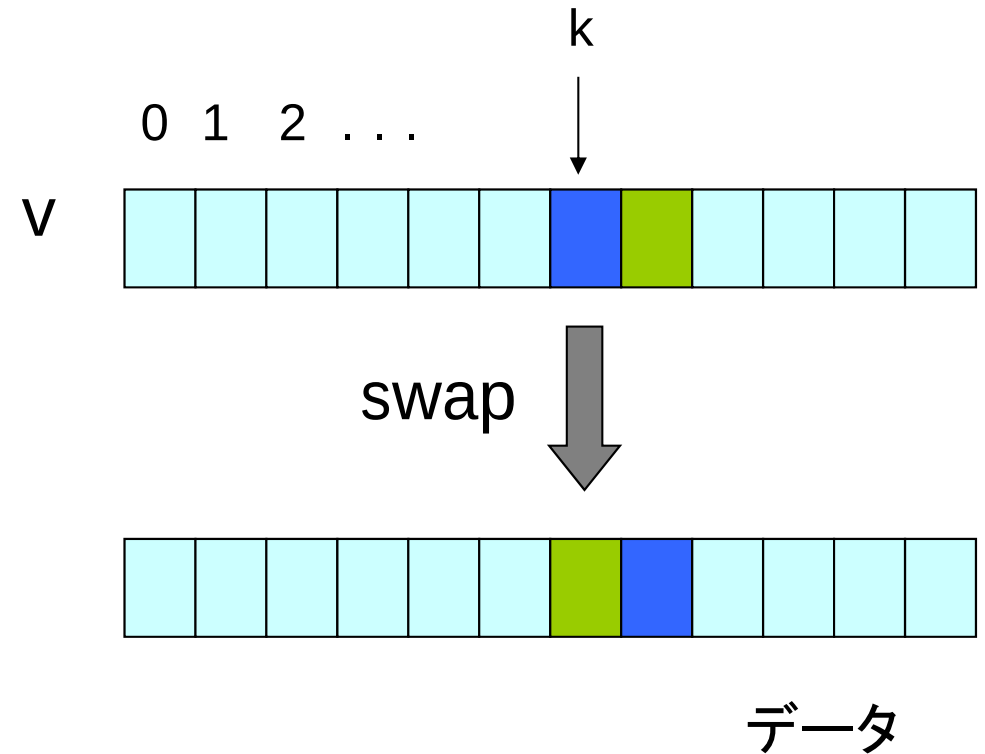
プロセッサは記憶装置から命令とデータを取り出す。入力装置はデータを記憶装置に書き込む。出力装置は記憶装置からデータを読み出す。制御装置は、データパス、記憶装置、入力装置、そして出力装置の動作を指定する信号を送る。



高水準言語からハードウェアの言語へ

```
swap(int v[], int k)
{
    int temp;
    temp = v[k];
    v[k] = v[k+1];
    v[k+1] = temp;
}
```

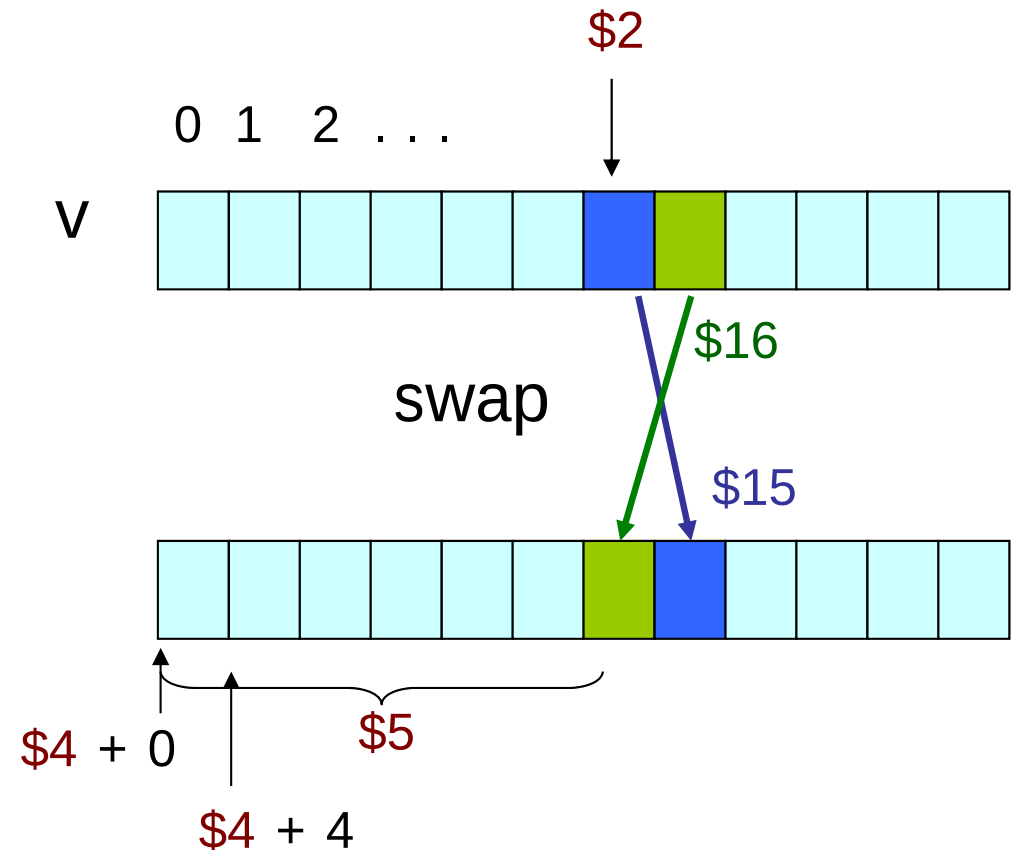
C言語で記述したプログラム



高水準言語からハードウェアの言語へ

swap:

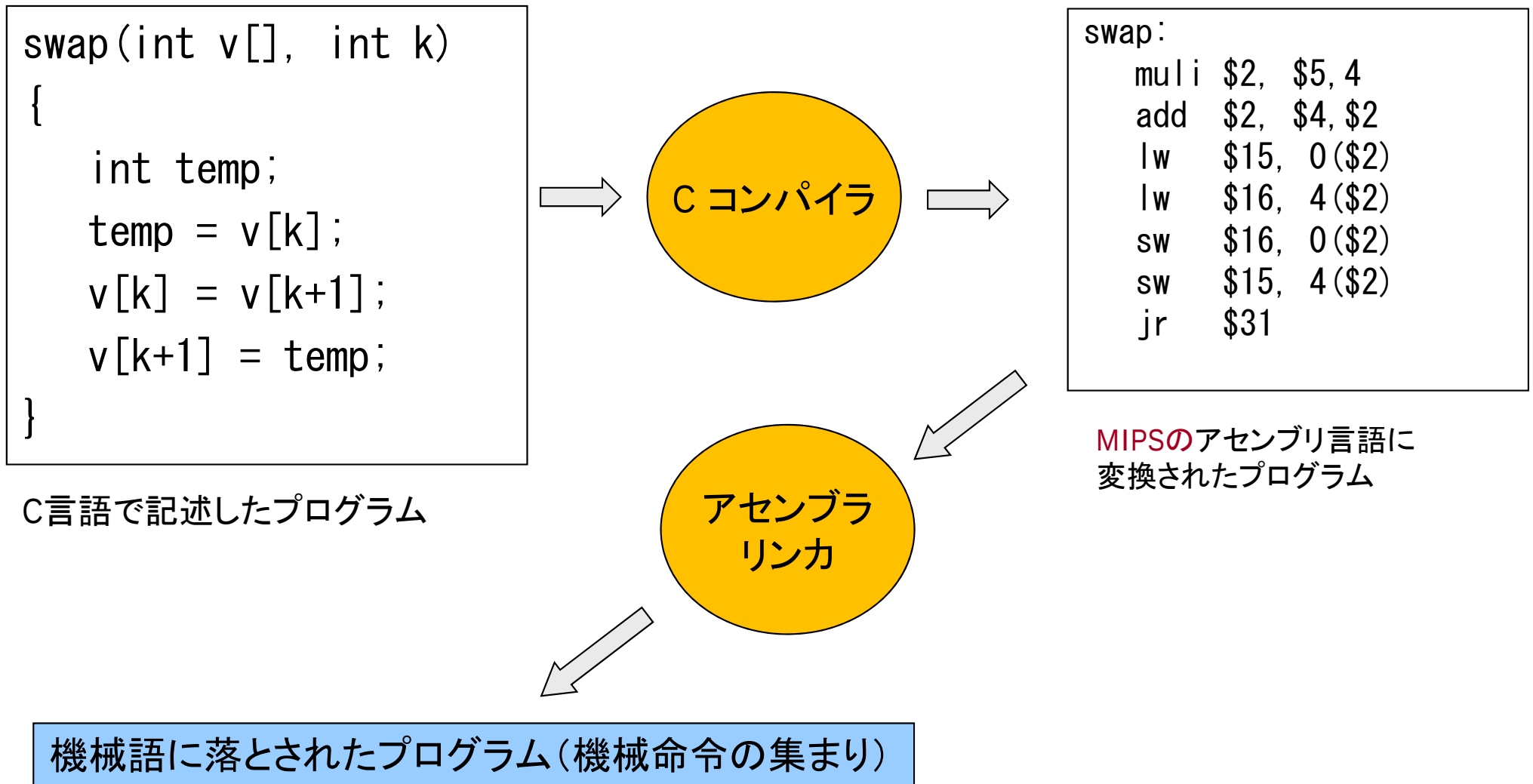
```
mul i $2, $5, 4
add  $2, $4, $2
lw   $15, 0($2)
lw   $16, 4($2)
sw   $16, 0($2)
sw   $15, 4($2)
jr   $31
```



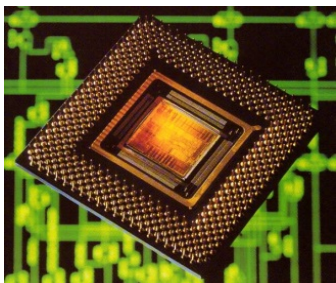
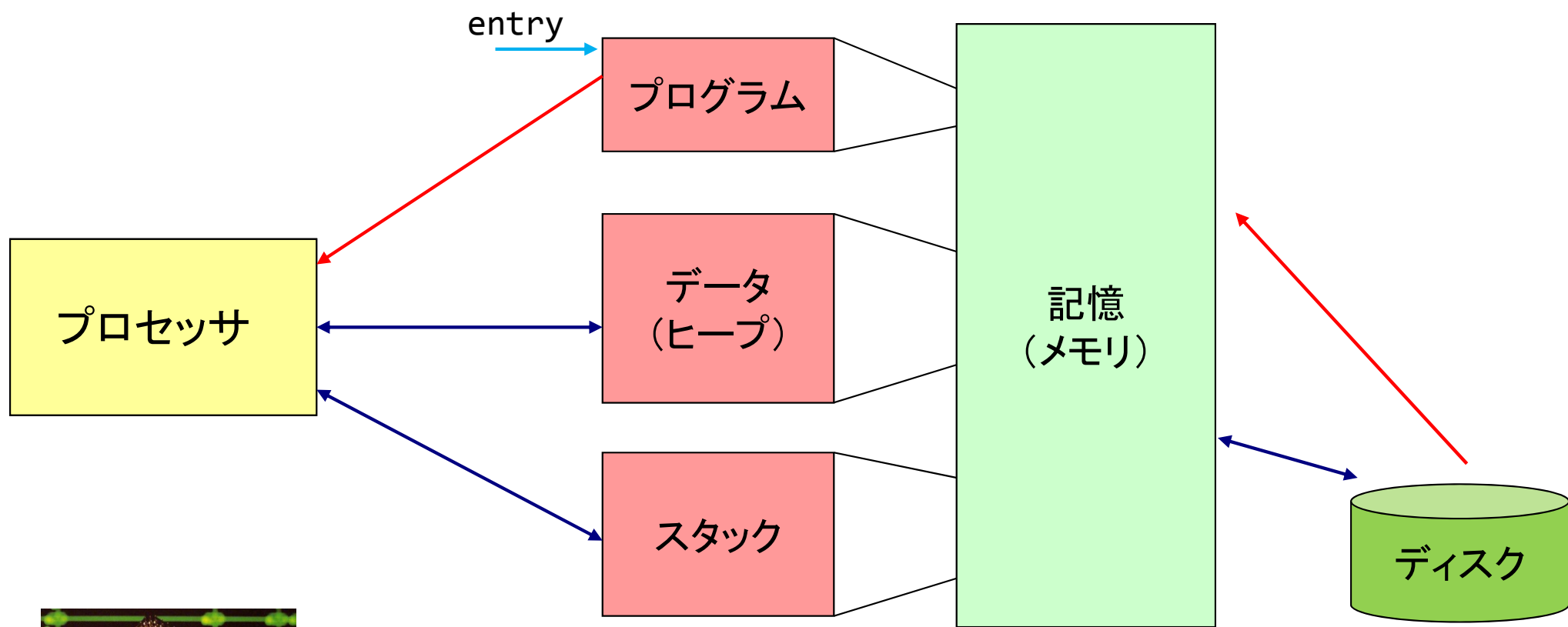
MIPSのアセンブリ言語に変換されたプログラム



高水準言語からハードウェアの言語へ



プログラム, データ, その他



4GB (32bit) memory space and virtual memory

0x00000000

00000000 00000000 00000000 00000000₂ = 0₁₀



2GB Memory !

kterm

top - 11:35:26 up 10 days, 19:49, 2 users, load average: 0.01, 0.01, 0
Tasks: 164 total, 1 running, 163 sleeping, 0 stopped, 0 zombie
Cpu(s): 0.0%us, 0.0%sy, 0.0%ni, 100.0%id, 0.0%wa, 0.0%hi, 0.0%si,
Mem: 4002924k total, 3252404k used, 750520k free, 181808k buffers
Swap: 6062072k total, 0k used, 6062072k free, 2570804k cached

PID	USER	PR	NI	VIRT	RES	SHR	S	%CPU	%MEM	TIME+	COMMAND
1	root	15	0	10348	696	584	S	0.0	0.0	0:01.00	init
2	root	RT	-5	0	0	0	S	0.0	0.0	0:00.00	migration/0
3	root	34	19	0	0	0	S	0.0	0.0	0:00.00	ksoftirqd/0
4	root	RT	-5	0	0	0	S	0.0	0.0	0:00.00	watchdog/0
5	root	RT	-5	0	0	0	S	0.0	0.0	0:00.00	migration/1
6	root	34	19	0	0	0	S	0.0	0.0	0:00.00	ksoftirqd/1
7	root	RT	-5	0	0	0	S	0.0	0.0	0:00.00	watchdog/1
8	root	RT	-5	0	0	0	S	0.0	0.0	0:00.01	migration/2
9	root	34	19	0	0	0	S	0.0	0.0	0:00.00	ksoftirqd/2
10	root	RT	-5	0	0	0	S	0.0	0.0	0:00.00	watchdog/2

0xFFFFFFFF

11111111 11111111 11111111 11111111₂ = 4,294,967,296 - 1₁₀

コンピュータの古典的な要素

コンパイラ

Instruction Set Architecture (ISA), 命令セットアーキテクチャ

インタフェース

性能の評価

