集積システム入門(1)
トランジスタからマイクロプロセッサまで

西原明法
教育工学開発センター
大岡山西9号館823号室
aki@cradle.

2進変数

二者択一的な状態の組み合わせ

物理現象

- 電圧の高低
- 電流の有無
- 磁化の向き
- スイッチの開閉

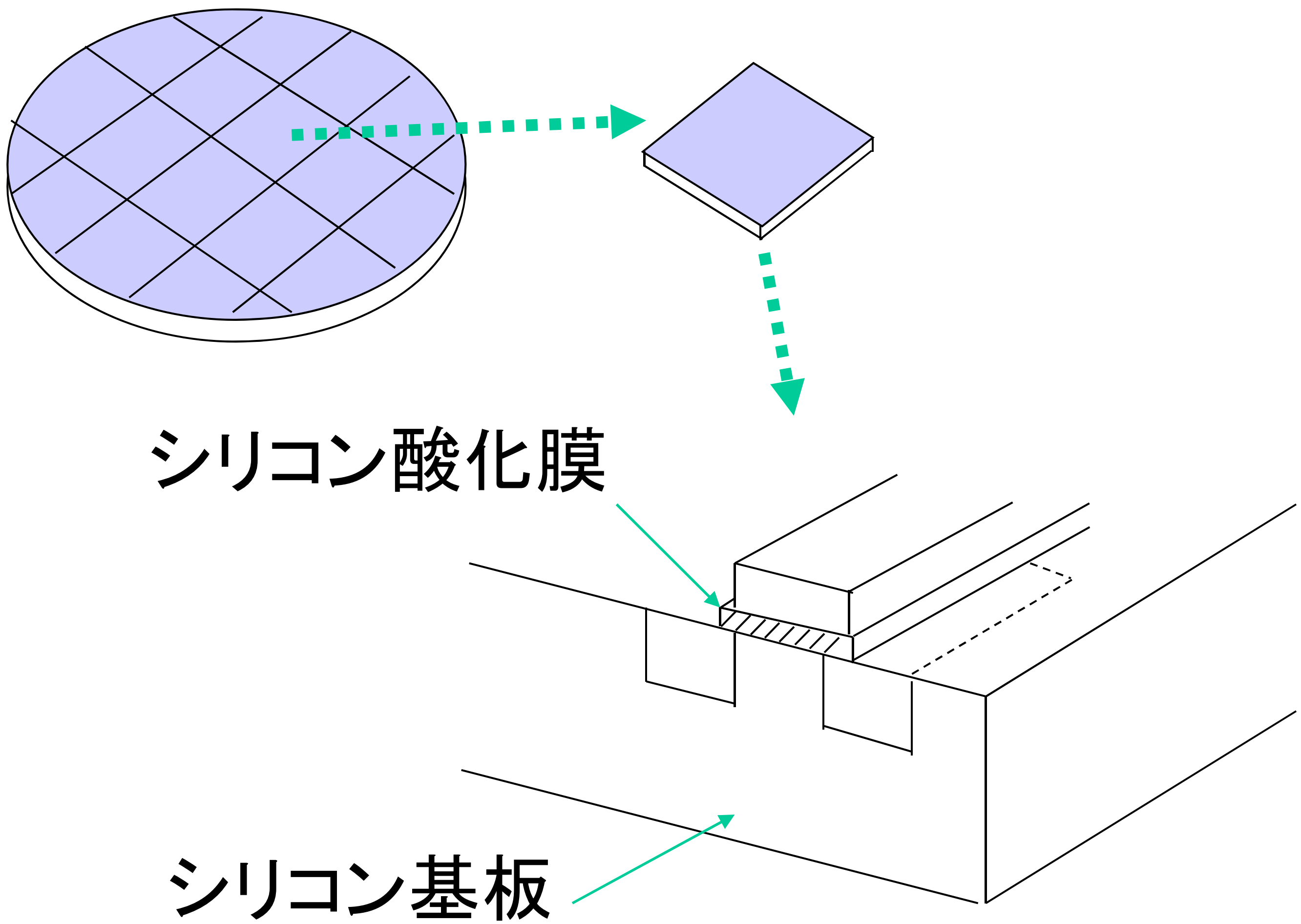
2値変数　“0”と“1”

bit(binary digit)

数値や文字の2進表現

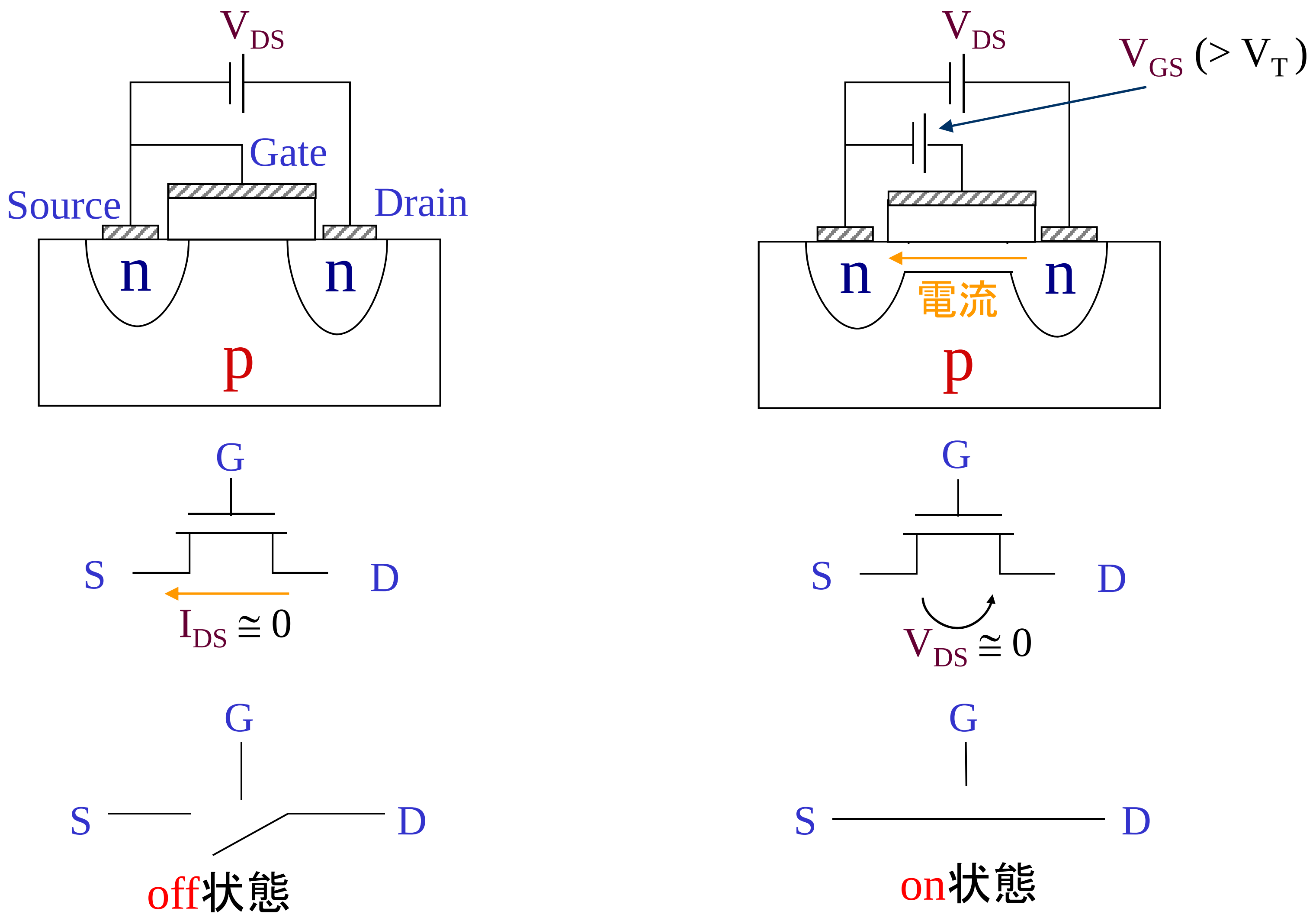
	2進表現
数値　3	11
文字　“3” （asciiコード）	0110011
文字　“３” （JISコード）	0010001100110011
あるマイクロプロセッサでのブランチ命令	11

ICとトランジスタ

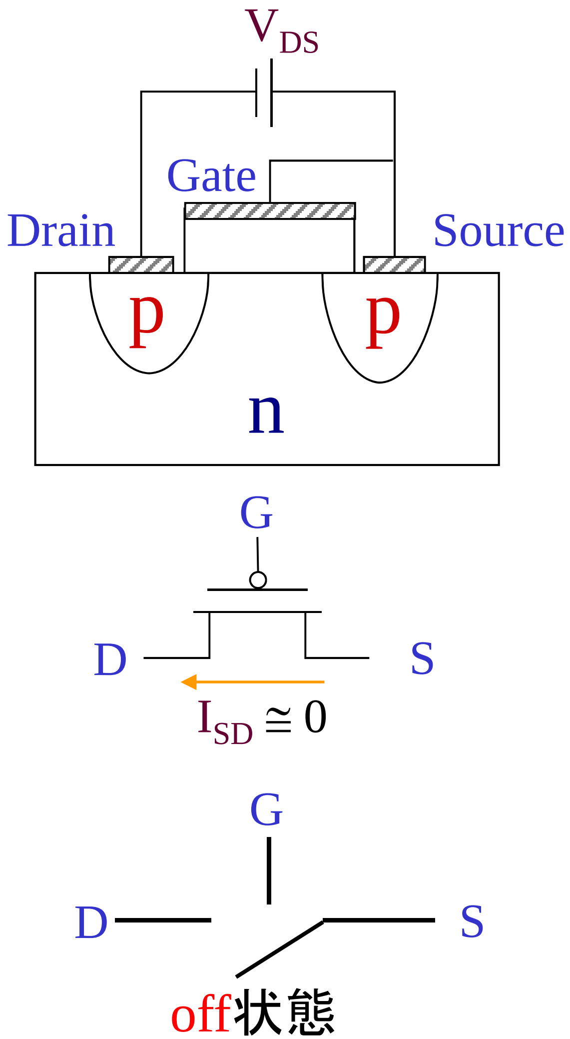


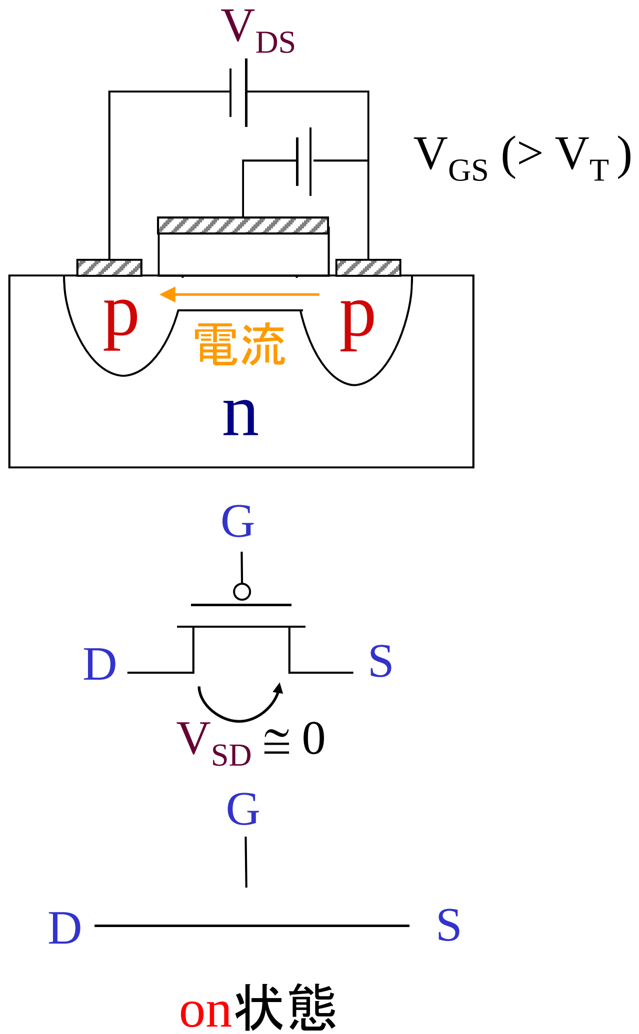
MOSトランジスタのスイッチ動作

nチャネルMOSトランジスタ



MOSトランジスタのスイッチ動作
pチャネルMOSトランジスタ





論理関数と論理演算

- $\{0,1\}^n = \{(x_1, x_2, \cdots, x_n) \mid x_i \in \{0,1\} (1 \le i \le n)\}$
- 写像　$f : \{0,1\}^n \to \{0,1\}$ を n 変数論理関数という
- 写像　f により出力を求める操作を論理演算という
- 論理演算を行う回路を論理回路という

基本論理関数と真理値表

•否定（NOT） $\overline{p}$

p	q
0	1
1	0

•論理和（OR） $p \vee q = p + q$

p	q	$p \vee q$
0	0	0
0	1	1
1	0	1
1	1	1

•論理積（AND） $p \wedge q = pq$

p	q	$p \wedge q$
0	0	0
0	1	0
1	0	0
1	1	1

諸性質(1)

- 交換性(commutativity)

$$p \vee q = q \vee p$$
$$p \wedge q = q \wedge p$$

- NOTに関する性質

$$p \vee \overline{p} = 1$$
$$p \wedge \overline{p} = 0$$
$$\overline{\overline{p}} = p$$

- 吸収則(absorption law)

$$\begin{cases} 1 \vee p = 1 \\ 0 \wedge p = 0 \end{cases} \quad \begin{cases} 0 \vee p = p \\ 1 \wedge p = p \end{cases} \quad \begin{cases} p \vee (p \wedge q) = p \\ p \wedge (p \vee q) = p \end{cases}$$

諸性質(2)

- 結合則(associativity)

$$(p \vee q) \vee r = (q \vee r) \vee p = (r \vee p) \vee q$$
$$(p \wedge q) \wedge r = (q \wedge r) \wedge p = (r \wedge p) \wedge q$$

- 同一則(idempotency)

$$p \vee p \vee p \vee \cdots \vee p = p$$
$$p \wedge p \wedge p \wedge \cdots \wedge p = p$$

- 分配則(distributivity)

$$p \wedge (q \vee r) = (p \wedge q) \vee (p \wedge r)$$
$$p \vee (q \wedge r) = (p \vee q) \wedge (p \vee r)$$

- De Morgan の定理

$$\overline{p \vee q} = \overline{p} \wedge \overline{q}$$
$$\overline{p \wedge q} = \overline{p} \vee \overline{q}$$

論理関数

定理　任意の論理関数は、否定、論理和及び論理積を用いて表現できる。

例1

p	q	r	$f(p,q,r)$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

$$f(p,q,r) = \overline{p}\,\overline{q}r + \overline{p}q\overline{r} + p\overline{q}\,\overline{r}$$

例2　排他的論理和（EXclusive OR）

$$p \oplus q = \overline{p}q + p\overline{q}$$

基本論理回路

- Complementary MOS回路 （CMOS回路）

$$\left.\begin{array}{l}\text{nチャネルMOS}\\ \text{pチャネルMOS}\end{array}\right\}\text{を相補的に使用}$$

スイッチ切換時以外はほとんど電流が流れない

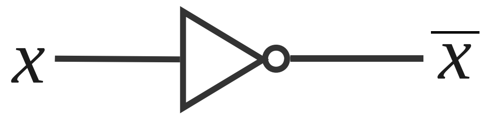
- 正論理

定理：任意の論理関数はNOT , OR 及びANDから
なる論理回路で実現できる

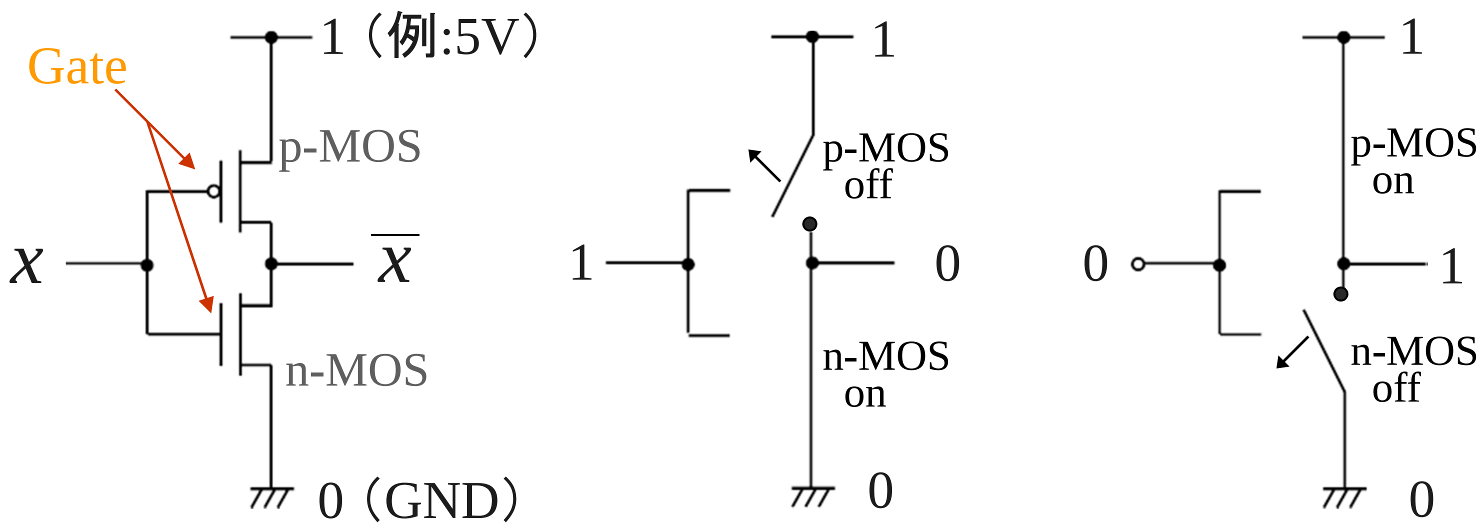
定理：任意の論理関数はNOT, NOR 及びNAND
からなる論理回路で実現できる

NOT回路とその動作

- 回路記号



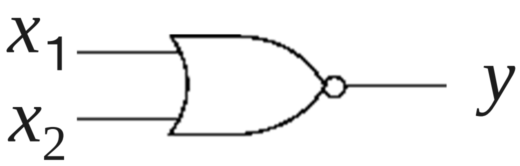
- CMOS回路で構成



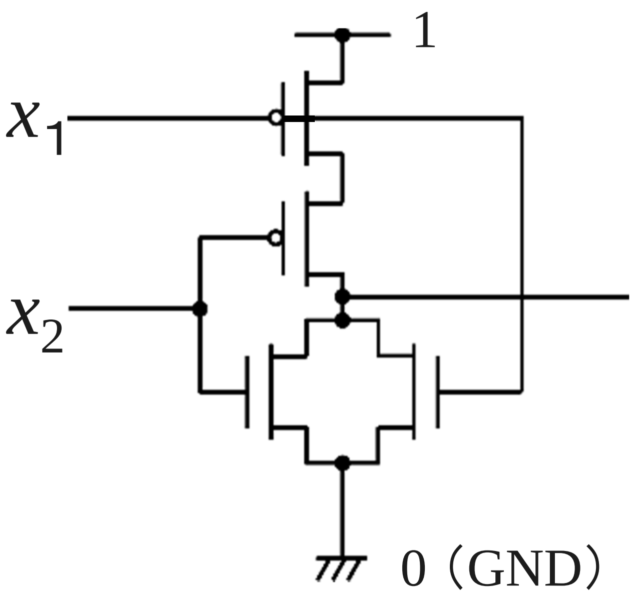
(a)論理値入力　(b)論理1の入力　(c)論理0の入力

NOR回路とその記号

- 回路記号



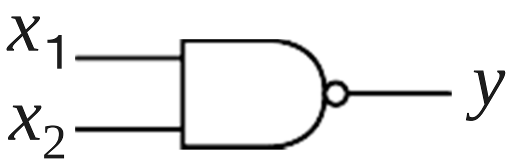
- CMOS回路で構成



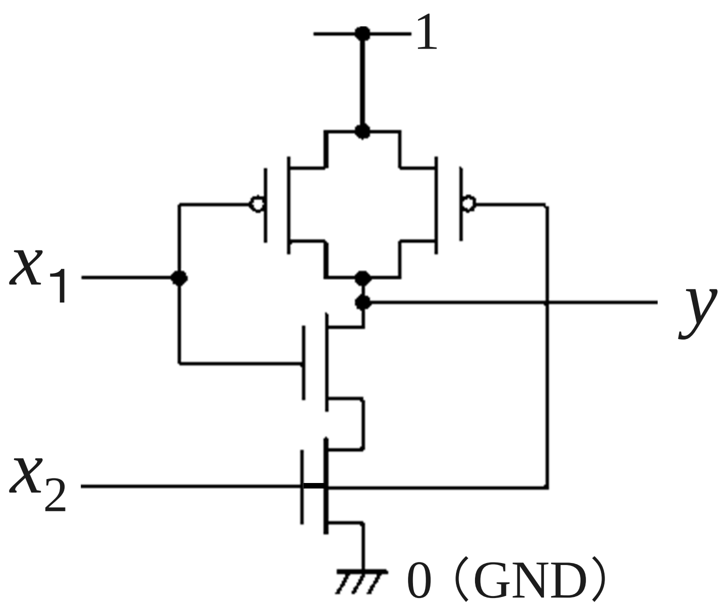
x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

NAND回路とその記号

- 回路記号



- CMOS回路で構成



x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

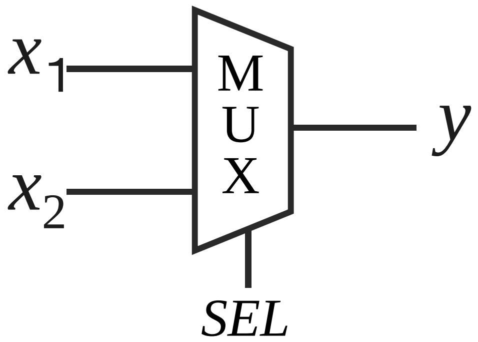
組み合わせ論理回路

- マルチプレクサ
- 加算器
- その他

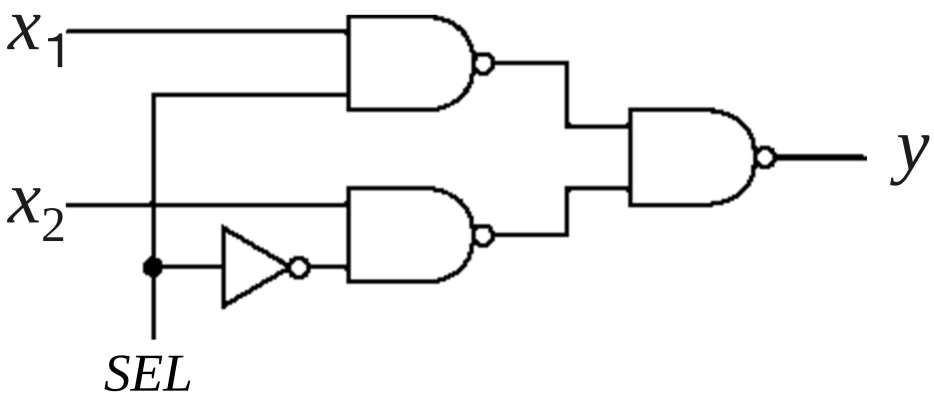
マルチプレクサ

データ選択回路

- 回路記号



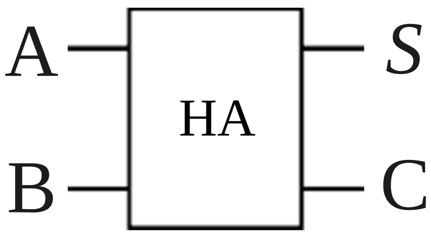
- NOT, NAND回路で実現



SEL	y
1	x_1
0	x_2

半加算器(HA: Half Adder)

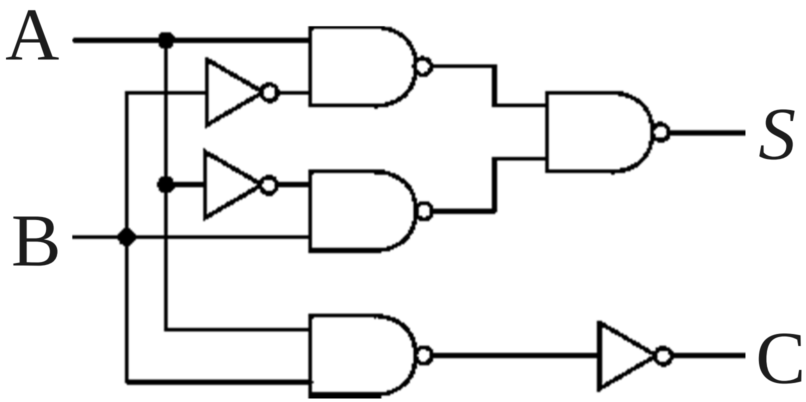
- 回路記号



Sum:和

Carry:繰り上がりの信号

- NOT, NAND回路で実現

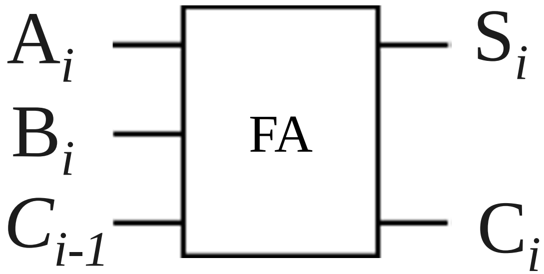


A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

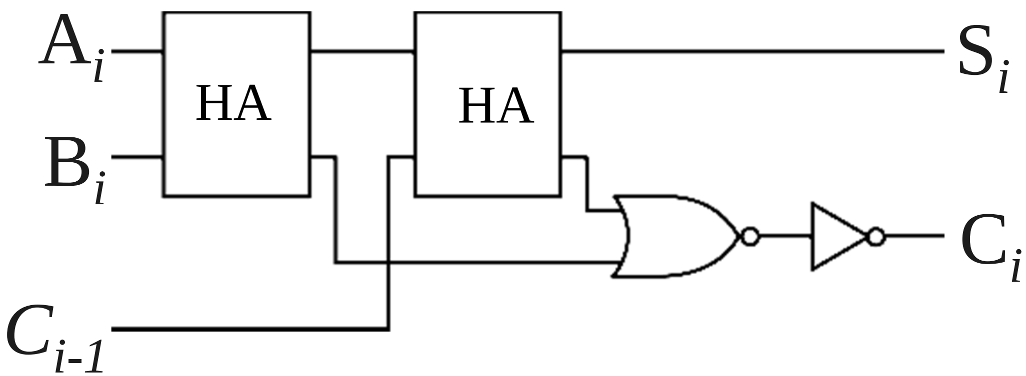
全加算器（FA: Full Adder）

下の桁からの繰り上がりを考慮した加算回路

- 回路記号



- 半加算器,OR回路で実現



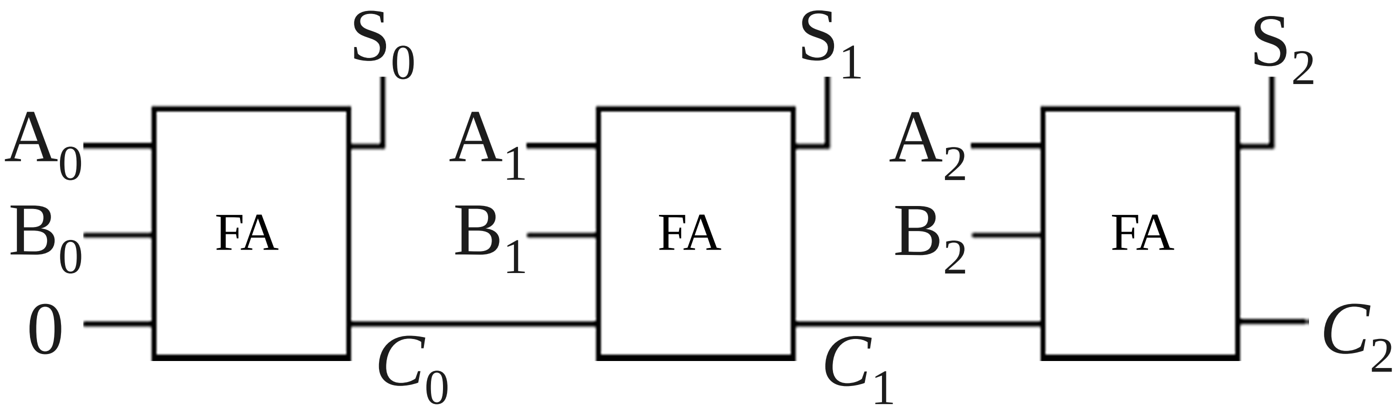
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

nビット加算器

- 全加算器を複数個組み合わせて実現

例）3ビット加算器

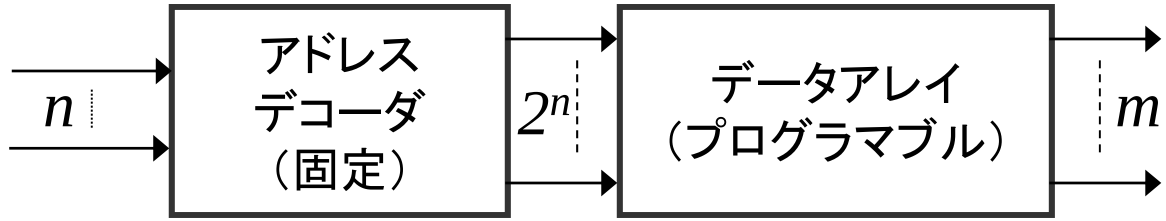
$$
\begin{array}{rccc}
 & C_2 & C_1 & C_0 \\
 & A_2 & A_1 & A_0 \\
+) & B_2 & B_1 & B_0 \\
\hline
 & S_2 & S_1 & S_0
\end{array}
$$



ROMとPLA

汎用のLSI論理素子として利用可能

- Read-Only Memory



- Programmable Logic Array